



Alimentation haute fréquence à base de composants de puissance en Nitrure de Gallium

Johan Delaine

► To cite this version:

Johan Delaine. Alimentation haute fréquence à base de composants de puissance en Nitrure de Gallium. Energie électrique. Université de Grenoble, 2014. Français. NNT : . tel-01076235

HAL Id: tel-01076235

<https://hal.science/tel-01076235>

Submitted on 21 Oct 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **EEATS / GENIE ELECTRIQUE**

Arrêté ministériel : 7 août 2006

Présentée par

« Johan DELAINE »

Thèse dirigée par « **Jean-Paul FERRIEUX** » et
codirigée par « **Pierre-Olivier JEANNIN** et **David FREY** »

Préparée au sein du **Laboratoire de Génie Electrique de Grenoble (G2Elab)** et **Thales Systèmes Aéroportés**, dans
l'**Ecole Doctorale EEATS "Electronique, Electrotechnique, Automatique, Traitement du Signal"**

Alimentation haute fréquence à base de composants de puissance en Nitrure de Gallium

Thèse soutenue publiquement le « **14 Avril 2014** »,
devant le jury composé de :

Mr. Frédéric, RICHARDEAU

Directeur de recherche au CNRS, Toulouse, (Président)

Mr. Stéphane, LEFEBVRE

Professeur au CNAM de Paris, (Rapporteur)

Mr. Dominique, TOURNIER

Maître de Conférences à l'INSA de Lyon, (Rapporteur)

Mr, Jean-Paul, FERRIEUX

Professeur à l'UJF, Grenoble, (Directeur de thèse)

Mr, Pierre-Olivier, JEANNIN

Maître de Conférences à l'UJF, Grenoble, (Encadrant)

Mr, David, FREY

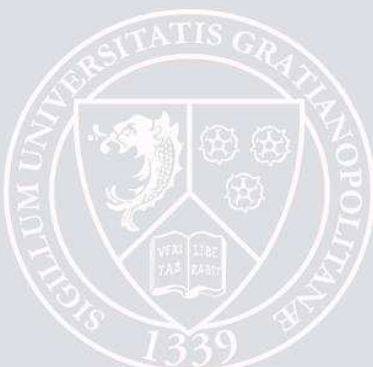
Maître de Conférences à l'UJF, Grenoble, (Encadrant)

Mr, Kevin, GUEPRATTE

Ingénieur à Thales Systèmes Aéroportés, (Encadrant, Invité)

Mr, Hervé, STEPHAN

Expert technique à Thales Systèmes Aéroportés, (Encadrant, Invité)



Les remerciements constituent une partie du mémoire où les nouveaux docteurs font souvent preuve de nostalgie. C'est aussi la seule partie non contrainte par les lois rédactionnelles du domaine scientifique. On en profite pour remercier tous ceux qui ont participé à nos travaux ainsi que nos amis et notre famille. Certains estiment périlleux cet exercice dans lequel les oubliés pourraient se sentir vexés, je trouve néanmoins qu'il est agréable de voir son nom apparaître dans les remerciements des autres, je vais donc pour ma part essayer de m'appliquer.

Je voudrais commencer par remercier **Pierre-Olivier Jeannin** et **David Frey** qui m'ont encadré tout au long de cette thèse et qui m'ont offert la possibilité de l'effectuer au sein du G2Elab. La première discussion que nous avons eu tous les trois n'était pas très prometteuse! Grâce à eux j'ai appris beaucoup de choses et je leur en suis très reconnaissant. Je regretterai simplement qu'ils n'aient pas eu plus de temps parfois pour qu'on puisse échanger davantage et qu'ils m'en apprennent encore plus. Je voudrais également remercier au même titre **Jean-Paul Ferrieux**, qui a su m'éclairer sur des sujets bien précis grâce à sa grande expérience de l'électronique de puissance.

Je remercie également mes encadrants Thalès (que j'avais honteusement oublié lors de ma soutenance, désolé... le stress quel fléau !) **Hervé Stephan** et **Kevin Guépratte** sans qui cette thèse n'aurait pas vu le jour et qui ont su prendre le temps de discuter avec moi des problèmes techniques. Cela m'a permis d'apprendre énormément.

Je remercie les rapporteurs **Stéphane Lefebvre** et **Dominique Tournier** qui ont eu la longue tâche de lire ma thèse, et pour le temps conséquent qu'ils ont consacré à la correction de ce manuscrit. Enfin, merci à **Frédéric Richardeau** d'être venu de Toulouse pour présider le jury sur cette thèse.

Il y a au sein du laboratoire de nombreuses personnes qui nous aident ou avec qui on prend juste plaisir à discuter et qui apparaissent en général très peu lors des remerciements. Je voudrais donc corriger en partie cela en remerciant **Jean-Luc** et **Victor** du service technique, **Valérie Coquand**, **Sylvie Garcia**, **Jean Barbaroux** et **Benoit Sarazzin**. Je tiens aussi à remercier très chaleureusement **Pierina Pierotti** du CEDMS pour son aide précieuse concernant la réalisation de cartes d'électronique.

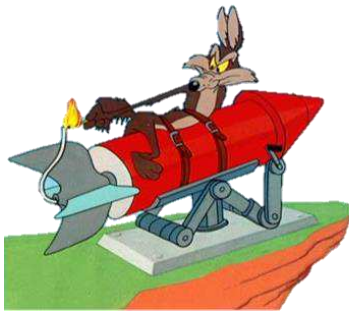
A l'inverse il nous arrive aussi de croiser des gens pénibles ou des empêcheurs de bosser en rond, qui, pour des raisons obscures, vous empêchent d'avancer. Je pense tout particulièrement à une personne dont je ne citerai pas le nom pour des raisons de bienséance.

Sans eux je n'aurais jamais pu faire la rock star à deux reprises lors de la soirée des talents. Je remercie donc chaleureusement mes compagnons du "G2Elab all star band" (**Antoine Labonne**, **Victor Goin**, **Diego Pereira Botelho**, **Melissa Estopier Castillo**, **Hugo Mesnage** et **Fabien Medard**) pour ces bons moments, les repet' ratées et autres craquages!

Je voudrais aussi remercier tous mes amis et collègues du laboratoire : **Florian Dumas** avec qui j'ai pu approfondir mes connaissances en mécanique et qui est toujours prêt à donner un coup de main. De plus, il a été le seul, face à beaucoup de docteur en médecine, à pouvoir me faire remonter sur les pistes de skis, bravo à toi. **Fabien Medard**, qui est toujours prêt à rigoler et qui m'a recueilli dans sa grotte humide quand j'en avais besoin (Je t'en veux toujours de ne pas être venu à ma soutenance ! Et maintenant que c'est écrit dans ce mémoire, ça veut dire que je t'en voudrais à vie...). **Alice Droz**, pour son soutien et le temps passé à relire ce mémoire. **Geneviève Frantz**, une amie bienveillante qui a passé trois ans à

me faire du pied et sans qui mon pot de thèse n'aurait pas été possible. **Guillaume Regnat**, le randonneur à ski et fils caché de Brassens. **Alexiane Caglione**, pour les bonnes pâtes qu'elle nous prépare le midi (c'est pas vrai elles ne sont pas bonnes... :p), et surtout pour l'aide apportée durant la fin de la thèse. **Gatien Kwimang**, le coureur spécialisé dans le gâteau au sirop d'érable (hein bro'). **Mounir Marzouk**, qui arrive toujours à animer comme il se doit nos pauses. **Ekaitz Goenaga**, pour ses sonneries de téléphone toujours trop fortes et ses talents de copilote sur les routes américaines. **Mickaël Petit**, mon compatriote ardennais un peu fou. Et puis, je voudrais aussi remercier mon night train de me détendre les jours de feu d'artifice "GaNesque".

Enfin je voudrais remercier ma mère (**Michèle Delaine**) et mon oncle (**Gil Delaine**) pour leur aide et leur soutien. Je dédie cette thèse à ma mère qui, je le sais, aurait aimé faire des études elle aussi.



“ Sans maitrise, la vitesse n'est rien ”

“ Tout le monde est un génie. Mais si vous jugez un poisson sur ses capacités à grimper à un arbre, il passera sa vie à croire qu'il est stupide ”

Albert Einstein

Introduction generale	10
CHAPITRE I	
Le contexte de l'étude	13
1. Quel convertisseur pour quelle application ?	14
A. Micro-convertisseurs, Puissance # 0.1w-10w	14
B. Onduleur pour l'avionique, P # 10kVA	15
C. Alimentation haute fréquence, P # 10w-100w	16
2. GaN : passé, present et futur	17
A. Pourquoi le GaN?	17
B. De la théorie à la pratique... un grand gap à franchir !	20
C. Les recherches passées	23
D. Etat de l'art actuel	25
E. Le GaN dans l'avenir	32
3. Ou se place notre etude, cahier des charges	33
A. Cahier des charges	33
B. Où sommes-nous	34
CHAPITRE II	
Composants GaN EPC et leur commande	39
1. Composants GaN EPC	40
A. EPC	40
2. Caractérisation des eGaN	50
A. Conduction en inverse pour $V_{GS} < V_{GSth}$	50
B. Etat passant R_{DSon} en fonction de V_{GS}	53
3. Première mise en œuvre	55
A. Montage réalisé	55
B. Résultats	57
C. Impact pratique de la résistance de grille	58
D. Modélisation RLC du circuit de grille.	64
4. Gate driver isolé	69
A. Introduction	69
B. Etat de l'art	70
C. Les tests	78
5. Design d'un circuit de commande intégré pour les eGaN EPC	87
A. Topologie du driver	87

B. Dimensionnement du driver	91
6. Comparatif expérimental	98
A. LM5113	98
B. Commande en courant	99
C. Circuit avec push pull	101
D. Driver intégré	103
E. Comparaison des quatre commandes	105
F. Impact des ferrites	106
G. Conclusion	106
CHAPITRE III	
Environnement du GaN et éléments parasites	112
1. Impact de la montée en fréquence	113
A. Répartition des courants dans les conducteurs	113
B. Taille des passifs	115
2. Gestion des inductances et CEM	118
A. Modélisation des éléments parasites	118
B. Minimisation des éléments parasites et des phénomènes CEM	128
3. Mesures	135
A. Mesures de courant et de tension	136
B. Bande passante	136
C. Influence de la mesure sur le circuit	137
D. Conclusion	138
4. Aspects thermiques	139
A. Au niveau du PCB	139
B. Au niveau de l'épithaxie	140
C. Au niveau de la puce	141
5. Conclusion	142
CHAPITRE IV	
Structure de puissance	145
1. Généralité	146
2. Structure DAB	146
A. Introduction	146
B. Les structures DAB monophasées	147
C. Commande en déphasage	149
D. Commutations ZVS et ZCS	154

E. Cas du redressement à diode	159
3. Inductance variable	162
4. Dimensionnement du convertisseur	165
A. Semi-conducteur (MOSFET)	165
B. Passifs	166
C. Courbes de rendements	170
D. Conclusion	177
CHAPITRE V	
Réalisation	179
1. Introduction	180
2. Test avec Push pull au secondaire	180
3. Test avec pont complet au secondaire	182
A. Première essai	182
B. Deuxième essai	185
C. Troisième essai	186
D. Discussion	188
E. Influence de la fenêtre de bobinage sur la résistance AC des éléments magnétiques	188
F. Réduction des fenêtres de bobinage sur le troisième essai	189
G. Conclusion	190
Conclusions générales	192
annexes	195
1. Association du DAB	196
A. Association série/parallèle	196
B. Entrelacement	197
C. Multi-voies	197
2. Commande à double déphasages pour DAB	198

INTRODUCTION GENERALE

L'électronique de puissance est une discipline qui est apparue au début du siècle dernier. Quelques repères forts de son développement sont présentés sur la Figure 1, avec comme par exemple, l'apparition du transistor bipolaire en 1948. Cette découverte marqua le début de l'ère des semi-conducteurs dans laquelle l'électronique de puissance est toujours ancrée. Ce fut également l'avènement du silicium qui aujourd'hui encore reste dominant dans les composants électroniques.

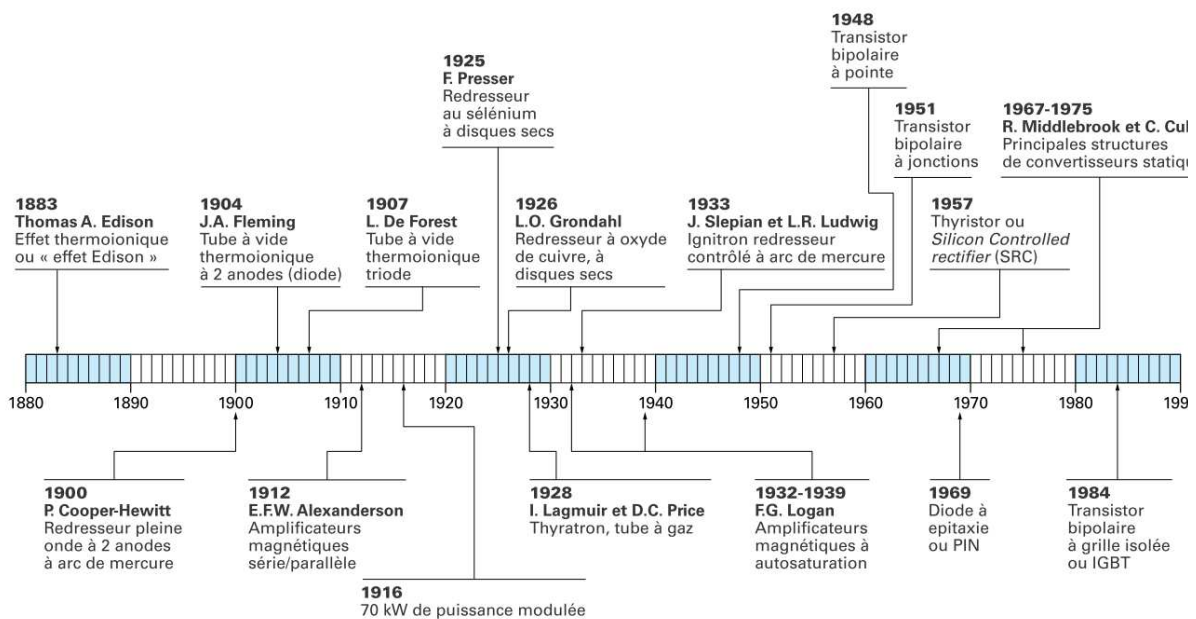


Figure 1 : Quelques repères forts du développement de l'électronique de puissance

Un fort accroissement du nombre de convertisseurs produits est attendu, cela en raison d'une demande toujours plus forte et de nouveaux domaines d'utilisations :

- Les véhicules à propulsion thermique embarquent de plus en plus d'équipements électriques. En 2006 les véhicules étaient équipés pour une puissance de 2kW et il est prévu que cette puissance passe à 15kW d'ici 2020.
- L'alimentation des processeurs et des appareils nomades (téléphones ordinateurs portables...) est à l'origine d'une forte demande de convertisseurs, qui peuvent être de faible puissance pour des téléphones portables, ou de puissance plus importante pour les tablettes et les ordinateurs (du W jusqu'à quelques centaines de W). De plus, pour ce type d'applications, on a une forte contrainte sur l'encombrement des convertisseurs, encourageant les recherches dans le sens de l'intégration.

- Le développement du marché des véhicules à propulsion (en tout ou partie) électrique a aussi pour conséquence d'augmenter la production de convertisseurs d'électronique de puissance. L'un des véhicule le plus connu étant la Toyota Prius, mais on voit également se développer des véhicules à deux roues comme des motos (Figure 2) et des vélos.



Figure 2 : moto électrique Empulse

- Le dernier exemple que l'on citera concerne l'avionique. En effet, depuis le début de l'histoire de l'aéronautique, la consommation électrique des avions ne cesse d'augmenter et cela pour diverses raisons : commandes de vol électriques, remplacement des actionneurs hydrauliques par des actionneurs électriques, confort des passagers (Figure 3). Le remplacement des anciens systèmes embarqués par des systèmes électriques est souvent évoqué à travers l'expression "avion plus électrique". Sur un Boeing 787 la puissance électrique disponible à bord est de 1.45MW.



Figure 3 : Interieur d'un Boeing 787

- De façon plus générale on retrouvera des applications pour les systèmes informatiques fixes et les serveurs, la variation de vitesse (qui réunit toutes les gammes de puissance jusqu'à la mise en mouvement des TGV), les systèmes secours (UPS pour les hôpitaux, banques, data-centers... Avec des gammes de puissances comprises entre quelques centaines de W et le MW) et les convertisseurs pour les réseaux et le transport en courant continu. Enfin, quelques applications plus spécifiques comme le transfert d'énergie sans contact, le chauffage par induction et les applications médicales.

L'avionique est donc un domaine dans lequel on retrouve de plus en plus de convertisseurs. Ainsi les normes et contraintes sur ces éléments sont très strictes. De plus le confinement de ces systèmes est propice à l'apparition de perturbation, c'est pourquoi une partie des recherches dans ce domaine porte sur la CEM des réseaux embarqués. Une solution pour réduire la taille des éléments passifs et ainsi pour mieux répondre aux contraintes d'intégrations est d'augmenter la fréquence de découpage des convertisseurs. Néanmoins cela se traduira par une augmentation des pertes dans les transistors de puissance et les composants passifs. On a alors des densités de pertes plus importantes nécessitant un refroidissement plus performant et éventuellement plus volumineux. Or, récemment (2009),

les recherches sur les matériaux grand gap ont abouti à la commercialisation de nouveaux transistors. Ces composants sont censés permettre une réduction significative des pertes (notamment lors des commutations) et ainsi permettre une augmentation des fréquences de découpage.

C'est dans ce contexte que cette thèse, a été lancée. Cette association entre Thales SA (systèmes aéroportés) et le G2Elab (énergie électrique, matériaux, procédés et systèmes innovants, modélisation et conception) a pour but, la réalisation d'un convertisseur DC-DC isolé intégrant des composants grand gap en nitrure de gallium (GaN).

Dans le premier chapitre nous mettons en lumière les caractéristiques des matériaux grand gap à l'origine du grand intérêt qui leur est porté. Nous faisons état des principaux acteurs actuels et décrivons les choix techniques utilisés par chacun d'eux.

Le deuxième chapitre est consacré à la mise en œuvre des composants GaN du fabricant EPC que nous avons utilisé tout au long de cette thèse. Des tests sont réalisés pour évaluer leurs performances et pouvoir ensuite les faire travailler dans les meilleures conditions dans notre convertisseur. Une attention particulière est portée sur la grille qui est sensible aux surtensions, nous amenant à travailler de façon approfondie sur le circuit de commande. Nous proposons plusieurs topologies différentes en courant et en tension et les évaluons en pratique dans des hacheurs "buck". Enfin, nous étudions et réalisons un circuit intégré pour piloter les eGaN de la façon la plus performante possible.

Le troisième chapitre est dédié aux conséquences de la montée en fréquence. En effet, la montée en fréquence et l'augmentation des vitesses de commutation a un impact important en termes de CEM, de routage et de mesure. Nous nous intéressons aussi aux gains apportés par une fréquence de fonctionnement élevée sur la taille de notre convertisseur.

Dans les deux derniers chapitres on étudie le convertisseur. Le quatrième chapitre présente différentes structures de puissance, les calculs de rendement de chacune d'elles et montre le gain en rendement apporté par les eGaN par rapport à des MOSFETs équivalents. Le cinquième chapitre montre les résultats expérimentaux obtenus avec les différents prototypes réalisés.

CHAPITRE I

LE CONTEXTE DE l'étude



1. Quel convertisseur pour quelle application ?	14
A. Micro-convertisseurs, Puissance # 0.1w-10w	14
B. Onduleur pour l'aviation, P # 10kVA	15
C. Alimentation haute fréquence, P # 10w-100w	16
2. GaN : passé, present et futur	17
A. Pourquoi le GaN?	17
B. De la theorie à la pratique... un grand gap à franchir !	20
C. Les recherches passées	23
D. Etats de l'art actuel	25
E. Le GaN dans l'avenir	32
3. Ou se place cette etude, cahier des charges	33
A. Cahier des charges	33
B. Où sommes nous	34

1. QUEL CONVERTISSEUR POUR QUELLE APPLICATION ?

Dans le but de définir le contexte de notre étude, nous allons nous intéresser à différents exemples de convertisseurs présentant de fortes contraintes d'intégration. Ainsi, à partir du cahier des charges, on aura un aperçu de ce qui se fait déjà. De plus, cela nous permettra d'avoir une vue large des techniques de réalisation des convertisseurs d'électronique de puissance, ce qui nous sera utile par la suite.

A. Micro-convertisseurs, Puissance # 0.1W-10W

Le but des micro-convertisseurs est d'offrir une alternative à la logique de construction "un convertisseur pour une application". Le principe est d'avoir une cellule de base qui servira alors de brique élémentaire pour la réalisation de convertisseurs plus importants et dont les caractéristiques seront adaptées à l'application visée. Ainsi, avec des associations séries et/ou parallèles, on pourrait concevoir une grande quantité de convertisseurs différents. De plus, l'ensemble de ces convertisseurs pourrait être amélioré en travaillant seulement sur la cellule élémentaire. Les micro-convertisseurs actuels ne dépassent pas les 90% de rendement.

Des travaux similaires ont été menés au G2Elab ainsi qu'aux laboratoires Satie, IES et Laplace (Figure 4,)

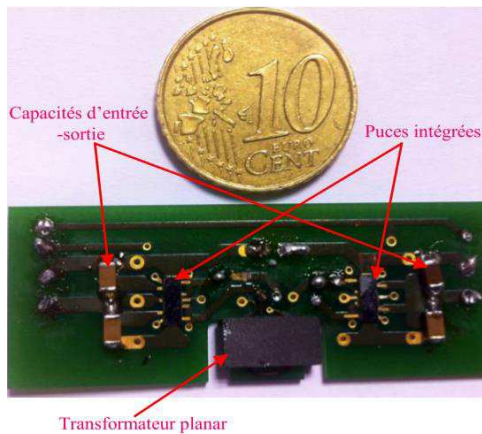


Figure 4 : Cellule élémentaire avec intégration hybride, $\eta=88\%$, 1MHz, 1.8W

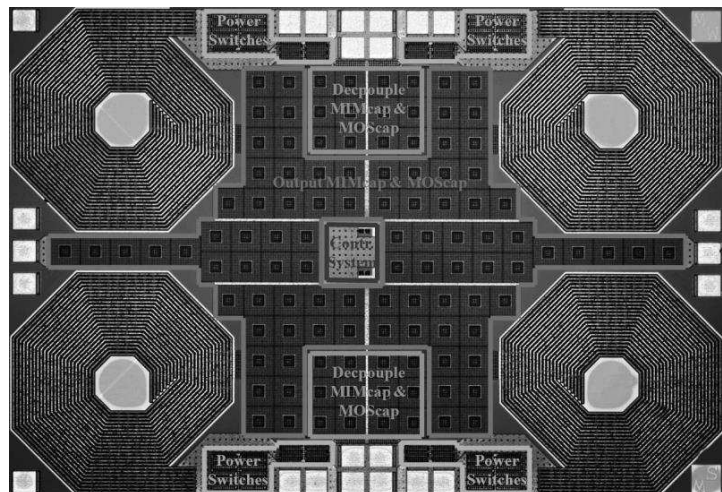


Figure 5 : Micro-convertisseur entrelacé entièrement intégré non isolé, $\eta=58\%$, $f=225\text{MHz}$, $P=800\text{mW}$

La thèse d'Olivier Deleage contient un état de l'art de travaux antérieurs sur les micro-convertisseurs. Il distingue trois gammes de fréquences ayant des contraintes différentes :

- 100MHz : Des fréquences de découpage aussi élevées ont pour principal avantage de pouvoir intégrer tout le convertisseur de façon monolithique. L'ensemble des composants, actifs ou passifs, est donc contenu sur une même puce de silicium. Les inductances et transformateurs sont donc à air. Le convertisseur obtenu est donc extrêmement compact (3.76mm^2 pour la puce de la Figure 5) et les inductances parasites du circuit sont réduites au maximum.
- 10MHz : Cette fois les passifs nécessitent un circuit magnétique. On aura donc une intégration hybride. Néanmoins des conducteurs avec une épaisseur plus importante pourront être utilisés, augmentant ainsi la puissance transmissible.
- 1MHz : A l'image de la Figure 4, les circuits magnétiques seront de type planar et seuls les composants actifs seront intégrés sur silicium avec un report de type "flip chip" (la puce est reportée directement sur le PCB, sans utilisation de fil de bonding) ou autre.

On voit bien avec les deux figures présentées l'intérêt de la montée en fréquence pour l'intégration. En effet, une pièce de 10 centimes d'euro fait environ 20mm de diamètre. Le rapport surfacique des convertisseurs présents sur les Figure 4 et 5, à puissance égale, est d'environ 10.

B. Onduleur pour l'avionique, P # 10kVA

Juste avant que cette thèse ne débute, une autre s'achevait sur la conception d'un onduleur triphasé pour l'aviation civile. Durant ces travaux, la solution de l'entrelacement fut explorée et démontrée en pratique dans le but de réduire la taille du coupleur. En effet les contraintes de CEM et de THD en aéronautique sont telles que les filtres peuvent représenter jusqu'à 50% de la masse totale du convertisseur. Or de fortes contraintes d'intégration rendent difficilement acceptable la présence de filtres aussi volumineux. Un travail sur la structure et ses composants magnétiques avait alors été préféré à une augmentation de la fréquence de découpage dans le but d'optimiser le rendement.

Le nombre important de composants à commander a nécessité l'utilisation d'une commande numérique par FPGA ainsi que plusieurs cartes dédiées à la commande rapprochée (Figure 6). L'architecture hardware du convertisseur ainsi que la forme toroïdal des circuits magnétiques ont pour conséquence beaucoup d'espaces vides. Dans certains cas le pourcentage d'espace non utilisé dans un convertisseur peut atteindre 55%. Avec ce genre d'application, de très bons rendements peuvent être atteints, comme 97% pour l'exemple précédent.

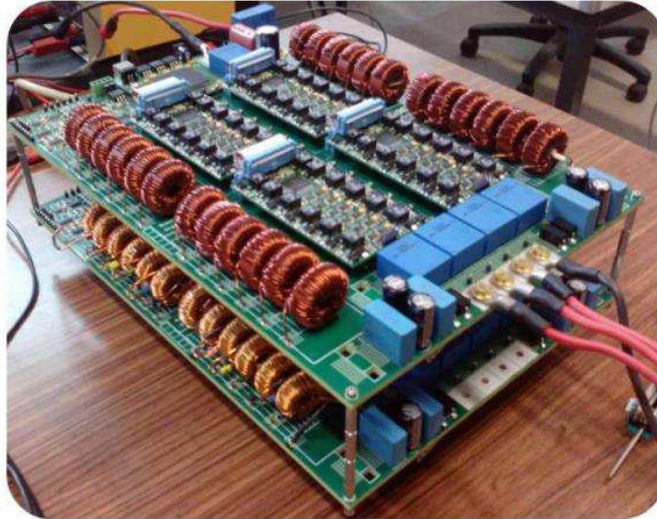


Figure 6 : Convertisseur 25kVA, 350V DC-115V AC, 400Hz, 4phases, 6cellules entrelacées, 48 IGBT, 97% de rendement

C. Alimentation haute fréquence, P # 10W-100W

Ce genre d'alimentation à haute fréquence vise un bon niveau d'intégration (Figure 7). Les densités de puissance sont améliorées par l'emploi de composants de type CMS et de circuits magnétiques planar. Les PCB eux aussi jouent un rôle dans la compacité de ces convertisseurs grâce à un nombre de couches élevé, (pouvant dépasser les 10) facilitant le routage. Elles utilisent des structures simples et/ou à résonance. Vicor fabrique plusieurs modèles d'alimentations DC/DC isolées. Le rendement du convertisseur VI Brick® obtenu par association série des modules PRM® et VTM® (97% de rendement chacun) est d'environ 93% (Figure 8) pour une densité volumique de puissance de 11kW/L à puissance max (300W).



Figure 7 : Module DC/DC Vicor ouvert



Figure 8 : modules PRM® et VTM® Vicor

La thèse de Jean Michel Jarrousse, (contrat CIFRE associant le laboratoire SATIE et Thales) présente l'étude d'une alimentation DC/DC isolée de 20W avec une fréquence de commutation de 3MHz. Lors de cette thèse, un effort particulier avait été porté sur la commande des MOSFETs dans le but de limiter la consommation et donc d'augmenter le rendement global. Le rendement maximum atteint était de 82%.

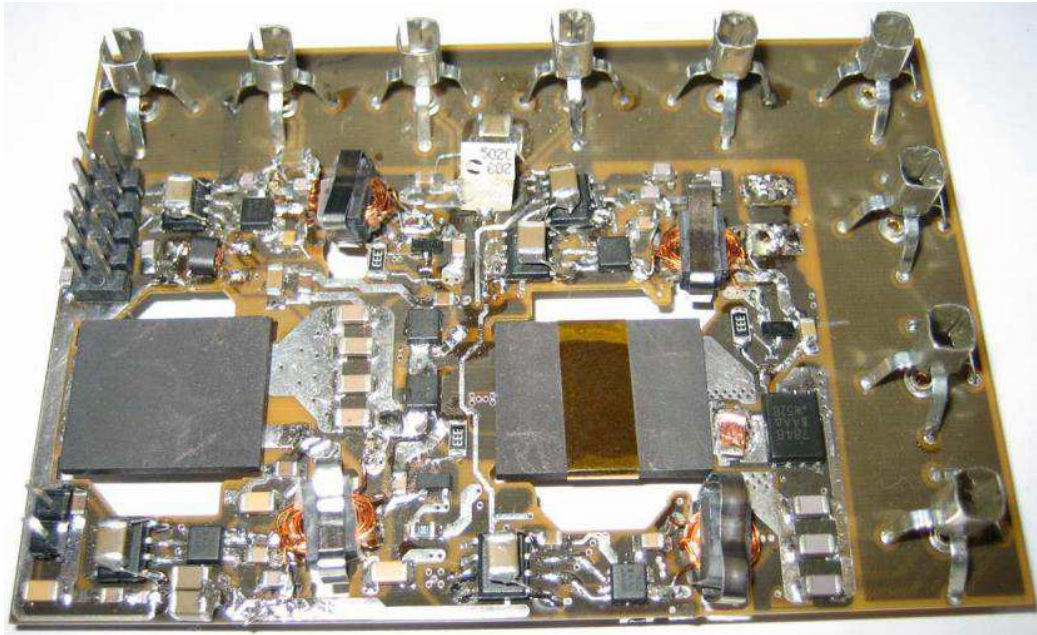


Figure 9 : Convertisseur DC/DC isolé 20W découpant à 3MHz, rendement 82%, 1,6kW/L, $V_{in}=42V$ et $V_{out}=3,3V$

Après ces quelques exemples de réalisations de convertisseurs d'électronique de puissance, et avant d'exposer notre cahier des charges, nous allons maintenant nous intéresser aux composants GaN.

2. GAN : PASSE, PRESENT ET FUTUR

Dans ce paragraphe, on fait un état de l'art du GaN, et on présente les intérêts qu'il apporte par rapport aux autres matériaux utilisés en électronique de puissance. Cette comparaison est faite en considérant des contraintes d'électronique de puissance, en nous intéressant plus particulièrement aux composants unipolaires. Cela mettra en évidence les raisons de son utilisation dans un convertisseur de puissance au cours de cette thèse.

En préambule, on peut citer deux domaines dans lesquels le matériau GaN présente un grand intérêt. Le premier est celui qui regroupe les hyper fréquences, les communications et les applications radars. Dans ce premier domaine, on apprécie sa capacité de montée en fréquence (par rapport au Si). Le second concerne les applications optiques avec les LEDs bleues (démontrées dans les années 90) ou les lasers. L'application la plus connue étant peut-être le lecteur optique Blu-ray, ou le passage à un laser bleu permet un gain de presque 3 sur la quantité d'information contenue dans un disque.

A. Pourquoi le GaN?

En électronique de puissance, les composants silicium ont progressé au cours des années. Les investissements dans la filière Si apportent de nouvelles améliorations des performances et rapprochent un peu plus les composants de leur limite théorique (en terme

de résistance spécifique en fonction de la tension de claquage). Or, à mesure qu'on se rapproche de cette limite, la marge de progression se réduit, ce qui encourage les recherches vers d'autres matériaux semi-conducteurs avec des limites théoriques bien meilleures. On citera les trois matériaux grand gap, nitrure de gallium (GaN), carbure de silicium (SiC) et diamant.

Le Tableau 1 contient les paramètres intrinsèques des trois matériaux grands gaps cités précédemment, qui sont intéressants pour la fabrication de composants de puissance, et ceux du Si :

- L'énergie de bande interdite (energy band gap en anglais) et le champ de claquage donnent une information directe sur la faculté du matériau à tenir la tension. Avec des rapports respectifs de 3 et 11 entre le Si et le GaN on comprend que le GaN devrait permettre de fabriquer des composants avec une meilleure tenue en tension. De plus, une valeur élevée de ce paramètre permet au matériau de travailler à des températures plus élevées et donc de pouvoir potentiellement réduire la taille des refroidisseurs sur les convertisseurs.
- De fortes valeurs de mobilité électronique et de vitesse de saturation présentent un intérêt pour travailler à haute fréquence. Ces valeurs sont respectivement 1.4 et 2.5 fois plus élevées pour le GaN que le Si.
- Le dernier paramètre concerne la conductivité thermique du matériau. Les composants de puissance génèrent des pertes, qui génèreront une montée en température de la puce. Cette montée en température sera d'autant plus importante si l'extraction des pertes n'est pas suffisante et elle provoquera dans le pire des cas la destruction du composant. Une meilleure conductivité thermique favorisera la diffusion de la chaleur et l'extraction des pertes.

Parametre\Materiaux	Si	4H-SiC	GaN	Diamant
Energie de bande interdite, E_G (eV)	1.12	3.26	3.39	5.47
Champ de claquage, E_c (MV/cm)	0.3	3	3.3	5.7
Constante diélectrique ϵ	11.8	9.7	9	5.7
Mobilité électronique, μ_e	1500	1000	900/2000*	1800
Vitesse de saturation, V_{sat} (10^7 cm/s)	1	2	2.5	2.7
Conductivité thermique, λ (W/cm.K)	1.5	3.8	3/1.3**	20
BFM relativement au Si	1	14	12/26*	72

Tableau 1 : Comparaison des propriétés intrinsèques des matériaux grand gap et du Si . *GaN massif/jonction GaN-AlGaIn. ** GaN massif/hétéroépitaxie.

La dernière ligne du tableau concerne la figure de mérite de Baliga (Baliga Figure of Merit, les performances sont proportionnelles à sa valeur). Cette figure de mérite fait le lien entre la quantité de pertes par conduction générées par un transistor de puissance et les paramètres intrinsèques du matériau qui le constitue. Elle sert d'indication pour la qualité des transistors de puissance. La BHFFOM qui fut aussi définie par Baliga (performances proportionnelles à sa valeur), sert d'indication pour traduire le niveau de perte d'un transistor fonctionnant à haute fréquence. Dans la littérature on retrouve beaucoup plus souvent de

comparatifs avec la BFM qu'avec la BHFFOM. Dans le Tableau 2 on montre les expressions des figures de mérite ainsi que l'expression de R_{ON} et C_{IN} (respectivement la résistance d'état passant et la capacité d'entrée) à partir des éléments du Tableau 1. Avec V_B la tension de claquage du transistor réalisé, V_G sa tension de grille et ϵ la constante diélectrique.

$P = R_{ON} \cdot I_{RMS}^2 + C_{IN} \cdot V_G^2 \cdot f$	
$R_{ON} = 4V_B^2 / (\epsilon \cdot \mu_e \cdot E_C^3)$	$C_{IN} = \epsilon \cdot E_C / (V_G \cdot V_B)^{1/2}$
$BFOM = \epsilon \cdot \mu_e \cdot E_C^3$	
$BHFFOM = 1 / (R_{ON} \cdot C_{IN})$	$BHFFOM = \mu_e \cdot E_C^2 \cdot V_G^{1/2} / 2V_B^{3/2}$

Tableau 2 : Résumé des principales équations pour les figures de mérite de Baliga.

Si on compare les trois éléments grand gap et le Si à partir de la BFM, on se rend compte que le SiC et le GaN ont un potentiel assez grand pour marquer une vraie rupture technologique avec le Si. Ces deux éléments sont assez proches dans le cas de l'utilisation du matériau brut, mais le GaN se démarque grâce à l'utilisation de la jonction GaN/AlGaIn (jonction dont on parlera plus en détail plus loin). Enfin, le diamant a un potentiel encore supérieur d'un rapport 2.7 à la jonction GaN/AlGaIn, mais les recherches ne sont pas encore assez avancées pour que des composants soient commercialisés.

Dans la littérature on trouve beaucoup de graphiques définissant la résistance spécifique des composants unipolaires réalisés à base de Si, SiC et GaN (Figure 10) en fonction de la tenue en tension. La résistance spécifique est la résistance à l'état passant multipliée par la section de passage du courant. On obtient ainsi un paramètre homogène à la résistivité du matériau multiplié par la longueur de la zone de passage du courant. Cette dernière longueur joue un rôle important dans la tenue en tension des transistors. Les graphiques de résistances spécifiques permettent donc de classer les transistors les uns par rapport aux autres en fonction de leur tenue en tension et quel que soit leur calibre en courant. On voit sur la Figure 10 la grande amélioration apportée par les matériaux GaN et SiC qui se trouvent respectivement 3 et 2 décades en dessous du Si.

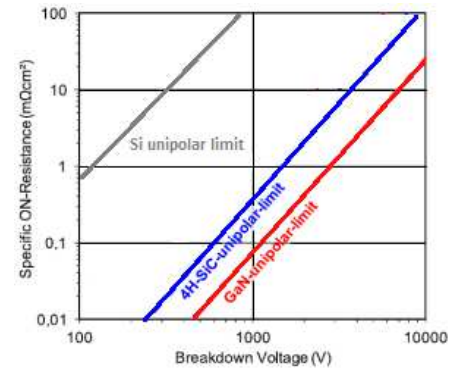


Figure 10 : Résistance spécifique théorique des composants unipolaires à base de Si, SiC et GaN

Dans le cadre des applications aérospatiales, le GaN possède un autre avantage par rapport au Si, qui est sa résistance aux radiations. En effet, certains composants Si ne sont pas admis dans les applications aérospatiales et militaires en raison de leur sensibilité aux rayons cosmiques qui peuvent générer des pannes (sensibilité de l'oxyde de grille et autre). Les

composants GaN HEMT possèdent une meilleure résistance aux radiations mais n'y sont pas totalement insensibles pour autant. La thèse de Aurore Luu contient de nombreuses informations sur le sujet. Des rapports de la NASA montrent l'intérêt qu'ils portent aux composants GaN (notamment ceux d'EPC) ainsi que les tests réalisés pour juger leur sensibilité aux radiations ,.

B. De la théorie à la pratique... un grand gap à franchir !

Dans le paragraphe précédent on a montré l'intérêt du matériau GaN pour la fabrication de composants d'électronique de puissance. Néanmoins il convient de prendre un peu de recul et d'analyser ses possibilités de mise en œuvre au sein de convertisseurs. On considèrera les points suivants : la vitesse de commutation, le fonctionnement à haute température, l'état passant et la tenue en tension.

i. Vitesse de commutation

L'augmentation des vitesses de commutation (ayant pour conséquence l'augmentation des dV/dt et dI/dt) permise par le GaN nécessite de s'intéresser aux éléments parasites des circuits, que ce soit pour la partie commande ou puissance. En effet, dans beaucoup de cas de l'électronique de puissance actuelle les éléments parasites influencent peu le fonctionnement du montage et peuvent être négligés moyennant des précautions simples. Mais lorsque la vitesse de commutation devient relativement importante des surtensions dues au caractère inductif des pistes peuvent apparaître et mettre en danger les interrupteurs de puissance. De plus, ces éléments engendrent l'apparition de phénomènes CEM de mode commun ou différentiel qui peuvent venir perturber le bon fonctionnement du convertisseur ou rendre difficile le respect des normes.

Une première origine du mode commun dans le convertisseur peut être les dV/dt transitant via les capacités parasites du circuit. Ces capacités résultent de la proximité de conducteurs reliés à des potentiels différents. Pour garder les mêmes vitesses de commutation tout en réduisant le mode commun, on pourra agir sur le routage du circuit pour limiter les capacités parasites (augmentation de la distance entre les conducteurs, suppression ou réduction des surfaces de conducteur en regard).

Le mode différentiel dans le convertisseur est lié au dI/dt ainsi qu'au routage. De même que pour le mode commun on pourra le réduire en optimisant le routage. Cela sera développé plus loin.

Enfin la réduction des inductances dans les circuits de grille et de puissance est primordiale si on veut augmenter les vitesses de commutation en courant et réduire les surtensions. Cela passe une fois de plus par une optimisation du routage.

Donc, pour faire fonctionner un convertisseur à des vitesses de commutations importantes, et dans des conditions satisfaisantes, il est nécessaire d'optimiser le routage. Mais cela ne servira à rien si les packages des composants ne suivent pas. En effet un bon routage peut être gâché par un boîtier trop inductif (pattes trop longues, fils de bonding). Des puces ayant de meilleures performances en termes de vitesse de commutation pourraient donc ne pas améliorer les performances du convertisseur. Des packages spécifiques doivent donc être développés.

ii. Fonctionnement à haute température

Les paramètres intrinsèques du matériau laissent envisager le fonctionnement de transistors de puissance en GaN à des températures plus élevées que celles supportées en Si. On aurait alors des convertisseurs pouvant fonctionner dans des environnements plus chauds ou alors, à température ambiante égale, on pourrait réduire la taille du refroidisseur. Des travaux portent spécifiquement sur le fonctionnement à haute température, que ce soit avec le GaN ou le SiC .

Néanmoins plusieurs éléments dans les convertisseurs ne sont pas capables de fonctionner dans le même environnement que ces transistors. Les passifs (condensateurs et circuits magnétiques) ont des températures de fonctionnement maximales qui se situent aux alentours de 200°C comme le montre les Tableau 3 et 4 issus de . Les composants Si discrets, que ce soit des composants de contrôle ou de puissance sont limités à 175°C. Enfin, les packages, soudures et PCB devront être adaptés eux aussi.

Materials	Vendor	Capacitance	Temperature
Ceramic	NP0	Kemet, Novacap, Johanson	1.0pF~ 0.12μF -55~200°C
	X7R	Dielectric, Eurofarad	100pF~ 3.3μF -55~200°C
Teflon	Eurofarad	470pF~2.2 μ F	-55~200°C
Tantalum	Kemet	0.15μF~ 150μF	-55~175°C
Mica	CDE	1.0pF~1500pF	200°C

Tableau 3 : Température de fonctionnement de plusieurs condensateurs

Vendor	Series	Inductance range	Temperature range
Vashay	TJ3-HT	0.39 ~ 100 μH	-55 ~ 200 °C
	TJ5-HT	0.47 ~ 470 μH	-55 ~ 200 °C
Datatronic	Dr-360	1.2 ~ 1000 μH	-55 ~ 200 °C
	Dr-361	1.2 ~ 1000 μH	-55 ~ 200 °C
	Dr-362	1.0 ~ 1000 μH	-55 ~ 200 °C
Ferroxcube	4C65		Up to 200°C
	3C93		Up to 200°C

Tableau 4 : Température de fonctionnement de plusieurs circuits magnétiques

iii. Etat passant

L'état passant (R_{ON}) est le paramètre du transistor permettant de calculer ses pertes en conduction. On a vu précédemment le tracé des résistances spécifiques, limites théoriques de composants unipolaires à base de Si, SiC et de GaN, en fonction de la tension de claquage. Or ces courbes ne prennent en compte que les paramètres du matériau et ne considèrent pas les résistances de contacts, qui elles sont dues à la « construction » du composant en lui-même. La Figure 12 montre la répartition des différentes résistances qui composent la résistance à l'état passant d'un transistor à effet de champ horizontal. La Figure 11 reprend le graphique avec les courbes de résistances spécifiques théoriques en y ajoutant deux courbes de tendance sur les performances des composants actuels. Les deux courbes de tendance montrent la conséquence de ces résistances de contact. On voit qu'en dessous d'un certain seuil de tension, l'état passant des composants unipolaires en SiC ou GaN ne diminue plus. On a donc une borne inférieure aux R_{ON} due aux résistances de contacts. Pour pouvoir profiter pleinement des avantages des matériaux grands gap en basse tension il faudra donc améliorer ces résistances de contacts.

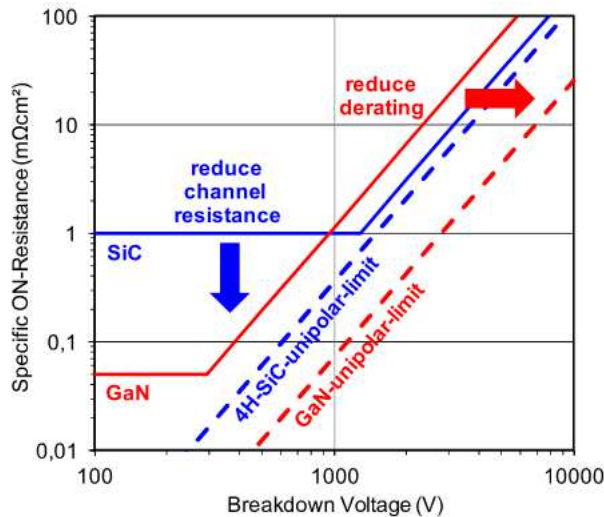


Figure 11 : limites théoriques de l'état passant spécifique des composants unipolaires en SiC et GaN

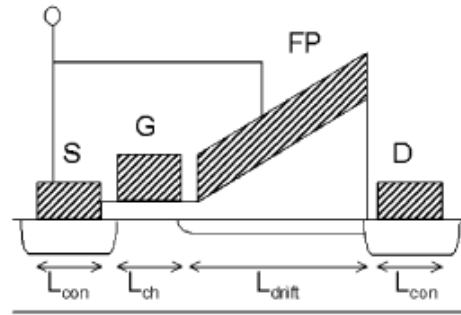


Figure 12 : Coupe d'un transistor à effet de champ horizontale. Représentation des longueurs à prendre en compte pour le calcul de l'état passant. ch=channel, con=connection

iv. Tenue en tension

Comme on l'a vu précédemment le GaN doit permettre de produire des composants ayant des tenues en tension élevées. Or comme on peut le voir sur la Figure 11, il y a un écart assez important entre la limite théorique et les composants réalisés. Cela est dû en partie au "derating" (les composants sont caractérisés pour des tensions inférieures à celles qu'il peuvent tenir) appliqué par les fabricants à cause de problèmes de fiabilité ou de phénomènes parasites comme l'effet de "punch through" (Figure 13). Lorsque le composant est bloqué, des courants parasites peuvent apparaître en profondeur dans la partie GaN. Pour éviter ce genre de phénomènes et/ou augmenter la fiabilité, les composants sont finalement utilisés pour des tensions plus faibles que ce qu'il peuvent supporter.

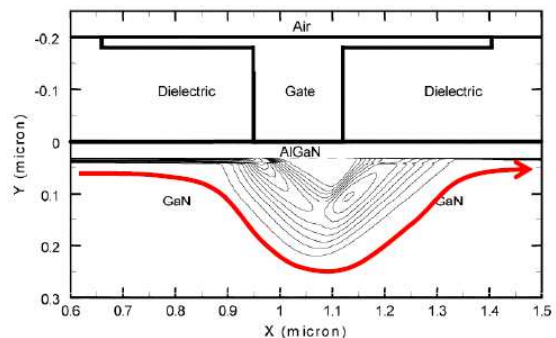


Figure 13 : Phénomène de Punch Through dans un composant HEMT GaN

En conclusion de ce paragraphe, l'utilisation de matériaux grand gap pour la conception de composants de forte tension avec des commutations rapides, va obliger les fabricants de composants ainsi que les concepteurs de convertisseurs à travailler avec de nouvelles contraintes. Pour pouvoir profiter pleinement d'un matériau dont les performances sont en rupture avec celles de la filière Si, il faudra que les méthodes de design (package et layout) soient elles aussi en rupture avec ce qui se faisait.

C. Les recherches passées

Paramètres\substrats	Saphir Al_2O_3	Si	SiC 4H	GaN
Concordance de maille	14% et 30°	17%	3,1%	0%
Prix € 4"	8\$ pour 2"	80	700	6000
Conductivité thermique (W/K.cm)	0,4	1.5	4	3
Coefficient d'expansion thermique (ppm/K)	7,9	2,6	5,12	5,6

Tableau 5 : Paramètres des principaux substrats du GaN

Les recherches sur l'utilisation du GaN pour l'électronique ont débutées dans les années 60. L'une des premières difficultés était la fabrication de wafer car le point de fusion du GaN se situe aux alentours de 2800°K sous 45kbar, en dessous de cette pression, le GaN ne fond pas mais se décompose. Ces conditions étant difficiles à atteindre, d'autres techniques furent utilisées comme l'hétéroépitaxie (d'autres méthodes pour obtenir du GaN massif sont développées dans). Cette technique consiste à faire croître le GaN sur un substrat constitué d'un autre matériau. Une autre difficulté était le dopage de type P. Cette difficulté fut franchie à la fin des années 80 et en 94 la première LED bleue vu le jour (et donna naissance plus tard au lecteur optique Blu-ray). A la fin des années 90 plusieurs transistors furent démontrés.

A l'heure actuelle, on arrive à obtenir du GaN brut et cristallin par des techniques comme "l'hybride vapor phase epitaxy" (HCPE) puis des wafer avec des techniques comme le smart cut™. Néanmoins ces techniques restent très coûteuses. Dans le cadre de la réalisation de composants pour l'électronique de puissance on lui préfère l'hétéroépitaxie. Les différentes couches du composant de puissance sont réalisées par des techniques comme le "metal organic chemical vapor deposition" (MOCVD) ou le MBE (molecular beam epitaxie), sur un substrat. Les composants réalisés avec cette technique sont donc horizontaux (car le substrat se trouve sur l'une des faces). Le substrat choisi a une grande importance ; de ses caractéristiques vont dépendre : la qualité de l'épitaxie, les propriétés thermiques ainsi que le prix du composant final. Dans la littérature on retrouve principalement quatre substrats : le saphir, le silicium, le carbure de silicium et le GaN lui-même. Les paramètres de ces substrats sont résumés dans le Tableau 5.

La concordance de maille traduit l'écart entre la maille cristalline du GaN et celle du substrat. Plus cette valeur est élevée, plus il y aura de défauts dans le GaN au niveau de

l'interface avec le substrat. Parmi les quatre proposés, celui qui présente le plus gros écart est le saphir avec un désaccord de l'ordre de 23 %, cependant, lorsque l'on fait croître le GaN sur du saphir, on constate une rotation de 30° de la maille de GaN par rapport à la maille du saphir, ce qui réduit le désaccord à 14%. Le matériau qui présente le plus grand désaccord est donc, dans la pratique, le Si. Néanmoins des couches de GaN avec peu de défauts peuvent quand même être obtenues par hétéroépitaxie. Une des méthodes citée dans la littérature consiste à faire croître le GaN sur une couche constituée d'AlN formé sur le substrat, ce qui a pour conséquence de réduire le nombre de défauts.

La conductivité thermique du substrat joue un rôle important pour les composants de puissance. Le côté substrat pouvant être utilisé pour le refroidissement du composant, plus ce paramètre est élevé, mieux le composant pourra être refroidi. On pourrait donc se permettre de dissiper plus de puissance dans le composant ou à l'inverse de réduire son refroidisseur, l'impact de la conductivité thermique sur les performances n'est donc pas négligeable. Parmi les substrats cités, le saphir est le moins bon et le SiC est le meilleur avec une valeur 10 fois plus élevée.

Le coefficient d'expansion thermique caractérise la déformation d'un matériau en fonction de la température. Durant les cycles thermiques des composants de puissance, si ce paramètre est très éloigné entre le GaN et son substrat, des tensions mécaniques apparaîtront à l'interface, ce qui peut être un problème. Le meilleur matériau dans ce domaine est le SiC et le pire est le Si avec respectivement 5.12 et 2.6ppm/K contre 5.6 pour le GaN.

Le paramètre qui a le plus d'importance en ce moment est le prix. Les prix des substrats 4 pouces sont indiqués en euros dans le Tableau 5 (à l'exception du saphir qui se fait en 2 pouces). Le coût des substrats GaN est aujourd'hui bien trop élevé (6000€). De plus ils ne sont pas très disponibles. Les substrats SiC sont bien moins chers (700€) et sont plus disponibles étant donné que la filière des composants SiC est déjà lancée. Les substrats Si sont très disponibles, de très bonne qualité et leur prix est bien inférieur à ceux en SiC (80€). Pour des tailles de wafer plus grand (6 et 12 pouces) International Rectifier avance même un prix

Year	Event	Authors
1969	GaN by hydride vapor phase epitaxy	Maruska and Tietjen
1971	MIS LEDs	Pankove et al.
	GaN by MOCVD	Manasevit et al.
1974	GaN by MBE	Akasaki and Hayashi
1983	AlN intermediate layer by MBE	Yoshida et al.
1986	Specular films using AlN buffer	Amano et al.
1989	p-type Mg-doped GaN by LEBE and GaN p-n junction LED	Amano et al.
1991	GaN buffer layer by MOCVD	Nakamura
1992	Mg activation by thermal annealing	Nakamura et al.
	AlGaIn/GaN two-dimensional electron gas	Khan et al.
1993	GaN MESFET	Khan et al.
	AlGaIn/GaN HEMT	Khan et al.
	Theoretical prediction of piezoelectric effect in AlGaIn/GaN	Bykhovski et al.
1994	InGaIn/AlGaIn DH blue LEDs (1 cd)	Nakamura et al.
	Microwave GaN MESFET	Binari et al.
	Microwave HFET, MISFET	Binari et al.; Khan et al.
	GaN/SiC HBT	Pankove et al.
1995	AlGaIn/GaN HEMT by MBE	Ozgun et al.
1996	Doped channel AlGaIn/GaN HEMT	Khan et al.
	Ion-implanted GaN JFET	Zolper et al.
	340 V V_{GD} AlGaIn/GaN HEMT	Wu et al.
	1st blue laser diode	Nakamura and Fosal
1997	Quantification of piezoelectric effect	Asbeck et al.
	AlGaIn/GaN HEMT on SiC	Binari et al.; Ping et al.; Gaska et al.
	1.4 W @ 4 GHz	Thibeault et al.
	0.85 W @ 10 GHz	Siram et al.
	3.1 W mm ⁻¹ at 18 GHz	Wu et al.
1998	3.3 W	Sullivan et al.
	p/n junction in LEO GaN	Kozodoy et al.
	HEMT in LEO GaN	Mishra et al.
	6.8 W mm ⁻¹ (4 W) @ 10 GHz HEMT on SiC	Sheppard et al.
	10 ⁻⁴ Hooge factor for HEMT on SiC	Levinshtein et al.
	1st AlGaIn/GaN HBT	McCarthy et al.; Ren et al.
	1st GaN MOSFET	Ren et al.
1999	9.1 W mm ⁻¹ @ 10 GHz HEMT on SiC	Mishra et al.
	GaN BJT (npn)	Yoshida et al.
2000	4.3 kV AlGaIn rectifier	Zhang et al.
	pn-p GaN/AlGaIn HBT	Zhang et al.
	pn-p GaN BJT	Zhang et al.

Figure 14 : Historique des avancées de l'électronique à base de GaN

de 0.5\$/cm² (environ 0.36€/cm² contre 1€/cm² pour le wafer 4 pouces). A environ 0.28€/cm², le saphir ne présente pas un grand intérêt économique. Parmi les composants unipolaires commercialisés ou en cours de commercialisation, le saphir n'est pas utilisé et on retrouve principalement le Si comme substrat (EPC, Transphorm, Panasonic, International Rectifier).



Figure 15 : Wafer et lingots silicium CEC



Figure 16 : Wafer SiC Nippon steel

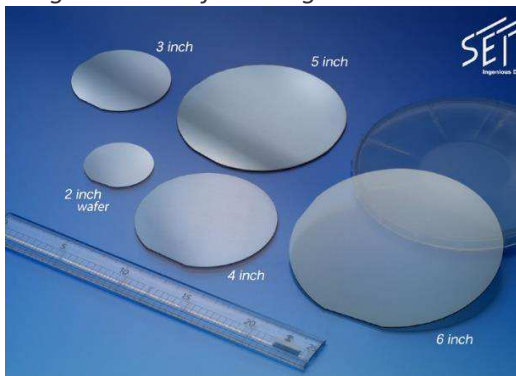


Figure 17 : Wafer GaN SEI



Figure 18 : Wafer sapphire Kyocera

D. Etat de l'art actuel

i. Introduction

Le marché des composants GaN est devenu très dynamique et les nombreuses recherches effectuées dans la filière commencent à aboutir sur des composants unipolaires industriels. Les premiers composants disponibles dans le commerce furent ceux d'Efficient Power Conversion (EPC, basé en Californie, HEMT normally OFF) en 2009, qui visait les faibles tensions (entre 40V et 200V). Ils ont depuis deux ans annoncé des composants 600V. Depuis, plusieurs autres acteurs ont développé leurs propres solutions, mais le marché visé est celui des composants 600V et 1200V. Parmi ces nouveaux acteurs on peut citer : Transphorm (basé en Californie) qui annonce des composants cascode 600V à base de composants HEMT sur Si , International Rectifier (IR, basé aux Etats-Unis) qui annonce des composants cascodes 600V à base de composants HEMT sur Si , GaN system (basé à Ottawa, Canada) qui annonce des composants cascodes de 150V à 1200V à base de HEMT sur substrat Si ou SiC (les différentes architectures seront décrites plus loin), Panasonic (basé au Japon) qui annonce des composants HEMT normally Off à grille GIT (décrite plus loin). Tous ces éléments sont résumés dans le Tableau 6.

	Tension (V)	Structure	Substrat	Grille	Nationalité
EPC	40-200 ; 600V,	HEMT, nOff	Si	?	USA
IR	600	HEMT/cascode	Si	MIS	USA
Transphorm	600	HEMT/cascode	Si	?	USA
GaN system	150-1200	HEMT/cascode	Si ou SiC	?	Canada
Panasonic	600	HEMT, nOff	Si	GIT	Japon

Tableau 6 : Principaux acteurs de la filière GaN pour les composants unipolaires, nOff=normally off.
GIT= gate injection transistor, MIS= metal insulated semi-conductor

EPC sont les seuls qui commercialisent des composants, mais tous les principaux acteurs sont dans une phase de test pré-commercialisation. On peut trouver de la documentation sur leurs composants, voire même dans le cas de IR, acheter les composants vendus dans des modules complets et fermés, mais ils ne sont pas disponibles dans le commerce. Dans certain cas, on peut être sélectionné pour recevoir des échantillons, mais sous couvert de contrats de non divulgation (non-disclosure agreement). Cela peut inclure des clauses pour empêcher le reverse engineering et dans certains cas un retour des échantillons. Ce comportement très protecteur peut s'expliquer par le fait que la course entre les fabricants est intense et que l'enjeu à moyen terme est de conquérir une partie des secteurs MOSFET et IGBT. De plus, les fabricants pourraient être effrayés à l'idée d'une mauvaise publicité venant d'utilisateurs non-initiés à ce nouveau genre de composants .

Les paragraphes qui suivent décrivent la structure HEMT AlGaIn/GaN, les solutions utilisées pour réaliser la grille ainsi que les principaux phénomènes indésirables qui ont lieu dans la structure.

ii. Structure HEMT

Des structures horizontales ou verticales peuvent être utilisées pour la réalisation de composants unipolaires en GaN, néanmoins, la structure horizontale HEMT (High Electron Mobility Transistor) est celle qui, aujourd'hui, retient le plus l'attention. Les transistors GaN à structure HEMT sont apparus pour la première fois vers 2004 et étaient fabriqués par Eudyna (Japon) pour des applications RF. Utilisant du GaN sur SiC, Eudyna réussit à mettre en production ses transistors pour le marché de la RF . La structure HEMT est basée sur un phénomène qui fut présenté pour la première fois en 1975 , puis en 1994 par M.A.Khan. Ce dernier démontra une mobilité électronique anormalement élevée au niveau de l'interface entre le GaN et l'AlGaIn d'une hétérostructure.

La structure HEMT repose sur la formation d'un gaz 2D d'électrons (2DEG) à l'interface d'une hétérostructure et ne nécessite pas de dopage . D'après la thèse de François Lecourt , dans de nombreux cas, pour les composants unipolaires de puissance, il s'agit de l'hétérostructure entre AlGaIn et GaN. De manière générale, pour les HEMTs III-N (heterojonction entre un matériau de la troisième colonne de la classification périodique et l'élément nitrure), une couche mince est superposée sur une couche épaisse pour générer le 2DEG. Le matériau utilisé pour la couche fine doit avoir une largeur de bande interdite plus grande que l'autre matériau afin d'obtenir dans ce dernier la formation du gaz. Dans le cas de l'heterojonction AlGaIn/GaN, c'est l'AlGaIn qui possède la largeur de bande interdite la plus grande, de plus son paramètre de maille est inférieur à celui de la couche de GaN. Le GaN impose son paramètre de maille à la couche mince d'AlGaIn par croissance pseudomorphique

(dans le cas de l'épitaxie d'un matériau désadapté en maille sur un matériau plus épais, le matériau épitaxié tend à prendre le paramètre de maille du matériau plus épais), ce dernier se retrouve alors en tension, créant ainsi une polarisation piézoélectrique. La mise en contact des deux matériaux provoque aussi une discontinuité des bandes de conduction et de valence. Cette discontinuité associée aux champs électriques induits par les effets des polarisations dans les matériaux engendre un puits d'énergie à l'interface. Le 2DEG résulte alors du confinement des charges par ce puits.

Ce gaz permet d'obtenir une mobilité électronique bien supérieure, passant d'environ $900\text{cm}^2/\text{V.s}$ dans le GaN massif à $2000\text{cm}^2/\text{V.s}$ dans le 2DEG (Tableau 1).

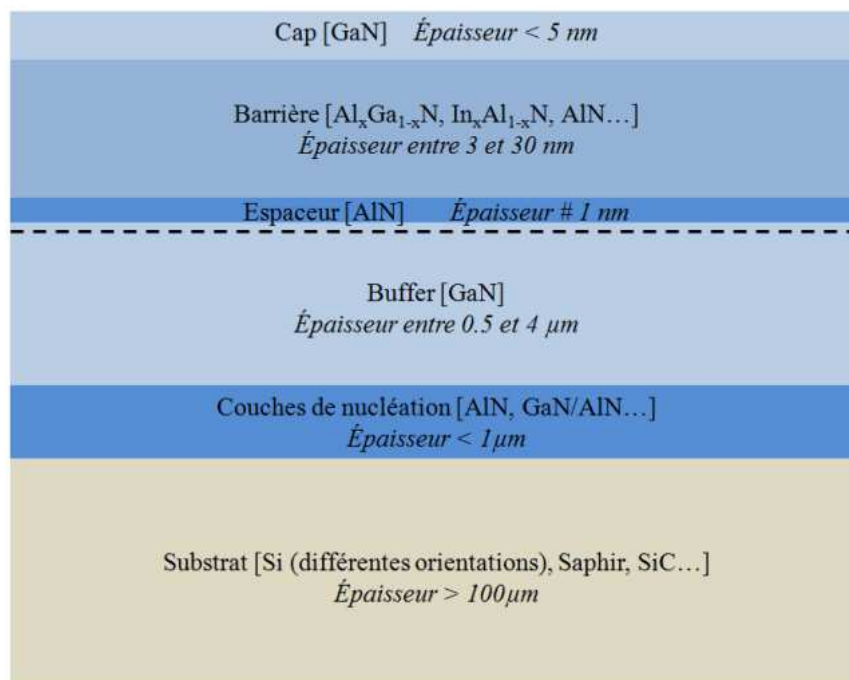


Figure 19 : Structure classique d'un HEMT .

La structure du composant HEMT se décompose de la façon suivante dans l'ordre de fabrication :

- Le substrat sert de base pour la croissance du composant. Les différents substrats et leur impact ont été décrits précédemment.
- Les couches de nucléation permettent de limiter l'apparition de défauts et de dislocations dans la couche du buffer en GaN en réduisant les tensions à l'interface.
- Le buffer sert à la croissance des couches supérieures et va leur imposer son paramètre de maille. La zone supérieure de cette couche permet le passage du courant à travers le 2DEG.
- L'espaceur en AlN sert à améliorer la mobilité électronique et le confinement des électrons dans le puits.
- La couche de barrière permet, avec le buffer de générer le 2DEG.
- Le cap en GaN sert de protection contre l'oxydation de la couche barrière et permet aussi de limiter les courants de fuite dans la grille schottky .

iii. Phénomènes parasites dans la structure HEMT

On s'intéresse ici à deux mécanismes limitant les performances des composants HEMTs. Le premier cause des limitations de courant et une augmentation des pertes et le deuxième est à l'origine de claquages. La Figure 20 illustre ces deux phénomènes.

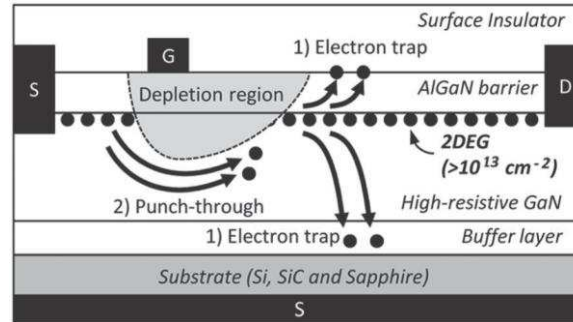


Figure 20 : Illustration des phénomènes de "punch-through" et "electron trap"

a. Effet des niveaux profonds

Les niveaux profonds (aussi appelés pièges ou "trap" en anglais), ont pour effet de capter ou de libérer des charges. Or leur processus de charge/décharge diffère des fréquences de fonctionnement des transistors impliquant alors des chutes de courant et des pertes supplémentaires. Les formes d'ondes associées à ce genre de phénomènes sont présentées sur les Figure 21 et 22.

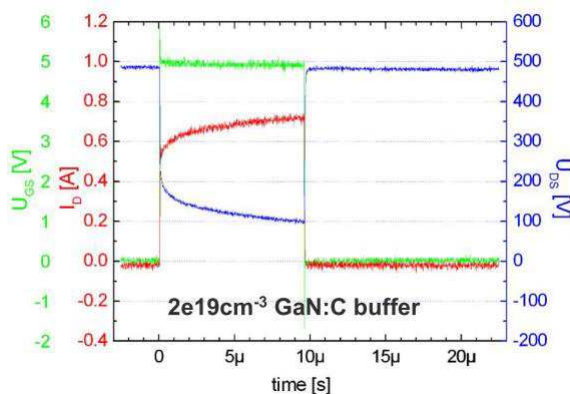


Figure 21 : effet des niveaux profonds sur les formes d'ondes d'une commutation

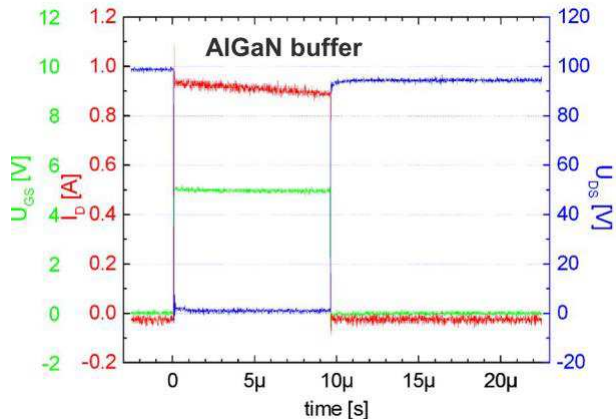


Figure 22 : commutation normale

On voit sur la Figure 21 que le courant a du mal à s'établir rapidement comme c'est le cas sur la Figure 22 (avec un composant amélioré). De plus la tension drain-source reste assez élevée, ce qui génèrera des pertes importantes dans le composant.

Les solutions pour éviter ces effets de piège consistent à rajouter une couche de SiN (Passivation) ou un "field plate". Le "field plate" (désigné par "metal layer" sur la Figure 23)

permet l'étalement du champ électrique, mais augmente également la tension de claquage du transistor et les capacités parasites .

b. Effets de "punch-through"

L'effet "punch-through" (Figure 13) se manifeste lorsque le composant est bloqué. Sa conséquence est l'établissement d'un courant entre drain et source, non pas dans le canal sous la grille, mais dans la couche du buffer en GaN. Il peut être expliqué par le faible confinement des charges au niveau de l'interface GaN/AlGaIn et une tension drain-source suffisante .

Une solution consiste à réaliser une deuxième hétérostructure sous la première . Grâce à la seconde couche d'AlGaIn ("back barrier layer"), les charges sont mieux confinées, ce qui empêche les phénomènes de "punch through" et augmente la robustesse du transistor (Figure 24 et 25).



Figure 24 : Structure simple barrier



Figure 25 : structure double barriers

iv. Du normally on au normally off

La structure HEMT est naturellement "normally on" ce qui veut dire que sans commande de grille le composant sera à l'état passant. Or en électronique de puissance la majorité des composants utilisés sont "normally off". Les concepteurs de circuits les préfèrent pour des raisons de simplicité dans le design ou même pour des raisons normatives. Un circuit à base de "normally off" peut être mis sous tension même si la commande n'est pas encore active, ce qui n'est pas toujours le cas avec des "normally on" (court-circuit).

Dans le but de rendre "normally off" ces composants, plusieurs méthodes existent. Elles portent soit sur la structure de grille du HEMT (pour augmenter la tension de seuil et la rendre positive), soit sur l'ajout d'un MOSFET en série qui est, lui, "normally off" (structure cascode). Quatre méthodes portant sur la grille sont présentées dans le Tableau 7.

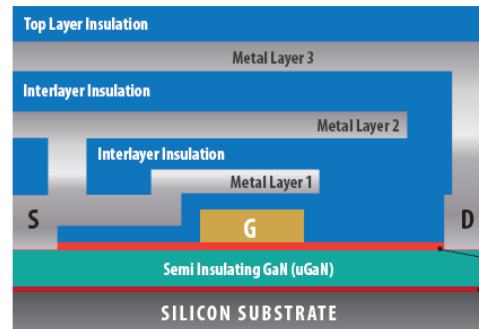


Figure 23 : Topologie du "field plate" utilisé par EPC

Grille schottky	Grille P-GaN, GIT (gate injection transistor)
Grille dopée au fluore	Oxyde de grille, MIS (metal insulated semiconductor)

Tableau 7 : Méthodes pour augmenter la tension de seuil des composants HEMT

La grille GIT est utilisée par Panasonic, qui fabrique des composants "normally off". La couche p-GaN déplète le canal et empêche le courant de circuler. Pour des tensions de grille allant jusqu'à la tension de seuil, la structure GIT se comporte comme un transistor à effet de champ, au-delà, la grille injecte des trous dans le canal qui sont compensés par une circulation d'électrons venant de la grille. On obtient alors une modulation de la conductivité. La grille MIS est utilisée par IR mais leurs composants sont intégrés dans des structures cascades, ce qui laisse penser que la tension de seuil de grille n'est pas assez élevée pour que leurs composants puissent être directement vendus en tant que "normally off". La grille MIS est la seule des quatre présentées qui crée une discontinuité dans le 2DEG. Lorsque le courant de puissance passe sous la grille, il doit passer dans la couche GaN, où la mobilité électronique est environ deux fois inférieure que dans le 2DEG. La grille schottky a l'inconvénient d'avoir des courants de fuites de grille assez importants.

v. Structure cascade

Dans le but d'obtenir un transistor GaN unipolaire "normally off", certains fabricants ont placé un MOSFET basse tension en série avec un HEMT "normally on" haute tension. La structure qui en résulte est appelée cascade (Figure 26). On obtient ainsi un FET haute tension avec des caractéristiques de grille identiques à celles d'un MOSFET, ce qui permet de réutiliser les mêmes circuits de grille.

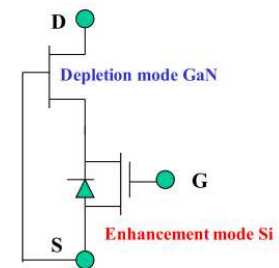


Figure 26 : Structure Cascade

vi. Grille GIT

Panasonic développe des HEMT "normally off" à grille GIT et explicite dans les modes de fonctionnement de leurs transistors. La grille P-GaN déplète naturellement le 2DEG sous la grille ce qui permet d'avoir une tension de seuil de grille (V_{Gsth}) positive. Mais il permet également d'injecter des trous (pour $V_{GS} > V_{Gsth}$), qui sont compensés par des électrons venant

de la source, pour garder le canal électriquement neutre . Il en résulte une augmentation du courant de drain et le transistor devient passant.

La structure HEMT ne présente pas de diode de structure comme un MOSFET, néanmoins des opérations de conduction en inverse avec le transistor bloqué sont possibles. Schématiquement (mais pas dans ses dimensions), la structure HEMT est symétrique, on peut donc la rendre passante avec une tension V_{GD} supérieure à V_{th} . Donc dans le cas où le transistor est bloqué ($V_{GS}=0$) et que la tension V_{DS} est inférieure à V_{th} , on a $V_{GD}>V_{th}$ et le transistor devient passant.

Le courant passe donc par le même chemin, que ce soit pour le fonctionnement en mode transistor ou pour le fonctionnement en conduction inverse (analogue à la diode interne d'un MOSFET), la différence étant qu'en conduction inverse on aura une chute de tension équivalente à V_{th} . Les différents modes de fonctionnements sont résumés dans les Figure 27 et 28.

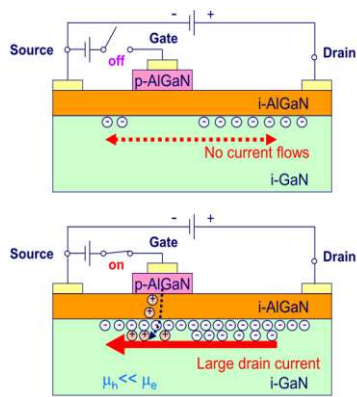


Figure 27 : Fonctionnement d'un HEMT à grille MIS en mode transistor

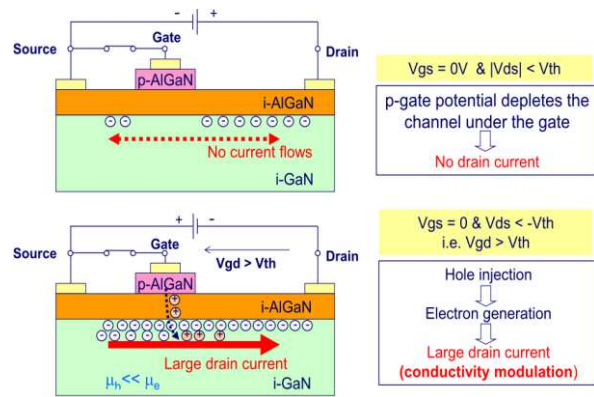


Figure 28 : Fonctionnement d'un HEMT à grille MIS en conduction inverse

La grille P-GaN a un autre avantage, en jouant sur la forme de la couche P-GaN et en l'étirant vers la source (Figure 29), on peut faire varier la valeur du V_{GSth} . Néanmoins cela peut provoquer une augmentation de R_{DSon} .

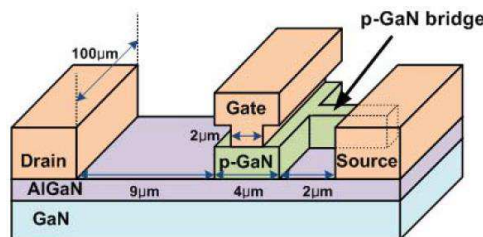


Figure 29 : Forme de grille qui s'étire vers la source pour modifier la valeur de V_{GSth}

Dans la littérature, l'un des résultats démontrant le plus de performances pour un HEMT P-GaN en terme de résistance spécifique est l'article de l'institut Ferdinand-Braun . Leurs composants ont été réalisés sur substrat SiC avec un buffer GaN dopé au carbone (meilleur comportement à haute tension) une "back barrier" AlGaIn et une grille P-GaN (Figure 31). Les résultats de leurs composants sont visibles sur la Figure 30. On peut voir que le composant 1000V frôle la limite théorique du SiC.

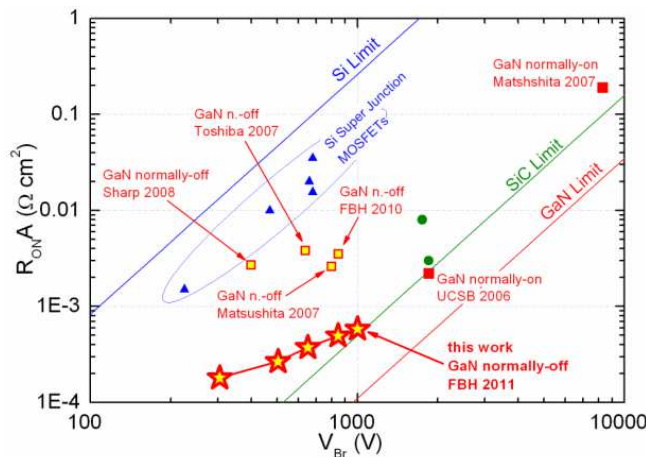


Figure 30 : Comparaison des résistances spécifiques des P-GaN HEMT de

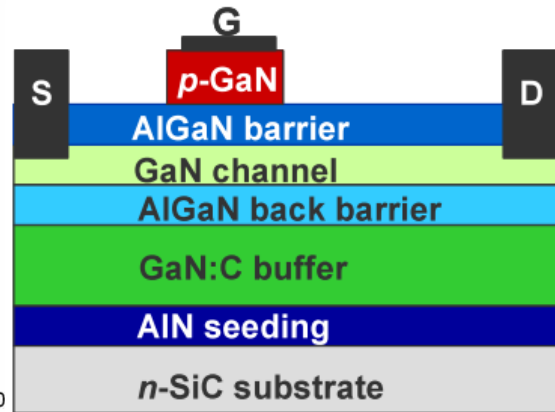


Figure 31 : Structure schématique des P-GaN HEMT de

E. Le GaN dans l'avenir

Maintenant que l'on a cité les principaux acteurs de la filière GaN pour les composants unipolaires de puissance, ainsi que les principales structures de composants, il est intéressant de prendre un peu de recul, pour voir comment ils se situent par rapport à la concurrence. Les MOSFETs SiC ont de bonnes performances à haute tension (1200V commercialisé) mais leur état passant en basse tension est pénalisé par une résistance de canal importante. Les HEMTs GaN présentent de bonnes performances en basse tension (40V-200V commercialisés), mais leur structure latérale freine le développement ("derating" sur les composants) de composants de plus forte tension (quatre fabricants annoncent ou proposent en échantillon des composants 600V). Des structures verticales en GaN pourraient être envisagées pour monter en tension, mais l'avantage du 2DEG serait perdu. Une cohabitation semble donc possible entre les deux filières avec une compétition, peut-être dans la gamme 1200V d'après ce qu'on voit dans . Si on considère la gamme de tension comprise entre 40V et 1200V, le marché est actuellement divisé entre les MOSFETs, les MOSFETs super junction et les IGBTs. La Figure 32 montre une comparaison entre les composants des filières Si, SiC et GaN en 2008 par IR. Même si ces données ne sont pas très récentes, on voit que les MOSFETs (super junction inclus) ont des performances inférieures à celles des composants GaN. Il en est de même des IGBT par rapport aux composants SiC en dessous de 2kV. On pourrait donc lire sur ce graphique, que les deux filières grand gap supplanteront la filière Si dans la gamme de tension comprise entre 100V et 1200V. Dans un de ses rapports, Yole Développement prédit à long terme, la conquête de la basse tension (>40V) par le GaN et celle de la haute tension (<1200V) par le SiC, avec entre les deux les MOSFETs super junction.

La résistance des super junctions face au GaN et au SiC dans l'étude de Yole peut paraître surprenante, néanmoins ils ont l'avantage d'être très bien connus des concepteurs de circuits et leur fiabilité n'est plus à démontrer. C'est peut-être un point clef pour le développement des filières grand gap, s'ils n'arrivent pas à démontrer leur fiabilité, les concepteurs de circuits risquent d'hésiter à s'en servir. Les fabricants devront alors réaliser eux-mêmes des circuits entiers d'électronique de puissance pour démontrer les gains en performances des transistors, ainsi que les designs des circuits pour s'en servir de façon idéale.

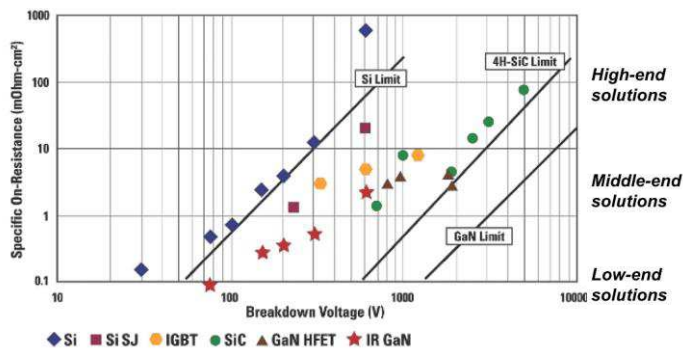


Figure 32 : Comparaison des performances de composants Si, SiC et GaN d'après IR en 2008

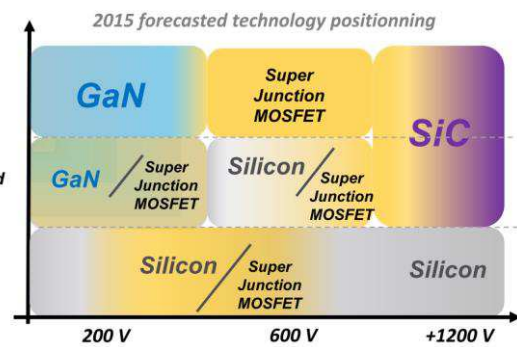


Figure 33 : répartition du marché des transistors dans la gamme 100V-1200V à court, moyen et long terme d'après Yole

Maintenant que nous avons quelques exemples de convertisseurs d'électronique de puissance et que nous avons fait un état de l'art des composants GaN unipolaires, regardons où se situe notre étude.

3. OU SE PLACE NOTRE ETUDE, CAHIER DES CHARGES

A. Cahier des charges

Le cahier des charges (fourni par Thalés) du convertisseur que nous allons étudier est le suivant :

- V_{in} = 42V DC fixe
- V_{out} = 12V DC
- Alimentation régulée et isolée
- P_{out} = 100W permanent / 150W crête Rendement objectif de 93% minimum
- Ondulation tension de sortie de 10mV
- Température en fonctionnement – 40°C / +90°C
- Environnement avionique
- Densité de puissance 3,5 kW/L
- Fréquence > 1MHz (contraintes radars)

Le convertisseur sera un DC-DC isolé et régulé. La puissance nominale sera de 100W mais le convertisseur devra autoriser des puissances crêtes jusqu'à 150W. La densité de puissance élevée nous imposera de fortes contraintes d'intégration. On développera une réflexion plus approfondie sur les conséquences de ces contraintes dans les chapitres suivants.

B. Où sommes-nous

Regardons maintenant où se situe notre cahier des charges par rapport à ce que nous avons présenté précédemment. Séparons ce qui concerne le convertisseur et le GaN, en commençant par le convertisseur. La puissance demandée, la fréquence de fonctionnement ainsi que la densité de puissance nous rapprochent des micro-convertisseurs et des alimentations hautes fréquences Vicor comme celle présentée précédemment (Figure 10). La contrainte de rendement, elle, nous éloigne des micro-convertisseurs dont les rendements ne sont pas assez élevés. Pour ce qui est des transistors, les tensions d'entrée et sortie nous placent sur une gamme de tension inférieure à 100V. On va donc s'orienter vers les composants GaN du groupe EPC dont les tensions de claquage vont de 40V à 200V.

Dans le chapitre qui suit, nous allons donc nous intéresser de près à ces composants. Les documents fournis par le fabricant seront analysés, des tracés de caractéristiques seront présentés pour vérifier les caractéristiques fournies et des tests en fonctionnement seront réalisés.

BIBLIOGRAPHIE CHAPITRE 1

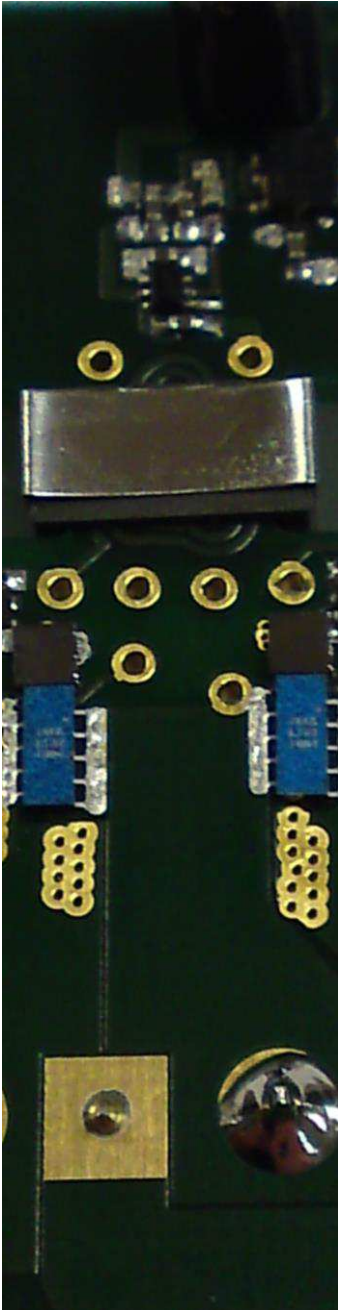
- [1] B. ALLARD, "L'électronique de puissance - Bases, perspectives, guide de lecture," *techniques de l'ingenieur*, 10/11/2006.
- [2] "motorccycle daily," 2010. [Online]. Available: <http://www.motorcycledaily.com/2010/07/brammo-empulse-electric-bikes-start-to-get-interesting/>.
- [3] O.Langlois, E.Foch, X.Roboam and H.Piquet, "De l'avion plus électrique à l'avion tout électrique : état de l'art et prospective sur les réseaux de bord," *J3eA*, vol. 4, no. 1, 2005.
- [4] O.Langlois, E.Foch, X.Roboam and H.Piquet, "L'avion plus électrique : vers une nouvelle génération de réseaux de bord," *La Revue 3EI*, no. 43, decembre 2005.
- [5] Deleage.Olivier, "Conception, realisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC," *These G2Elab*, 2009.
- [6] H. D. THAI, "RESEAUX DE MICRO-CONVERTISSEURS," *These*, 2009.
- [7] T. T. Hieu, "Réseaux de micro convertisseurs,," *These*.
- [8] "An 800mW Fully-Integrated 130nm CMOS DC-DC," *IEEE*, pp. 978-1-4244-2893-9/09/\$25.00, 2009.
- [9] G. Kevin, "Onduleur triphasé à structure innovante pour applicat aéronautique," *These G2Elab*, 2011.
- [10] J. Flannery, P. Cheasty, M. Meinhardt, P. McCloskey and C. O'Mathuna, "Present practice of power packaging for DC/DC converters, Integrated Power Packaging," *IWIPP*, 2000.
- [11] J. M. Jarrouse, "Convertisseur DC-DC à 3MHz pour l'alimentation d'une cellule radar," *Thes SATIE*, 2008.
- [12] J.-Y. DUBOZ, "Matériaux semi-conducteurs à grand gap III-V à base de GaN," *Techniques de l'Ingénieur, traité Électronique*, 1995.
- [13] J.Würfl and O.Hilt, "Power Electronic Devices based on GaN: Advantages and Perspectives," *Automotive Power Electronics*, 2013.
- [14] N. Kaminsky and O.Hilt, "SiC and GaN devices – Competition or coexistence?," *CIPS*, 2012.

- [15] F.Nallet, "SiC pour l'électronique de puissance," *Techniques de l'ingénieur*, 2002.
- [16] W. Joachim, "GaN Power Devices (HEMT) : Basics, Advantages and Perspectives," *Ferdinand-Braun-Institut*.
- [17] B. B. JAYANT, "Power Semiconductor High-Frequency Applications," *IEEE ELECTRON DEVICE LETTERS*, vol. 10, no. 10, 1989.
- [18] Tastet.P and Garnier.J, "Heavy Ions Sensitivity of Power Mosfets," *IEEE*, 1992.
- [19] Bazzoli.S, Girard.S, Ferlet-Cavrois.V, Baggio.J, Paillet.P and Duhamel.O, "SEE Sensitivity of a COTS GaN Transistor and Silicon MOSFETs," *IEEE*, 2007.
- [20] A. Luu, "Méthodologie de prédiction des effets destructifs dus à l'environnement radiatif naturel sur les MOSFETs et IGBTs de puissance," *These*, 2009.
- [21] Scheick.Leif, "Rad Effects in Emerging GaN FETs," Jet Propulsion Laboratory, California Institute of Technology, Pasadena, Ca, 2012.
- [22] S. Leif, "Update to Radiation Effects in GaN," Jet Propulsion Laboratory, California Institute of Technology, Pasadena, Ca, 2013.
- [23] I.Takenaka, K.Ishikura, K.Asano and S.Takahashi, "High efficiency and high power microwave amplifier using GaN on Si FET with improved high temperature operation characteristic," *Microwave theorie and techniques, IEEE transactions*, vol. PP, no. 99, 2014.
- [24] J-F.Migniotte, D.Tournier, P.Bevilacqua, P.Godignon and D.Planson, "Design of an integrated power converter in wide band gap for harsh environments," *CIPS*, 2012.
- [25] R. Wang, P. Ning, D. Boroyevich, M. Danilovic, F. Wang and R. Kaushik, "Design of High-Temperature SiC Three-Phase AC-DC Converter for >100°C Ambient Temperature," *IEEE*, 2010.
- [26] N. Kaminski and O. Hilt, "SiC and GaN devices, competition or coexistence?," *CIPS*, 2012.
- [27] W.Saito, I.Omura, T.Ogura and H.Ohashi, "Theoretical limit estimation of lateral wide band-gap semiconductor power-switching device," *Solid state electronic*, 2004.
- [28] E.Zanoni, M.Meneghini and G.Meneghesso, "Reliability of Gallium Nitride HEMTs from Microwave to Power Application," *ECPE*, 2013.
- [29] D.Doppalapudi, E.Iliopoulos, S.N.Basu and T.D.Moustakas, "Epitaxial growth of gallium nitride thin films on A-plane sapphire by molecular beam epitaxy," *journal of applied physics*, vol. 85, no. 7, 1999.

- [30] D.Tuo, "Trend of sapphire substrate technology and market overview," SEMI.
- [31] "Properties and benefits of sapphire," Saint Gobain/Saphikon.
- [32] G.Gunardi, H.Kersell and D.Daramola, "Gallium nitride (GaN)," PHYS 571.
- [33] N.Killat, M.Montes and J.W.Pomeroy, "Thermal Properties of AlGaN/GaN HFETs on Bulk GaN Substrates," *IEEE Electron device letters*, 2012.
- [34] J. Vechten, *Phys. Rev. B* 7, p. 1479, 1973.
- [35] J.Karpinski, J.Sun and S.Porowski, "J.Cristal growth," no. 1, p. 66, 1984.
- [36] J.Karpinski and S.Porowski, "J.Cristal growth," no. 11, p. 66, 1984.
- [37] V.Avrutin, D.J.Silersmith, Y.Mori, F.Kawamura, Y.Kitaoka and H.Morkoç, "Growth of bulk GaN and AlN : Progress and challenges," *IEEE proceedings*, vol. 98, no. 7, 2010.
- [38] Pearton.S.J, F.Ren, A. Zhang, G.Dang, X.A.Cao, K.P.Lee, Cho.H., B.P.Gila, J.W.Johnson, C.Monier, C.R.Abernathy, J.Han, Baca.A.G., J-I.Chyi, C.-M.Lee, T.-E.Nee, C.-C.Chuo and Chu.S.N.G., "GaN electronics for high power, high temperature applications," *Elsevier*, pp. 227-231, 2001.
- [39] N. N.M, Y. Z. zhen, L. Jiawei and X. Y. bou, "GAN HETEROEPITAXIAL GROWTH," *Journal of Microwaves and Optoelectronics*, vol. 2, no. 3, juillet 2001.
- [40] L. Francois, "Heterostructures AlGaN/GaN et InAlN/GaN pour la realisation de HEMTs de puissance hyperfrequence en bande Ka," 2012.
- [41] Microsemi PPG, "Gallium nitride (GaN) versus silicon carbide (SiC) the high frequency (RF) and power switching applications".
- [42] Internal rectifier, ""GaNpowIR – An Introduction," 2010.
- [43] Transphorm, "TPH3006PS," 2013.
- [44] M.A.Briere, "Progress in silicon based 600V power GaN," *Power electronics europe*, no. 4, p. 30, 2013.
- [45] G. Haynes, "ECPE Compound semiconductor workshop," *ECPE* , 2013.
- [46] H. Nakata, "Normally-off 600V GaN power transistor and applications," *ECPE Workshop : SiC & GaN User Forum*, 2013.
- [47] bodo'power systems, "GaN transistors- Grrr or great?," 2013.

CHAPITRE II

COMPOSANTS GAN EPC ET LEUR COMMANDE



1. Composants GaN EPC	40
2. Caractérisation des eGaN	50
3. Première mise en œuvre	55
4. Gate driver isolé	69
5. Design d'un circuit de commande intégré pour les eGaN EPC	87
6. Comparatif expérimental	98

1. COMPOSANTS GAN EPC

A. EPC

L'entreprise "Efficient Power Conversion" (EPC) a été fondée en 2007 par trois ingénieurs, dont Alexander Lidow (PDG de EPC), qui est le fils et le petit fils des deux co-fondateurs de "International Rectifier", et qui fut lui aussi PDG de International Rectifier de 1995 à 2007. Persuadé de l'obsolescence future de la filière Si, ils se lancèrent directement sur l'étude de composants GaN pour supplanter les MOSFETs de puissance tout en étant compétitifs financièrement. En juin 2009 ils commercialisèrent leurs premiers transistors GaN, fabriqués dans une fonderie de Taiwan servant à fabriquer des composants CMOS standards en silicium. Depuis, une deuxième série de composants a été développée avec la même gamme de tension mais des performances en hausse.

Leur site contient une grande quantité d'informations (que l'on a vu augmenter au cours de cette thèse) sur leurs composants, balayant les aspects thermiques, de fiabilité, proposant des schémas électriques pour la commande, des solutions pour la mise en parallèle ainsi que des vidéos et des convertisseurs entiers avec la démonstration pratique du gain de performance par rapport au Si. On a vu à la fin du premier chapitre, que les fabricants des filières grand gap, s'ils voulaient s'installer sur le marché, allaient peut être devoir faire la démonstration eux même du gain en performance et de la fiabilité de leur transistors. C'est une chose qu'EPC a bien comprise et c'est sûrement la raison pour laquelle leur FAQ et leur documentation sont aussi larges.

i. Vue d'ensemble

a. *Composants actuels*

Dans le document d'EPC, plusieurs informations de base sont fournies sur les composants. Dans ce paragraphe on fait un résumé des informations présentes dans ce document.

Il est rappelé que le coût de fabrication des composants n'est pas très élevé grâce à la réutilisation de processus existants pour la fabrication des substrats Si. La Figure 34 montre la structure schématique de leurs composants

EPC décrit leur fonctionnement comme similaire à ceux des MOSFETs, avec une tension V_{GStH} supérieure à zéro mais restant faible avec une valeur typique de 1.4V et une tension de commande recommandée de 5V. La tension maximale supportée par la grille est de 6V.

Le coefficient de dérive en température de la résistance à l'état passant (R_{DS_ON}) est positif comme pour les MOSFETs, mais sa valeur est inférieure (1.45 contre 1.70 entre 25 et 125°C, cet écart se creuse avec l'augmentation de la tension). La température maximale indiquée est de 125°C pour la plupart des composants.

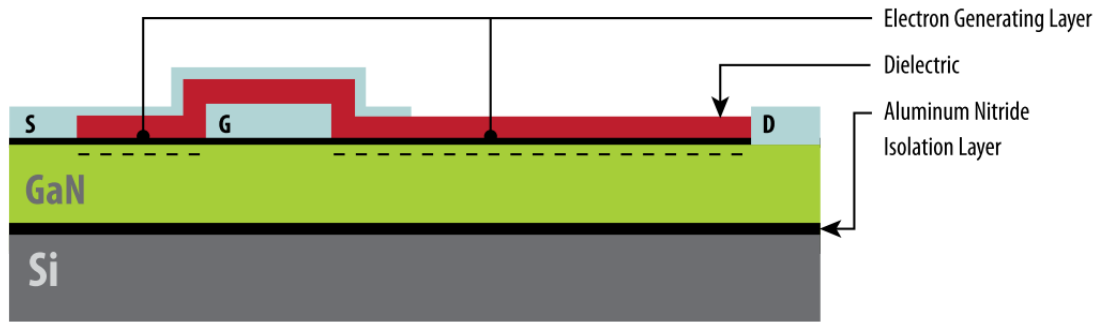


Figure 34 : Schéma de la structure des composants EPC

La capacité de grille C_{GS} est faible (de l'ordre de plusieurs centaines de pF) par rapport à celle des MOSFETs mais reste importante par rapport à C_{GD} ce qui permet d'avoir une bonne immunité aux dV/dt . Cette immunité est renforcée par la faible résistance de grille (0.5 Ohm au niveau de la grille des eGaN) due au contact utilisé pour la grille. Néanmoins ce contact est aussi à l'origine de courants de fuites au niveau de la grille de l'ordre de 1mA. La répartition des capacités parasites dans le composant est représentée sur la Figure 35. Comme on l'a décrit précédemment le "field plate" augmente la capacité de grille.

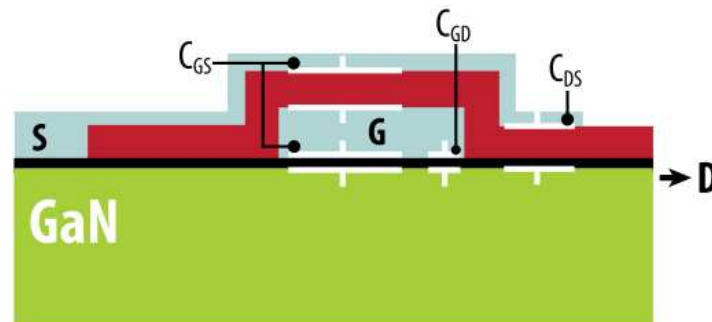


Figure 35 : Répartition des capacités parasites dans les composants GaN EPC. La plaque raccordée à la source est un "field plate"

Comme on l'a vu dans le chapitre précédent, dans le paragraphe concernant la structure GIT, les transistors d'EPC n'ont pas de diode interne mais leur structure leur permet de conduire en inverse à l'état bloqué de la même façon qu'une diode interne de MOSFET. Néanmoins, on aura une chute de tension aux bornes du composant équivalente à V_{th} . La valeur de V_{th} est élevée pour un seuil de diode, mais en contrepartie il n'y aura pas de charge de recouvrement étant donné que ce mode de conduction ne fait pas intervenir de porteurs minoritaires.

Le package utilisé est un LGA (Land Grid Array). Ce type de package minimaliste est représenté sur la Figure 36. Les bumps de connexion alternent de droite à gauche entre drain et source pour se terminer sur deux plus petits qui sont une source et la grille. La taille de la puce augmentant avec le calibre en courant, le package fait de même avec un nombre de bumps de drain et de source plus important.

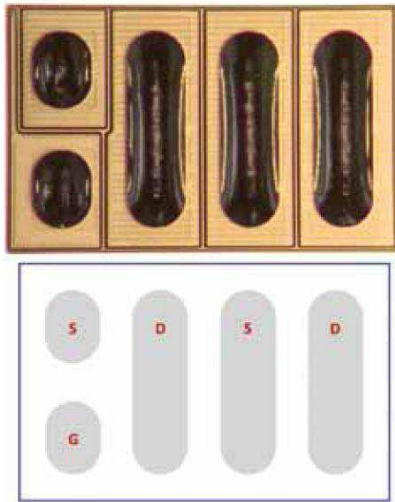


Figure 36 : Package LGA vu de dessous d'un EPC1014



Figure 37 : Quelques composants EPC

Dans le chapitre 1 on a présenté des résultats tirés de la littérature sur des graphiques de résistances spécifiques. EPC fournit un graphique avec deux de ses composants (les surfaces de conduction des autres composants ne sont pas fournies) visible sur la Figure 38. L'extrapolation de la courbe formée par les deux composants EPC vers les tensions faibles montre un croisement avec la courbe théorique du Si. Il est donc possible que, passé sous une certaine tension, des MOSFETs soient plus performants en terme d'état passant. Néanmoins cette tension semble se trouver sous les 40V qui est le calibre en tension le plus bas d'EPC.

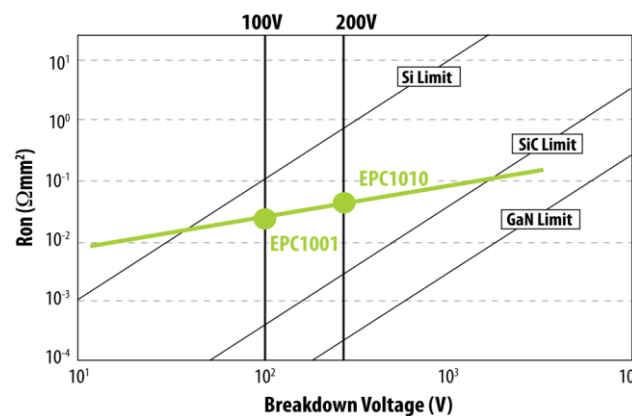


Figure 38 : Résistances spécifiques de deux transistors EPC

Les sept composants disponibles en septembre 2013 sont répertoriés dans le Tableau 8. Des composants sont disponibles en 40V, 100V et 200V. La tension de seuil V_{GSth} est la même pour tous les composants ainsi que la tension maximum de grille. Les températures de jonction max sont de 125°C à l'exception des composants 40V pour lesquels elle est de 150°C.

Part Number	Package (mm)	RoHS & Halogen Free	$T_{J(MAX)}$ (°C)	V_{DS}	V_{GS} (max)	Max $R_{DS(ON)}$ @5V _{GS}	Q_G typ (nC)	Q_{GS} typ (nC)	Q_{GD} typ (nC)	Q_{OSS} typ (nC)	V_{TH} typ	Q_{RR} (nC)	I_D (A)
EPC2015	LGA 4.1x1.6	Yes	150	40	6	4	10.5	3.0	2.2	18.5	1.4	0	33
EPC2014	LGA 1.7x1.1	Yes	150	40	6	16	2.5	0.67	0.48	4.8	1.4	0	10
EPC2001	LGA 4.1x1.6	Yes	125	100	6	7	8.0	2.3	2.2	35	1.4	0	25
EPC2016	LGA 2.1x1.6	Yes	125	100	6	16	4.1	0.93	0.75	20	1.4	0	11
EPC2007	LGA 1.7x1.1	Yes	125	100	6	30	2.1	0.5	0.6	10	1.4	0	6
EPC2010	LGA 3.6x1.6	Yes	125	200	6	25	5.0	1.3	1.7	40	1.4	0	12
EPC2012	LGA 1.7x0.9	Yes	125	200	6	100	1.5	0.33	0.57	11	1.4	0	3

Tableau 8 : Gamme des transistors EPC

b. Développement à venir

Plusieurs foires aux questions (FAQ) sont visibles sur le site internet d'EPC. On y trouve des informations sur des développements possibles, à venir ou non traités des composants GaN :

- L'intégration de fonctions logiques et analogiques sur le substrat silicium pour piloter le transistor est possible. Le processus de fabrication est décrit comme étant cher mais pas impossible.
- Le transistor est donné comme étant isolé du substrat silicium, il est donc possible d'avoir plusieurs fonctions sur un même substrat, sans problème d'isolation et avec des distances inter composants très réduites.
- Des composants 600V sont prévus dans un avenir proche. En discutant avec Johan Strydom (actuellement responsable des applications d'ingénierie) durant la conférence APEC 2013, il semble que ces composants fonctionnent déjà correctement, mais que les performances ne soient pas encore satisfaisantes.
- Concernant des tensions supérieures à 600V (800 ou 1200V), EPC pense que leur technologie est capable de tenir des tensions plus importantes, mais précise que leur road map 2012 ne fait pas apparaître de développement là-dessus.
- Le développement de diode en GaN n'est pas prévu non plus, néanmoins EPC précise que leurs composants peuvent être utilisés en tant que diodes.
- La production de plusieurs FET dans un seul package n'est pas prévue non plus.

Il faut néanmoins relativiser ces informations car, comme beaucoup d'entreprises, EPC protège ses informations stratégiques. De plus, ces informations semblent ne pas être mises à jour régulièrement, comme la sortie des composants 600V qui, en 2013 est toujours prévue pour 2012 ! Ces mêmes composants avaient d'ailleurs déjà été annoncés dans pour la deuxième moitié de 2010.

Maintenant que l'on a vu les informations de base sur les transistors d'EPC, on va s'attarder sur différents points pour connaître un peu plus en détail les caractéristiques de ces composants ainsi que ce qui les différencie des MOSFETs Si.

ii. Aspect thermique et package LGA

L'un des avantages des matériaux grand gap est qu'ils doivent permettre de réaliser des composants pouvant fonctionner à des températures plus élevées que leurs homologues en Si. Or les composants EPC sont caractérisés pour des températures de 125 ou 150°C. Or la majorité des MOSFETs fonctionnent déjà à 150°C voire même, pour une partie non négligeable, à 175°C. Il semblerait donc que la température de fonctionnement soit à l'avantage des MOSFETs Si. EPC justifie la température de caractérisation de ses composants par le boîtier LGA qu'ils utilisent, la température de fusion de l'étain sans plomb des bumps ainsi que par la température limite supportée par les "PCB du commerce". Ils précisent également que les transistors GaN, en général, sont capables de fonctionner à des températures de 300°C, mais sans dire s'il s'agit des leurs.

Le boîtier joue un rôle important dans le refroidissement des puces. Avec les packages LGA, la chaleur est dissipée soit par le dessus à travers le substrat silicium, soit par-dessous via les bumps et le PCB. La Figure 39 montre schématiquement un HEMT EPC posé sur un PCB avec son refroidisseur et fait apparaître les résistances thermiques entre les différents éléments.

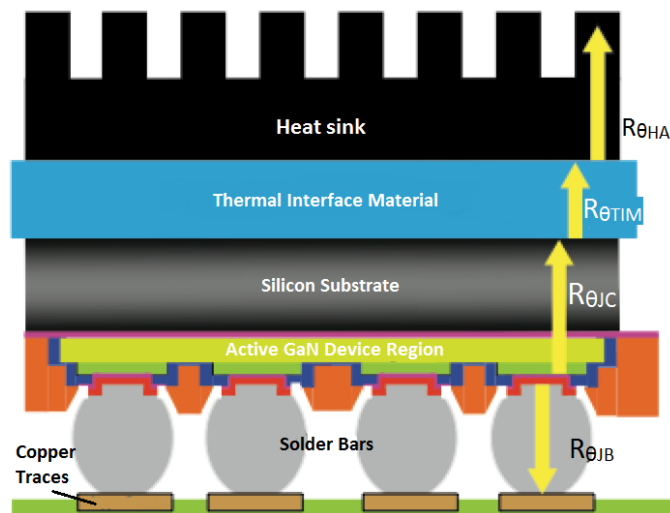


Figure 39 : Schéma en coupe d'un composant EPC avec refroidisseur.

Il est intéressant de regarder les valeurs relatives des résistances thermiques $R_{\theta JB}$ et $R_{\theta JC}$. Le Tableau 9 résume les résistances thermiques des HEMT EPC. On voit que la résistance thermique est plus faible du côté substrat que du côté bump, c'est donc de ce côté-là que la chaleur se dissipera le mieux. Si le matériau utilisé pour le substrat était du GaN ou du SiC, la résistance aurait été encore plus faible (les conductivités thermiques du Si, SiC et GaN sont respectivement de 2.6, 5.1 et 5.6).

Reference	Longueur (mm)	Largeur (mm)	Surface de la puce (mm ²)	R _{θJC} (°C/W)	R _{θJB} (°C/W)
EPC2001	1.6	4.1	6.6	1.6	15
EPC2007	1.1	1.7	1.9	6.5	32
EPC2010	3.6	1.6	5.8	1.8	16
EPC2012	1.7	0.9	1.5	8.2	36
EPC2014	1.1	1.7	1.9	6.5	32
EPC2015	1.6	4.1	6.6	1.6	15
EPC2016	2.1	1.6	3.4	3.6	19

Tableau 9 : Dimensions et résistances thermiques des composants EPC

Les boîtiers d'EPC ont la même taille que les puces, (Tableau 9) qui elles, sont déjà plus petites que leurs homologues en Si. Ce qui est un avantage en terme d'éléments parasites, mais cela implique aussi, à puissance égale, des densités de pertes supérieures et donc plus difficile à dissiper.

Device	LGA Package	Equivalent MOSFET Packages	
40 V 4 mΩ max	 4.1 x 1.6 mm	 6.3 x 5 mm DirectFET®	 5 x 6 mm PolarPAK®
40 V 16 mΩ max	 1.7 x 1.1 mm	 4.8 x 3.9 mm DirectFET	
100 V 7 mΩ max	 4.1 x 1.6 mm	 5 x 6 mm PQFN	
100 V 30 mΩ max	 1.7 x 1.1 mm	 4.8 x 3.9 mm DirectFET	
200 V 100 mΩ max	 1.7 x 0.9 mm	 6.3 x 5 mm DirectFET	 5 x 6 mm PolarPAK

Figure 40 : Comparaison des boîtiers LGA d'EPC avec les principaux boîtiers de MOSFETs, à résistance série identique .

Comparons maintenant les boîtiers LGA d'EPC avec les boîtiers utilisés sur des MOSFETs ayant des résistances séries équivalentes (Figure 40).

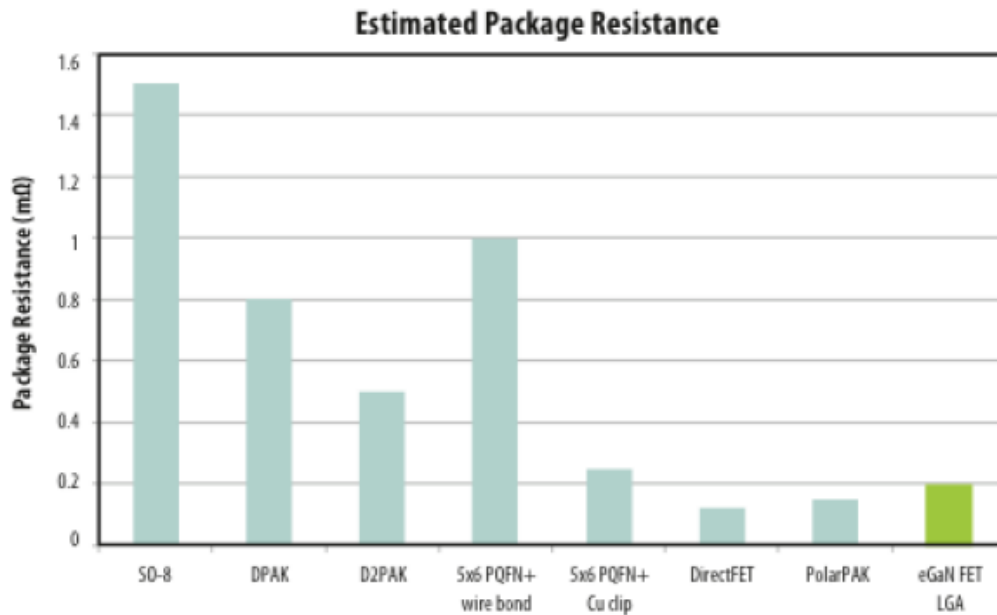


Figure 41 : Comparaison des résistances parasites de différents boîtiers

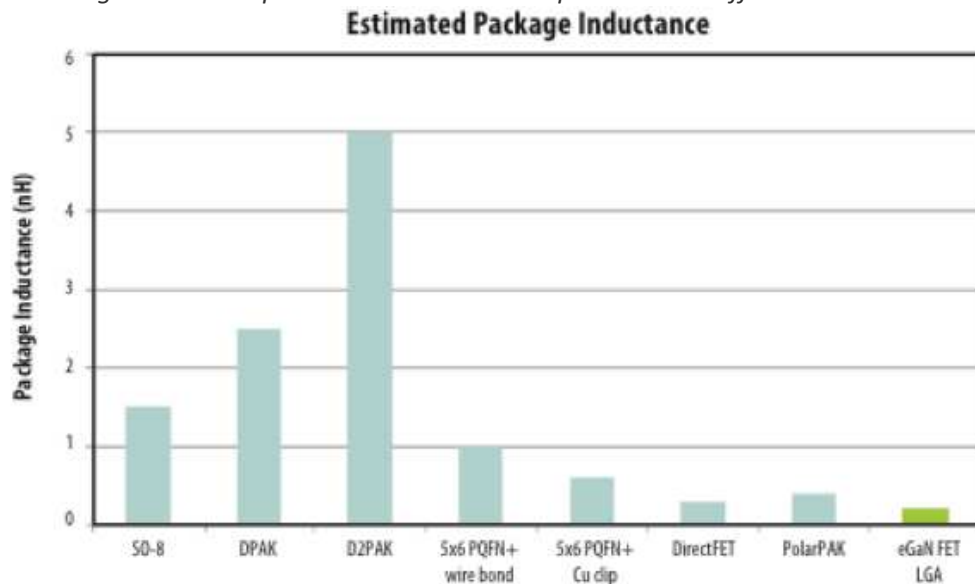


Figure 42 : Comparaison des inductances parasites de différents boîtiers

La différence de taille entre les puces EPC et les MOSFETs se retrouve sur les packages. La structure horizontale des composants EPC permet de placer le composant en "flip chip" dans le package en rajoutant très peu de conducteur entre les deux. Dans le cadre d'un brasage en CMS, grille, drain et source seront très proches du pad sur lequel on brase le composant. En ce qui concerne les MOSFETs de puissance, les structures utilisées sont verticales. On a donc le drain d'un côté et la source de l'autre. Il faut alors utiliser un conducteur pour ramener l'un des deux du même côté que l'autre. Cela se répercute sur la taille du boîtier ainsi que sur les éléments parasites. Le package PQFN illustre bien cette logique, on voit (sur la Figure 40) une semelle thermique métallique sur laquelle la puce est fixée (drain) et à l'autre extrémité quatre petits pads qui sont reliés à la source et à la grille.

Les Figure 41 et 42 comparent plusieurs boîtiers en termes de résistance et d'inductance parasites. On voit que le boîtier LGA utilisé par EPC est le moins inductif, suivi de près par le DirectFET et le PolarPAK (environ deux fois supérieur). Concernant la partie

résistive, les boîtiers DirectFET et le PolarPAK sont meilleurs avec des valeurs environ deux fois inférieures. Cependant une plaque métallique recouvre le boîtier DirectFET, elle sert de conducteur pour ramener le drain sur le PCB et améliore le refroidissement. L'utilisation de conducteur large comme cette plaque permet de réduire la résistance et l'inductance du package, mais augmente sa taille. De façon schématique, une carte électronique est constituée de divers composants avec leurs packages et aussi de conducteurs pour les relier les uns aux autres. Donc, le routage de boîtiers plus large nécessitera des conducteurs plus longs (et donc plus inductifs) pour les relier aux autres éléments du circuit (comme les capacités de découplages par exemple). Ces résultats bruts doivent néanmoins être relativisés car certains boîtiers contiennent des composants verticaux (MOSFETs Si) et le LGA concerne un composant horizontal (eGaN).

Les boîtiers LGA ont de faibles éléments résistifs et inductifs et leur taille est réduite au minimum (aux dimensions de la puce). Ils semblent donc concorder avec les prétentions d'EPC en ce qui concerne le fait de travailler efficacement, à haute fréquence, et de réduire la taille des convertisseurs.

iii. Grille

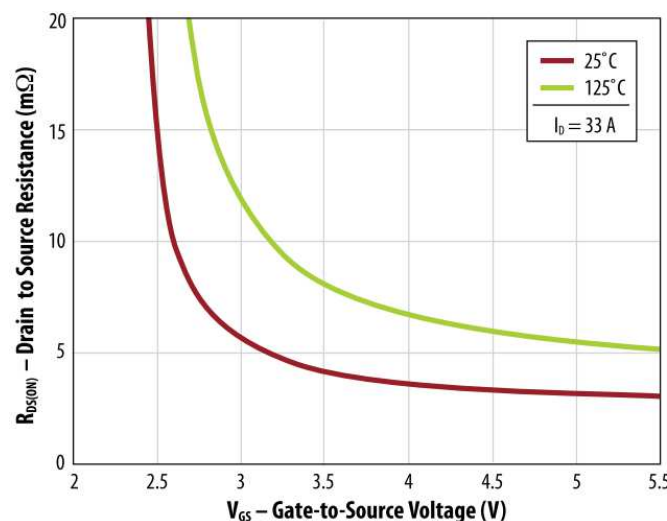


Figure 43 : Etat passant en fonction de la tension de grille pour un EPC2015 (40V)

Les grilles des composants EPC ne sont pas de type schottky, mais elles génèrent des courants de fuites relativement importants (de l'ordre du mA). Sur l'ensemble des composants de la gamme, la tension de seuil est de 1.4V et la tension maximale de 6V. La tension de commande recommandée par EPC est de 5V. L'évolution de $R_{DS(on)}$ en fonction de la tension de grille est représentée sur la Figure 43 pour un EPC2015. On voit que passé 3.5V la résistance est déjà faible mais qu'elle continue de diminuer jusqu'à 5.5V. Une tension supérieure à 6V sur la grille provoquera la destruction du composant, l'écart entre la tension de commande et la tension max n'est donc que de 1V. Or, ces composants peuvent travailler à haute fréquence et avec des commutations rapides.

On peut déjà percevoir à ce stade, qu'exploiter complètement les performances de ces transistors en commutation tout en respectant la limite de 6V maximum sera compliqué. Appliquer des signaux de grille très rapide et en même temps très propres (sans oscillation)

n'est pas une chose aisée. Dans le but de faciliter la tâche des concepteurs de circuit, EPC propose sur son site plusieurs solutions.

a. Gate drive à base de composants discrets

Au début de la thèse, EPC fournissait des schémas de gate drivers à base de composants discrets avec quelques références de drivers déjà utilisés pour des MOSFETs (Figure 44 et 45). Les composants discrets furent utilisés sur leur carte de démonstration. Beaucoup d'informations sont fournies dans le but de limiter les perturbations sur la grille et améliorer le fonctionnement global. La version proposée sur la Figure 44 a une structure bootstrap avec deux étages push pull pour une meilleure rapidité (turn on et off en 3ns avec un EPC1010 de 100V). Néanmoins, aucun driver spécifique au GaN n'existait. Ils ont ensuite adopté (pour des raisons de simplicité) un driver (LM5113) développé par TI que nous allons voir maintenant.

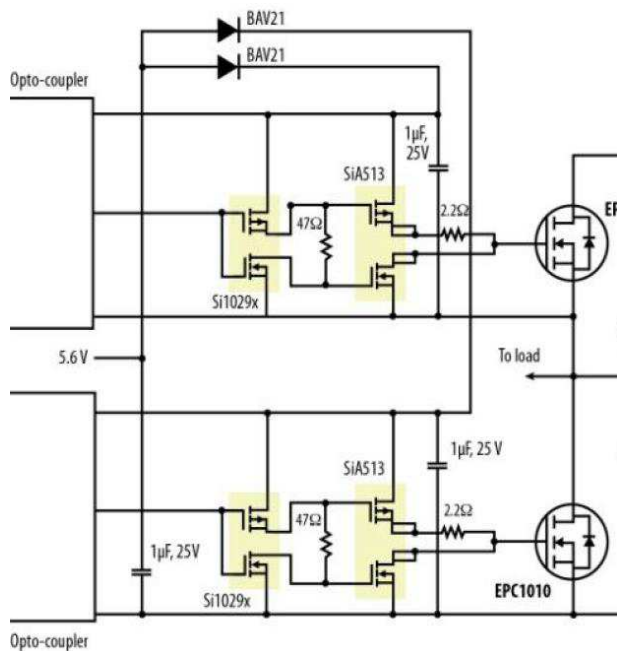


Figure 44 : Gate driver à base de composants discrets

Manufacturer	Part number	Typical pull-down resistance
Fairchild	FAN3121/22	>9A ^a
	FAN3123/24	>4A ^a
Intersil	EL7158	0.5 Ω ^b
IXYS	IXDE509	0.7 Ω
Maxim	MAX5048	<0.5 Ω
	MAX15024	0.5 Ω
National	LM5110/12	1.4 Ω ^c
Micrel	MIC4421/2	0.8 Ω
	MIC4451/2	0.8 Ω
Microchip	TC4421/2A	0.8 Ω
	TC4451/2	0.9 Ω
Texas Instruments	UCC27321/2	1.1 Ω
	TPS28225/6	>1 Ω

Notes:
a Resistance not given
b Used on EPC9001/2 development boards
c Negative pull-down supply possible on LM5112

Figure 45 : Drivers de MOSFET recommandés par EPC pour commander leurs transistors

b. Driver LM5113

Durant l'année 2011 Texas Instruments (TI) commercialisa un driver "bootstrap" donné pour répondre aux besoins spécifiques des composants GaN EPC (vitesse de commutation, tension de grille, sensibilité de la grille) . Ce composant (LM5113) est très soutenu par EPC qui l'utilise beaucoup dans ses cartes de "demo-board" et lui fait aussi de la publicité sur son site. Pourtant les caractéristiques de ce driver ne permettent pas d'exploiter pleinement les vitesses de commutations élevées des FETs EPC (on comparera plusieurs drivers plus tard dans ce chapitre). En effet, l'impédance de sortie pour la charge de la grille du FET est bien plus élevée (d'un facteur quatre) que ce qu'EPC recommande dans . Si on combine cela au fait que la tension de commande de grille correcte (5V) est assez proche de la tension maximale, (6V) on peut supposer qu'ils vantent ce driver aux concepteurs de circuit, dans le but que ces derniers se servent des FET GaN sans risquer de détruire leur grille. Cela

peut paraître anodin, mais si les concepteurs rencontrent des difficultés à faire fonctionner ces transistors, ils risquent de mettre en avant un manque de fiabilité ou une complexité de mise en œuvre et de les abandonner ; ce qui pourrait être fatal à une entreprise comme EPC.

iv. Fiabilité

La fiabilité est un point important, car, peu importe les performances d'un composant, si sa fiabilité n'est pas bonne par rapport à celle des autres, il ne sera pas intégré dans des applications industrielles. C'est d'ailleurs ce qui pourrait permettre aux MOSFETs à super jonction de faire face aux composants grands gaps, au moins à court terme.

Au début de cette thèse des graphiques démontrant la fiabilité des eGaN (nom donné par EPC à ses composants) étaient visibles sur leur site. Différents tests ont été effectués comme la dérive de paramètres après un fonctionnement sur 1000 heures, des cyclages thermiques ou des tests de décharges électrostatiques. La conclusion de ces rapports était que les composants sont robustes et que très peu de casse a été constatée pendant ces tests.

v. Intégration monolithique

On l'a vu précédemment, les transistors sont isolés de leur substrat, ce qui permet d'avoir plusieurs transistors sur une même puce, ce qui ouvre la porte de l'intégration monolithique. EPC a réalisé un pont complet intégré monolithiquement mais ne donne pas beaucoup de détail. Une autre démonstration d'intégration monolithique de composants GaN a été faite par Panasonic avec un onduleur triphasé constitué de 6 GIT (Gate Injection Transistors).

Après avoir vu les aspects théoriques de ces composants, nous allons maintenant voir leur fonctionnement en pratique. Dans les deux prochains paragraphes nous allons comparer leur fonctionnement avec celui des MOSFETs Si.

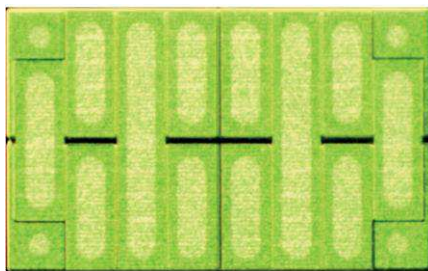


Figure 46 : Pont complet monolithique EPC

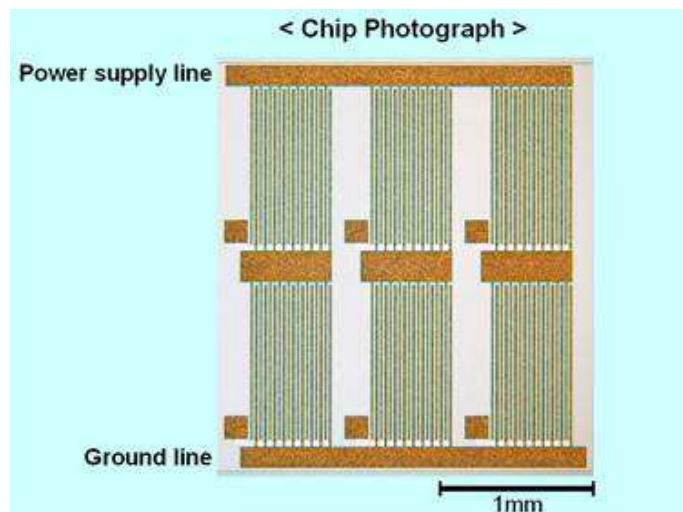


Figure 47 : Onduleur triphasé monolithique Panasonic

2. CARACTERISATION DES eGaN

Pour la réalisation du convertisseur, on a utilisé principalement les transistors EPC 2015 et 2001 dont les tensions de claquage sont respectivement de 40V et 100V. Pour tracer les caractéristiques de ces composants nous avons utilisé un Agilent B1505A. Cet appareil nous permet de faire des mesures fort courant (40A), forte tension (3000V) et des mesures de type "4 pointes" pour une meilleure précision. Néanmoins, nous n'avions pas le module permettant de faire des mesures de capacités. Nous nous sommes donc focalisés sur l'état passant des eGaN.

A. Conduction en inverse pour $V_{GS} < V_{GSth}$

On s'intéresse ici au fonctionnement de ce qui peut être considéré comme l'équivalent de la diode interne d'un MOSFET. Le transistor est donc bloqué et on lui applique une tension drain source négative. Le circuit de grille est piloté avec le module fort tension et le circuit de puissance avec le module fort courant en "4 pointes". Le tracé a été effectué avec plusieurs tensions de grille allant de -1V à +0.9V. Trois composants différents (3 EPC2001 et 4 EPC2015) ont été testés pour chaque test. Ces mesures ont été faite à température ambiante dans la salle (environ 21°C).

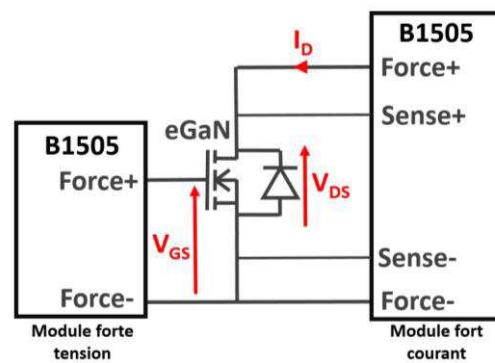


Figure 48 : Câblage des mesures

i. EPC2015

Le tracé du courant de drain en fonction de la tension drain source pour les différentes valeurs de V_{GS} est donné sur la Figure 49. Si on fait l'analogie de ce mode de conduction avec la diode interne d'un MOSFET, on voit que le seuil de tension de la diode varie de façon régulière avec la tension V_{GS} . Pour une tension grille source nulle, le seuil est de 1.4V contre 1.8V annoncé sur la datasheet du composant. Pour des tensions (V_{GS}) positives, le seuil diminue. Le courant de fuite de drain pour des valeurs V_{DS} positives est représenté sur la Figure 50, pour plusieurs valeurs de V_{GS} (entre 0V et 0.4V). Le courant de fuite en-deçà de 30V est inférieur à 80μA pour les 5 valeurs de V_{GS} , mais augmente jusqu'à 130μA pour $V_{DS}=40V$ et $V_{GS}=0.4V$.

Traçons maintenant la variation de ce seuil par rapport à V_{GS} . La Figure 52 montre l'évolution de la tension de seuil ainsi que le courant de fuite pour quelques valeurs de V_{GS} positives. Les différents échantillons utilisés sont notés e1 à e4. Les quatre échantillons sont proches concernant la tension de seuil et cette dernière est linéaire en fonction de V_{GS} . Si on sépare les courbes de seuil en deux avec une partie pour $V_{GS} < 0$ et l'autre pour $V_{GS} > 0$ et qu'on fait une régression linéaire sur chacune des deux parties, on note une légère différence sur le coefficient directeur des courbes des deux parties. Pour $V_{GS} < 0$ ce coefficient vaut environ 1 alors que pour l'autre partie il vaut environ 0.8.

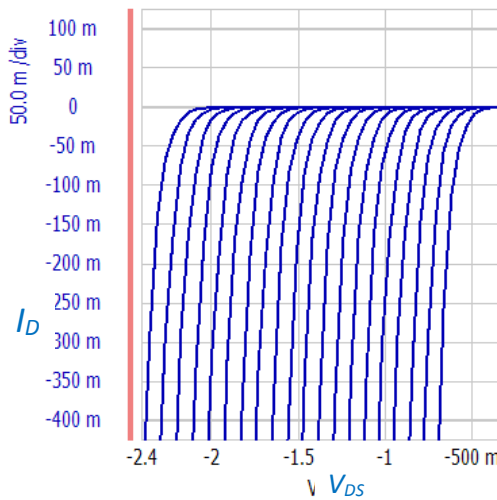


Figure 49 : Réseau de courbes de I_D en fonction de V_{DS} pour différentes valeurs de V_{GS} (entre -1V et 0.9V) pour l'échantillon 1 de l'EPC2015.

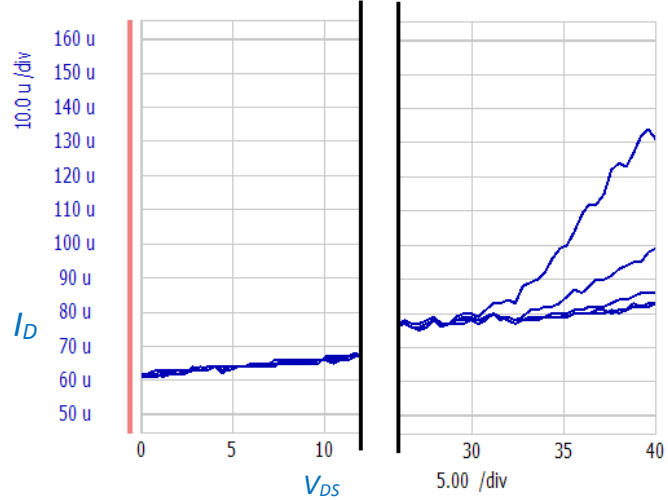


Figure 50 : Courbes de I_D en fonction de V_{DS} pour V_{GS} compris entre 0V et 0.4V, d'un EPC2015. échantillon 1.

Dans les deux cas, on a un fonctionnement un peu différent. En effet pour des valeurs négatives de la tension grille source, c'est la tension drain source qui charge la capacité C_{GD} et qui met en conduction le composant. Dans l'autre cas, on commence à mettre en conduction le transistor en chargeant la capacité C_{GS} . Comme nous l'avons vu précédemment, le fonctionnement du transistor étant symétrique (Figure 34), on peut le rendre passant en pilotant C_{GS} ou C_{GD} . Cela est à l'origine de la conduction en inverse (mode « pseudo diode ») lorsque le composant est bloqué. En faisant une loi des mailles on a $V_{SD} = V_{GD} + V_{SG}$, si on considère la conduction en inverse, V_{SD} est notre tension de seuil de diode (par analogie avec la diode interne d'un MOSFET), V_{GD} représente la tension de seuil qu'on désigne par V_{GSth} et V_{SG} est l'opposé de la tension grille source imposée par la commande. Etant dans la partie où $V_{GS} < 0$, la tension V_{SG} est positive, on voit donc à partir de notre loi des mailles que plus la tension grille source est négative, plus la tension V_{SD} doit augmenter pour que V_{GD} atteigne la valeur V_{GSth} . Or, à température constante, la valeur de V_{GSth} est fixe, donc la tension de seuil (analogie diode) est une loi affine en fonction de V_{GS} pour des valeurs de $V_{GS} < 0$ avec comme ordonnée à l'origine V_{GSth} et un coefficient directeur unitaire. La valeur de V_{SD} mesurée ici (1.4V) est un peu éloignée de la valeur donnée par la datasheet (1.8V), néanmoins elle correspond à la valeur donnée par la datasheet concernant V_{GSth} .

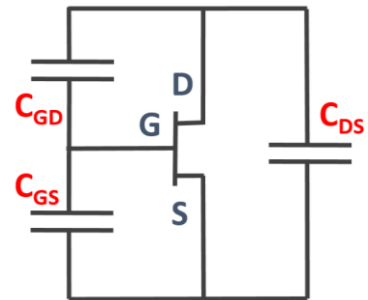


Figure 51 : Capacité parasites du HEMT

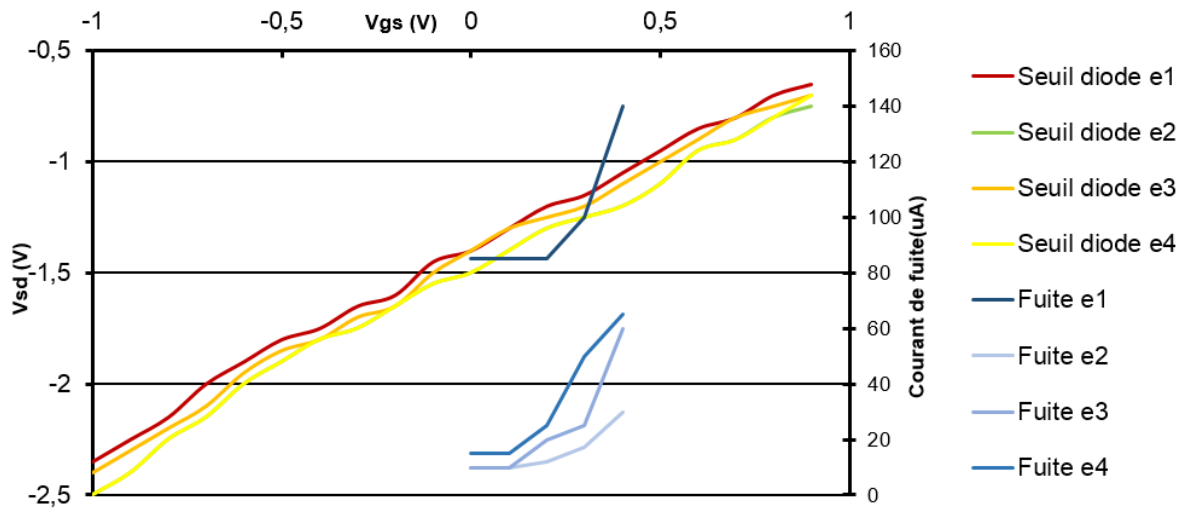


Figure 52 : Chute de tension en conduction inverse en fonction de V_{GS} et courant de fuite drain-source pour $V_{DS}=40V$. EPC2015

Les échantillons 2 à 3 ont des courants de fuite similaires, leur valeur pour une commande de grille nulle se situe autour de $20\mu A$. L'échantillon 1 se distingue avec un courant de fuite légèrement supérieur à $80\mu A$ ce qui n'est, cependant, pas supérieur à la valeur typique indiquée par le constructeur ($200\mu A$). On voit donc apparaître une légère disparité entre les quatre échantillons testés concernant le courant de fuite.

ii. EPC2001

On a procédé de même avec l'EPC2001 qui, est un composant 100V. Les courants de fuite étaient encore mesurés à 40V et non à 100V en raison de fuites plus importantes. Les différentes courbes sont cette fois un peu moins proches. Les coefficients directeurs des courbes de seuil sont les mêmes, néanmoins l'ordonnée à l'origine est cette fois un peu plus faible avec des valeurs comprises entre 1.1V et 1.3V.

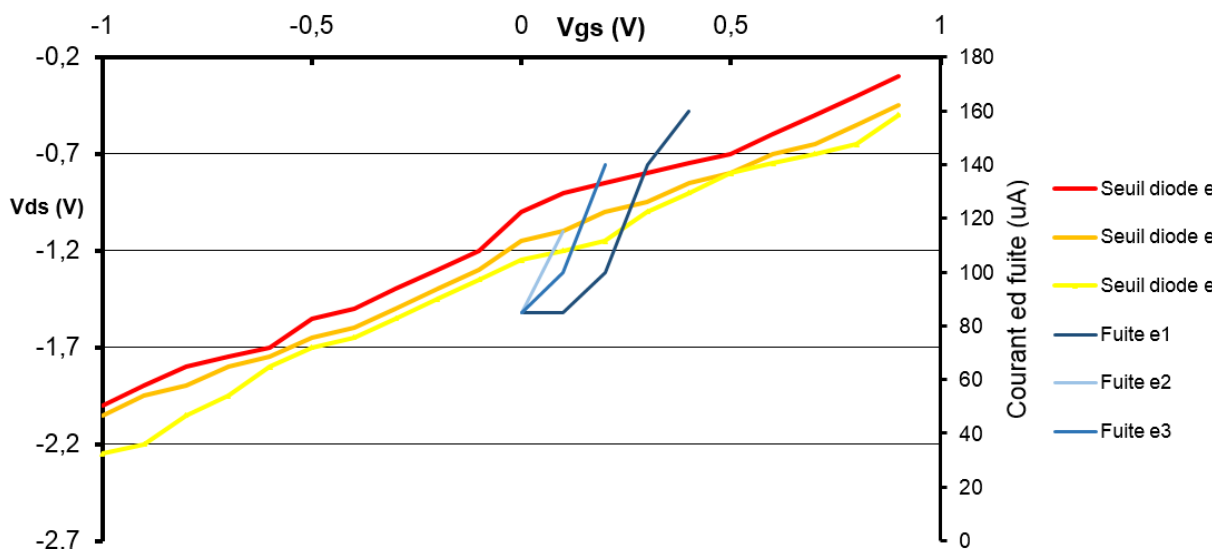


Figure 53 : Chute de tension en conduction inverse en fonction de V_{GS} et courant de fuite drain-source pour $V_{DS}=40V$. EPC2001

Le courant de fuite drain source est plus important que précédemment et certaines mesures ont dû être interrompues pour éviter d'avoir des courants trop importants et ainsi protéger les composants. Pour une tension drain source de 40V on a un peu plus de 80μA de fuite. La valeur typique indiquée par le constructeur est de 100 μA pour $V_{DS}=80V$, cette fois on est donc plus proche de la valeur indiquée. L'évolution du courant en fonction de la tension est plus rapide que pour l'autre composant et est aussi plus variable d'un échantillon à l'autre.

iii. Discussion autour de ces résultats

Les résultats présentés nous permettent de mieux appréhender la conduction en inverse et à l'état bloqué de ces composants ; ils soulignent quelques points importants pour leur commande. D'abord, si les eGaN doivent, dans leur utilisation, conduire en inverse à l'état bloqué (pendant des temps morts par exemple), il sera préférable de ne pas utiliser de tension de commande négative, sinon les pertes seront bien plus élevées. De plus, dans le but de réduire les pertes pendant ces phases on pourrait envisager d'appliquer une tension grille source légèrement positive de l'ordre de quelques dixièmes de volt. Il faudrait alors s'assurer que les courants de fuite drain source ne soient pas trop élevés. D'après nos résultats, pour des températures avoisinants les 20°C, une tension grille source de 0.4V ne générerait pas de courant de fuite significatif et réduirait les pertes par conduction pendant ce genre de phase d'environ 24% pour l'EPC2015 et 28% pour l'EPC2001.

Des travaux ont été réalisés sur ce type de commande pour les eGaN . Une tension de grille de 1.6V est utilisée ($V_{Gsth}=1.4V$) pendant des phases de temps mort. Il est précisé que le courant de fuite, même à 125°C, ne dépasse pas 100mA. L'auteur conclut sur le fait que cette méthode de commande permet d'augmenter le rendement d'un convertisseur Buck POL (point of load) avec 12V en entrée et 1.2V en sortie, par rapport au même convertisseur utilisant une commande deux niveaux classique avec des diodes schottky en parallèle des eGaN (permettant une conduction en inverse mais avec une chute de tension inférieure à celle des eGaN).

B. Etat passant R_{DSon} en fonction de V_{GS}

Pour tracer l'état passant des eGaN en fonction de la tension grille source, nous avons encore une fois réalisé des réseaux de courbes de I_D en fonction de V_{DS} pour différentes valeurs de la tension de commande. La disposition des modules fort courant et forte tension était la même.

i. EPC2015

La Figure 54 montre un exemple de réseau de courbe pour une tension de commande variant de 2.2V à 3.6V avec un pas de 0.2V (d'autres mesures ont été faites jusqu'à 5.5V).

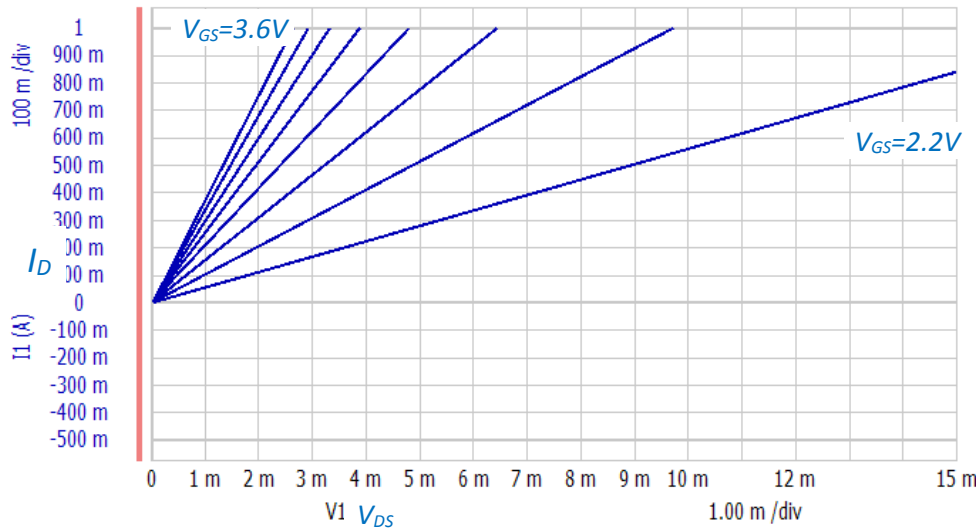


Figure 54 : Réseau de courbes de I_D en fonction de V_{DS} pour V_{GS} compris entre 2.2V et 3.6V avec un pas de 0.2V, pour e2. Mesures en mode pulsé.

On relève ensuite les valeurs d'état passant et on trace la caractéristique de R_{DSon} en fonction de V_{GS} . La Figure 55 montre les résultats pour les échantillons 2 et 3, les deux autres ayant été détruits pendant les mesures. Sur ces courbes on voit que l'état passant optimal est presque atteint pour une tension de commande de 4.5V. Pour $V_{GS} > 3V$ les composants sont passants avec une résistance inférieure à 3 fois l'état passant optimal. Les composants testés ont des valeurs minimales de R_{DSon} proches, néanmoins leurs évolutions sont assez différentes entre les deux composants. Cette différence est peut-être due à une disparité dans les performances des composants ou peut-être à un stress subi pendant les tests. L'état passant mesuré ici est de 2mΩ pour une valeur annoncée par le fabricant de 3.2mΩ.

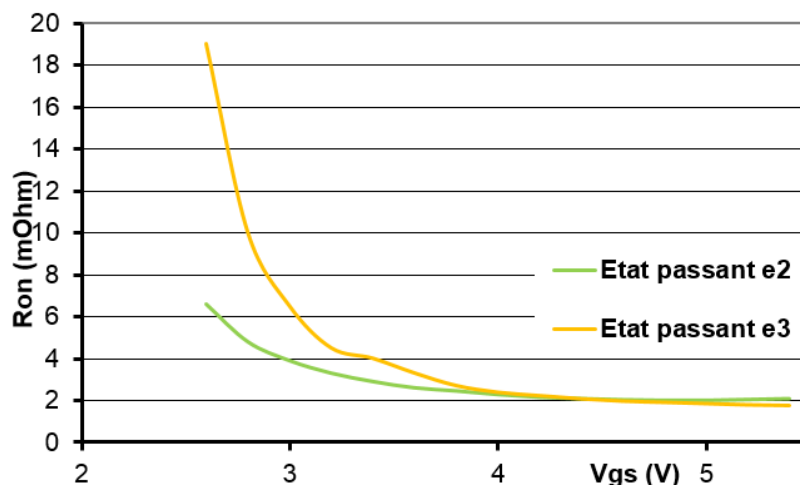


Figure 55 : R_{DSon} en fonction de V_{GS} pour les EPC2015

ii. EPC2001

On a procédé de la même façon pour l'EPC2001 et les résultats sont affichés sur la Figure 56. On peut faire les mêmes remarques que pour l'EPC2015, l'état passant optimal est atteint assez vite, vers $V_{GS}=4.5V$. De plus, à partir de 3V l'état passant est déjà assez faible et

on retrouve une disparité dans les variations de l'état passant en fonction de V_{GS} . L'état passant optimal était le même pour les trois composants testés. L'état passant mesuré ici est de $4m\Omega$ pour une valeur annoncée par le fabricant de $5.6m\Omega$.

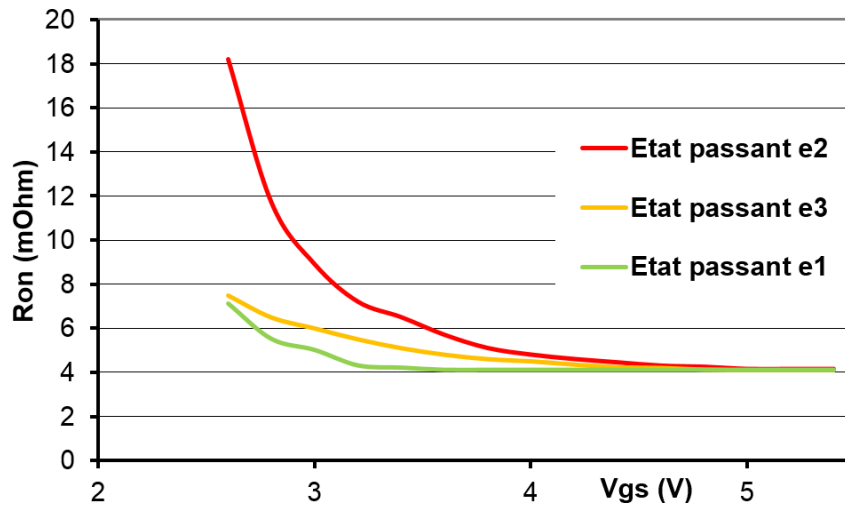


Figure 56 : R_{DSon} en fonction de V_{GS} pour les EPC2001

iii. Conclusion

Ces courbes concernant l'état passant montrent que la tension de commande des eGaN pourrait être réduite de 5V à 4.5V sans augmenter de manière sensible les pertes en conduction ; néanmoins des mesures à température plus élevée seraient nécessaires pour le confirmer. Les différences constatées dans l'évolution de R_{DSon} laissent penser qu'il y a une certaine variabilité dans les performances des composants et que le processus de fabrication manque peut-être encore de maturité. Les valeurs d'état passant optimales sont, quant à elles, peu variables et cohérentes par rapport à celles annoncées par le constructeur.

3. PREMIERE MISE EN ŒUVRE

A. Montage réalisé

Dans le but de mettre en évidence des différences de fonctionnement entre les eGaN et les MOSFETs, deux montages de type Buck sont réalisés (Figure 58). Ces montages ne sont pas optimisés en rendement ou dans leurs routages, ils doivent nous fournir une vision qualitative du fonctionnement des transistors. Ce montage a l'avantage d'être simple et rapide à monter, de plus, la source du transistor étant connectée à la masse, on peut utiliser une commande simple et les mesures de V_{DS} seront moins perturbées.

Le signal de commande est généré avec un trigger et sa fréquence est réglable via un potentiomètre, ce qui permet une grande adaptabilité. Les diodes utilisées sont de type schottky. On utilise ensuite un driver EL7158 d'Intersil. Ce dernier est proposé par EPC pour commander leurs composants (Figure 45) car sa résistance de sortie est faible (0.5Ω). Une

résistance faible laissera passer des courants plus élevés, ce qui réduira le temps de charge de la grille et donc les temps de commutation. Les transistors seront commandés entre -5V et +5V. Un shunt et un tore sont utilisés pour visualiser le courant de puissance et tous les signaux sont relevés sur un oscilloscope. Une résistance de grille est ajoutée pour modifier les vitesses de commutation. Les composants utilisés sont les suivants :

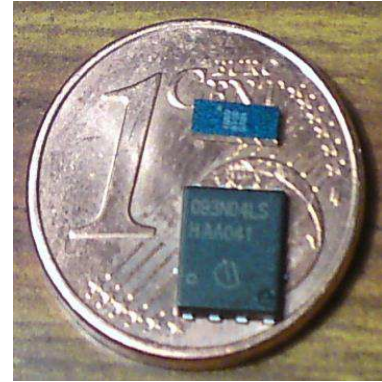


Figure 57 : Taille de l'EPC1015 (en haut) et du BSC093N04LS(PQFN 5x6)

	Vds	Vgsmx	Vgsth	Rdson (mOhm)@5V ou 10V(Si)	Crss (pF)	Coss(pF)	Ciss(pF)	Rg (Ohm)	Id (25°C)	ordre grandeur courant fuite grille	Tension de seuil en inverse
EPC1015	40	6/-5	1,4	3	60	575	1100	0,5	33	mA	1,8
Mos Si (Infineon BSC)	40	20/-20	1,6	9,3	16	340	1400	1	49	0,1uA	0,9

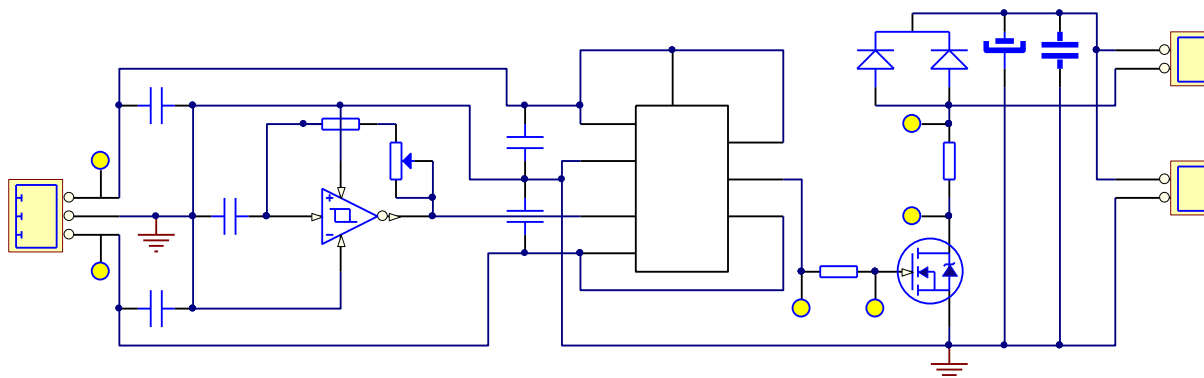


Figure 58 : Schéma électrique du convertisseur buck utilisé pour les tests.

Les composants GaN ne sont pas faciles à placer sur les cartes. Les dimensions des bumps (180µm de large pour l'EPC2015) ainsi que le montage de type "flip chip" rendent obligatoire l'utilisation de machines de placement pour avoir des brasures correctes. Pour placer les transistors nous avons utilisé la machine de placement ERS IR/PL550 (Figure 59) du CEDMS (Centre d'Enseignement et de Développement pour le Montage en Surface à Grenoble). Nous avons ainsi pu placer très précisément nos composants sur les cartes (partie droite de la machine) puis les braser avec une plaque chauffante (chauffage par dessous) et un module infra rouge (chauffage par-dessus).



Figure 59 : Machine de placement et de soudure Ersa IR/PL 550

B. Résultats

Les deux convertisseurs sont représentés sur les Figure 60 et 61. Les drivers sont relativement éloignés des transistors à cause des shunts placés dans les circuits de grille. Pour la mesure des courants de puissance passant dans les transistors, on a utilisé un transformateur dont le primaire est en série dans le circuit et on a placé la résistance shunt au secondaire. Les sondes de tension étaient placées au plus près en utilisant la pointe de sonde plutôt que la tête de sonde et en se servant d'un pico pour le retour de masse au lieu du cordon prévu pour. Une capacité céramique est utilisée pour le découplage des drivers et deux condensateurs (chimique et céramique) sont utilisés pour la partie puissance.

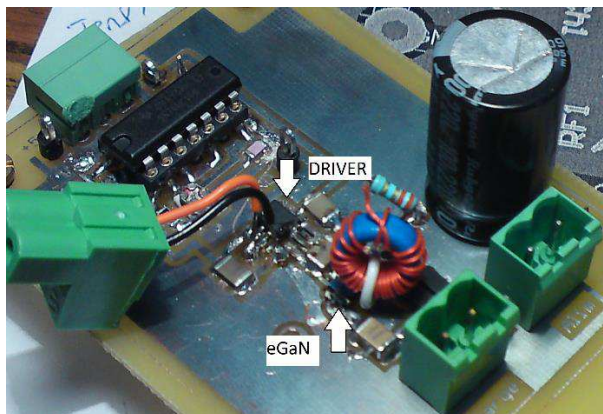


Figure 60 : Montage buck avec composant eGaN

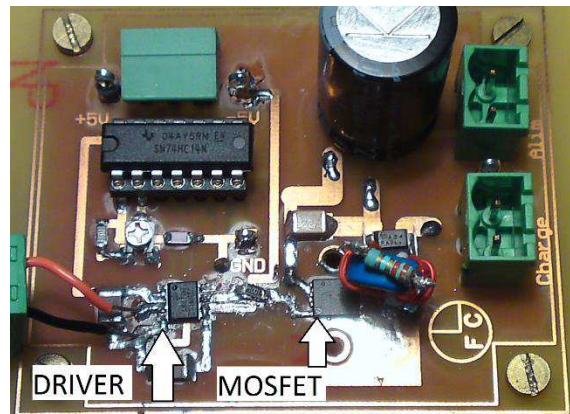


Figure 61 : Montage buck avec un MOSFET

La tension de puissance était fixée à 20V. On a réalisé des essais sans résistance de grille.

Avec la résistance de grille nulle, les temps de montée et descente des tensions V_{GS} et V_{DS} étaient les mêmes pour le GaN et le Si (respectivement 10ns et 5ns, ce qui donne pour V_{DS} un dV/dt de $4kV/\mu s$). Les formes d'ondes des tensions sont assez perturbées (Figure 62 et Figure 63) aux moments des commutations mais restent compréhensibles, alors que celle du

courant de puissance est trop perturbée. On place alors une résistance de grille pour visualiser des commutations propres. D'après les oscillations de V_{GS} , l'inductance de grille était de 6.4nH (en se basant sur les oscillations d'un circuit LC avec $\omega = 1/\sqrt{LC}$).

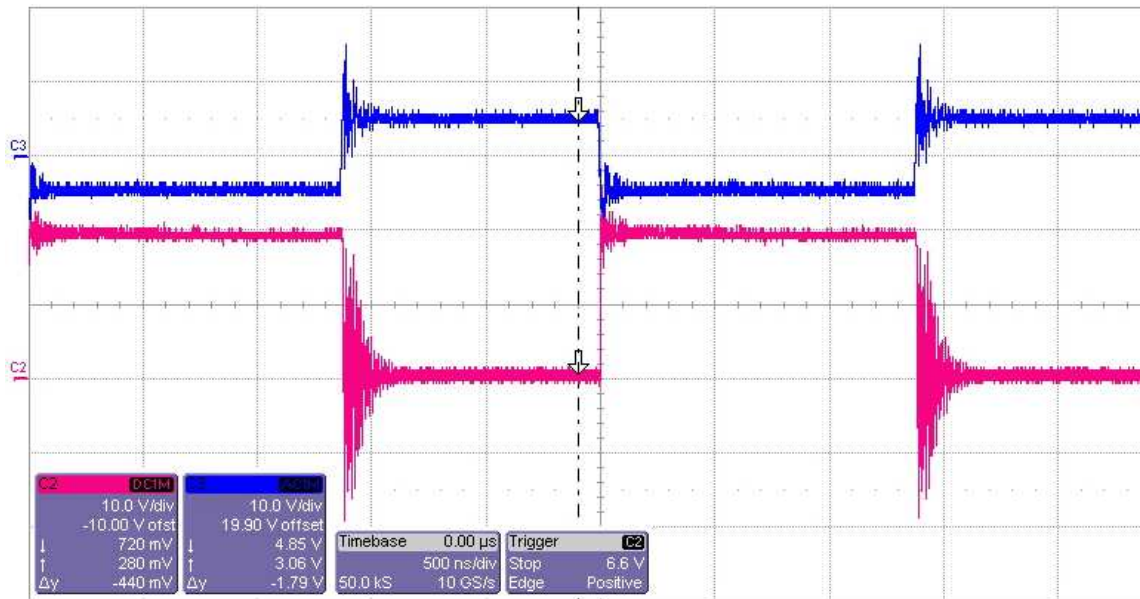


Figure 62 : V_{GS} (C3) et V_{DS} (C2) pour le MOSFET et $R_G=0\Omega$

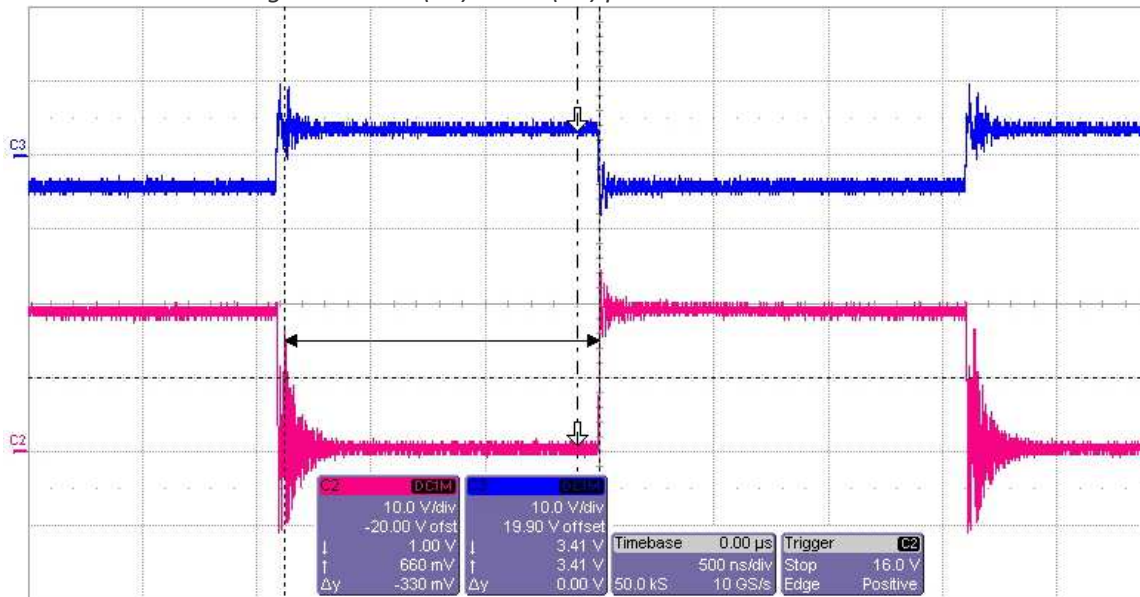


Figure 63 : V_{GS} (C3) et V_{DS} (C2) pour l'EPC1015 et $R_G=0\Omega$

Pour observer l'impact de la résistance de grille sur le fonctionnement du montage, on monte une nouvelle carte sur laquelle on va utiliser plusieurs résistances de grilles et voir l'impact que cela a sur l'amplitude des oscillations ainsi que sur les vitesses de commutation en courant.

C. Impact pratique de la résistance de grille

Pour voir l'impact de la résistance de grille sur les oscillations et les vitesses de commutation un nouveau montage buck est réalisé. Cette fois on utilise un transistor GaN 200V (EPC2010) commandé par un push-pull à base de MOSFETs, ce qui a permis de réduire

la taille du boîtier (les deux MOSFETs étaient dans le même boîtier). Le shunt pour la mesure de I_D est placé entre la pin de source et la masse de puissance (Figure 64), ce qui réduit le bruit sur les mesures de courant. Toujours dans le but de réduire le bruit sur les mesures de courant, nous avons utilisé une sonde sans sa tête, l'âme du câble et la masse étaient donc soudés directement sur la carte. On a ainsi pu réduire la boucle formée par le bout de la sonde, le retour de masse et la partie de la carte sur laquelle on fait la mesure.

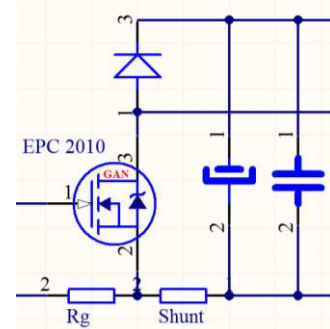


Figure 64 : Placement des shunts

La carte utilisée n'était pas en époxy mais en SMI (substrat métallique isolé). Ces cartes sont constituées d'une semelle en aluminium, d'une couche d'isolant (entre 50 μ m et 100 μ m) et d'une couche de cuivre. Elles ont le double avantage d'améliorer le refroidissement des composants et de réduire le comportement inductif des pistes. Néanmoins, en contrepartie, elles augmentent les couplages capacitifs via la semelle en aluminium.

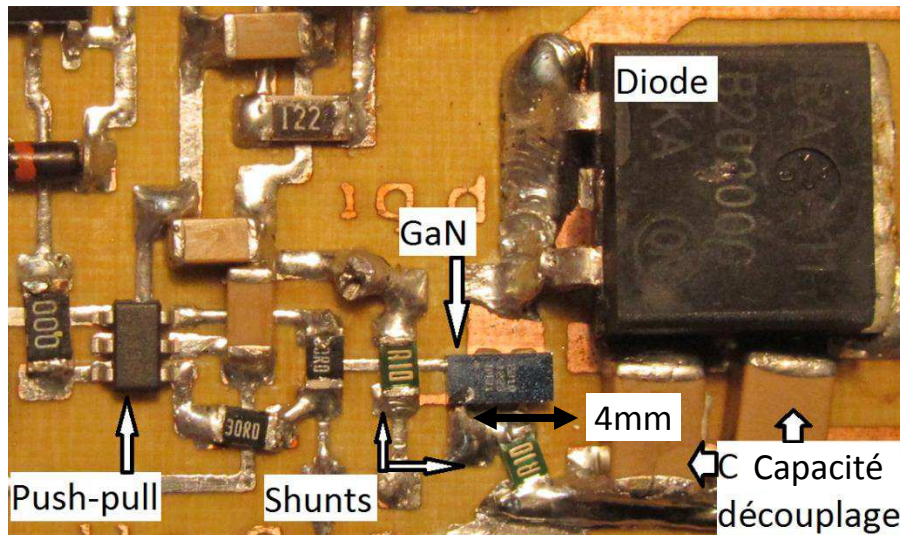


Figure 65 : Carte du convertisseur Buck avec un EPC2010

Pendant nos tests, on a fait varier R_G entre 1.5 Ω et 15 Ω . En dessous, l'eGaN cassait systématiquement à cause d'oscillations trop fortes sur sa grille, au-dessus les commutations étaient trop lentes pour être considérées.

La Figure 65 montre la commande rapprochée et le circuit de puissance. Le push-pull est relativement éloigné du transistor, comme le driver sur les cartes précédentes. Cela est dû à un manque d'expérience au début de la thèse et aux ordres de grandeurs des distances qu'il aurait fallu respecter compte tenu des vitesses de commutations.

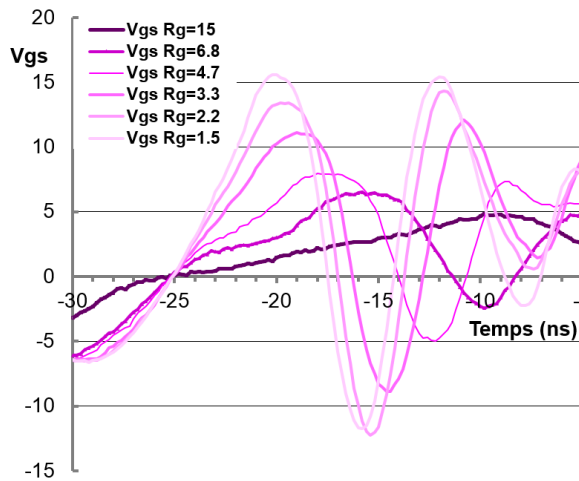


Figure 66 : V_{GS} avec plusieurs résistances de grille

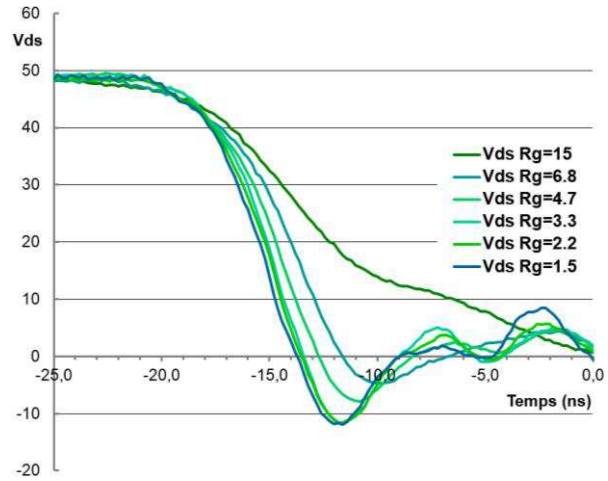


Figure 67 : V_{DS} avec plusieurs résistances de grille

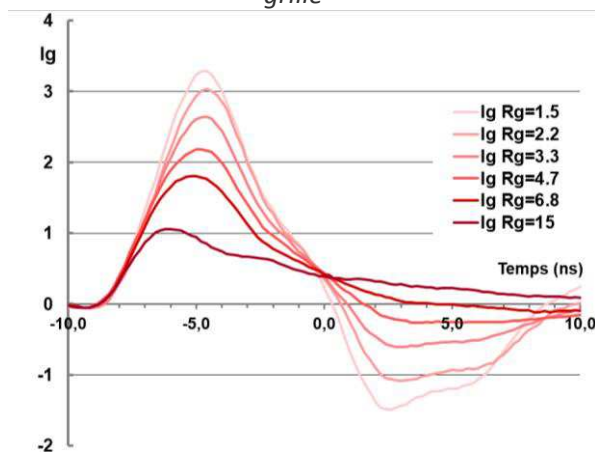


Figure 68 : I_G avec plusieurs résistances de grille

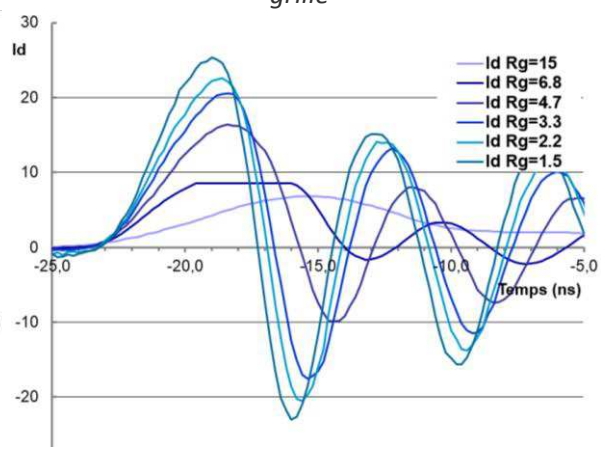


Figure 69 : I_D avec plusieurs résistances de grille

Les Figure 66 à 69 montrent l'évolution temporelle des différents signaux mesurés avec plusieurs valeurs de résistances de grille :

- On voit une fois encore que la tension de grille dépasse les 6V, néanmoins on a remarqué que l'amplitude de ces oscillations augmentait lorsqu'on mettait en marche la puissance. Une fois encore, il est possible que ces oscillations soient dues à un problème de métrologie. L'impact de la résistance de grille est très visible, elle couche les fronts et réduit l'amplitude des oscillations. Pour chaque valeur d'inductance de grille on pourra trouver une valeur limite de résistance permettant de faire fonctionner les eGaN en sécurité. D'après la fréquence des oscillations de V_{GS} , on calcule une inductance dans le circuit de grille égale à 3.2nH (toujours en utilisant la relation des circuits LC : $\omega = 1/\sqrt{LC}$), ce qui est deux fois inférieure à ce qu'on avait sur la carte précédente. Les valeurs des capacités parasites des pistes ont été estimées avec la formule de capacité micro ruban (Eq. 14), les valeurs obtenues sont de l'ordre de quelques pF jusqu'à la dizaine de pF. Ces valeurs sont donc négligeables devant la capacité de grille des transistors (plusieurs centaines de pF).
- Le réseau de courbes du courant de grille est caractéristique des circuits RLC séries. Ici encore l'augmentation de la résistance réduit l'amplitude des oscillations. Un bon moyen de réduire les oscillations serait d'ouvrir le circuit

de grille une fois que la tension de la capacité de grille a atteint la tension voulue.

- Le réseau de courbes de la tension drain source ne montre pas des différences très importantes pour les faibles valeurs (R_g entre 1.5Ω et 3.3Ω) de résistance de grille, mais l'écart entre les pentes devient assez important ensuite. L'effet de la résistance était plus perceptible sur la tension de grille. L'ajout d'une résistance faible (ici jusqu'à 3.3Ω) réduirait les oscillations sur la grille sans compromettre les performances en commutation du transistor.
- Comme précédemment, les signaux du courant de drain sont très perturbés. L'effet de la résistance est ici identique à celui qu'elle a sur les autres courbes. La courbe avec $R_g=6.8\Omega$ est écrêtée à cause d'un mauvais réglage de la fenêtre de l'oscilloscope.

$$C_{pmes} = \epsilon_0 \cdot \epsilon_r \cdot L \cdot \left(1,15 \cdot \frac{w}{h} + 2,8 \cdot \left(\frac{t}{h} \right)^{0,222} \right) \quad \text{Eq. 1}$$

Avec

C_{pmes} : La capacité parasite

w : La largeur de piste

t : L'épaisseur de la piste

h : L'épaisseur de diélectrique

L : La longueur de la piste

ϵ_r : Permittivité diélectrique du substrat

Des tests ont aussi été réalisés avec une tension de puissance de 150V et une résistance de grille faible. Durant ces tests la valeur maximale relevée pour dV_{DS}/dt était de 15V/ns.

Un des essais nous a permis de mettre en évidence le plateau qui apparaît sur la forme d'onde de V_{GS} . La résistance de grille était alors de 33Ω , ce qui permet de presque supprimer les oscillations. Les formes d'ondes de cet essai sont affichées sur la Figure 70. Il semble donc que le plateau sur V_{GS} soit visible lorsque la résistance de grille est assez importante et que les oscillations sont faibles. On voit sur cette figure que la commutation en courant commence lorsque la tension grille source atteint environ 1.5V, ce qui correspond à la tension V_{GSth} . La commutation en tension apparaît lorsque

la tension de grille commence à former le plateau entre 2V et 3V. La tension de plateau donnée par le constructeur est de 2.2V. La fin de la courbe n'a pas été enregistrée, néanmoins

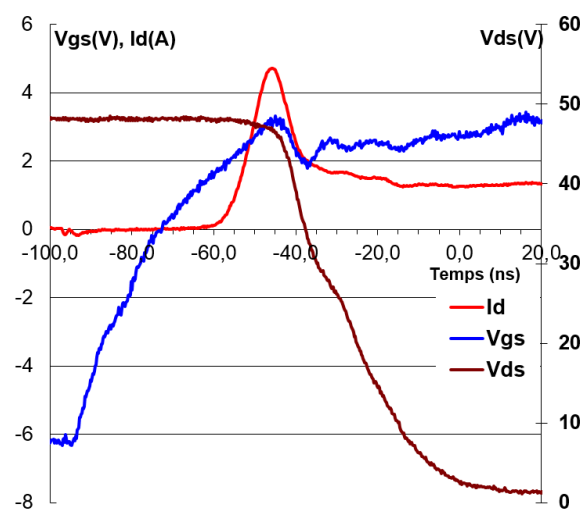


Figure 70 : V_{GS} , V_{DS} et I_D pour $R_G=33\Omega$.

la tension de commande était d'environ 5V, donc la capacité grille source finie de se charger après la fin de la commutation en tension.

Ces formes d'ondes ressemblent au modèle classique de commutation MOSFET/diode décrit dans la littérature, qui est basé sur des charges de circuit RC. La Figure 71 illustre la commutation à l'amorçage d'un MOSFET en la divisant en quatre phases distinctes (la commutation au blocage se déroule de la même façon mais dans l'autre sens). Les différentes capacités mises en jeu sont représentées sur la Figure 72. Pour notre étude, nous considérerons les valeurs des différentes capacités comme fixes (cette simplification est correcte pour C_{iss} dont la valeur varie très peu avec la tension drain source mais l'est moins pour C_{oss} dont la valeur varie du simple au double et C_{rss} dont la valeur varie d'un coefficient 6 environ) et diviserons la commutation comme suit :

- t_1 : On commence à charger C_{GS} et C_{DG} à partir d'une tension constante V_{GG} (tension d'alimentation de la commande). Cette phase se termine lorsque la tension grille source atteint V_{GSth} . Cette phase est considérée comme un retard entre le signal de commande et la commutation du transistor.
- t_2 : On continue de charger C_{GS} et C_{DG} et on assiste à la commutation du courant de drain. Cette phase se termine lorsque la tension de grille atteint la tension de plateau V_{GS} . (Figure 73)
- t_3 : La tension de grille n'évolue plus et la tension drain source commute. Durant cette phase seule C_{DG} est déchargée par le circuit de grille. Les tensions V_{GG} et $V_{GS}(t)$ étant fixes, si l'effet de l'inductance sur le courant est faible, le courant de charge est constant et égal au courant à la fin de la phase précédente. Cette phase se termine lorsque $V_{GD}+V_{GS}=V_{DS}$. (Figure 74)
- t_4 : Une fois la commutation en tension terminée, la tension $V_{GS}(t)$ augmente jusqu'à atteindre V_{GG} . (Figure 75)

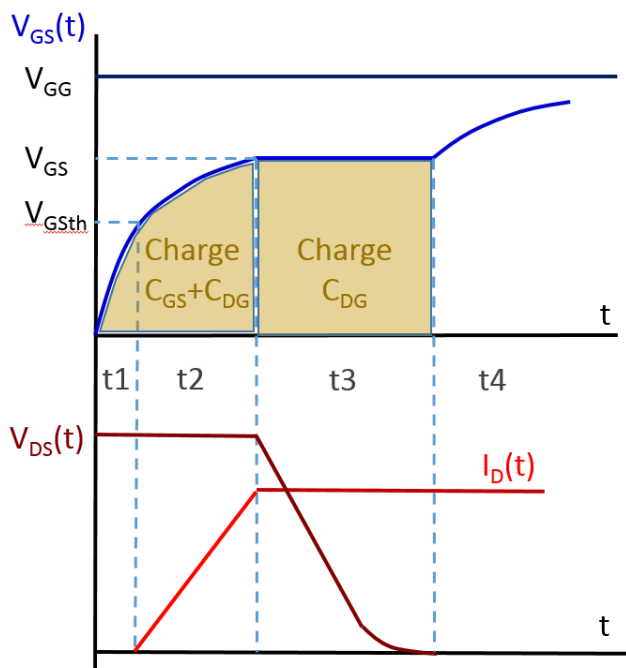


Figure 71 : Phases de commutations d'un MOSFET.

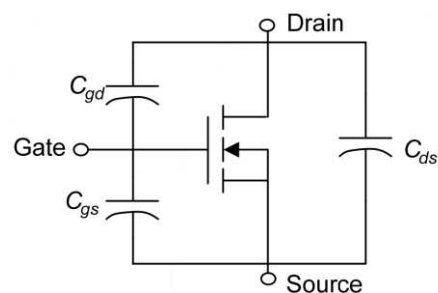


Figure 72 : Capacités utilisées dans le modèle de MOSFET.

La tension de commande (5V) est appelée E, la somme des résistances R_{GD} et R_{GT} (1.1Ω) est notée R, l'inductance L_G est notée L et la capacité C_{GS} (1040pF) est notée C. La fonction de transfert du circuit de grille (RLC série car on ne considère pas la phase 3) soumise à un échelon de tension E est donnée par l'Eq. 2 et avec l'aide de Mathcad on obtient la fonction décrivant l'allure temporelle de $V_{GS}(t)$ (Eq. 3). La valeur² du dépassement de la tension par rapport à la tension d'alimentation ($V_{GS}(t)_{max}-E$) du circuit de grille est donnée par l'Eq. 4

$$FT_{V_{GS}}(s) = \frac{E}{s \cdot (1 + R \cdot C \cdot s + L \cdot C \cdot s^2)} \quad Eq. 2$$

$$V_{GS}(t) := -E \cdot e^{-\frac{R \cdot t}{2 \cdot L}} \cdot \left(\frac{-R}{L} \cdot \sqrt{\frac{C \cdot L^2}{4L - C \cdot R^2}} \cdot \sinh\left(\frac{t \cdot \sqrt{\frac{4L - C \cdot R^2}{C \cdot L^2}}}{2}\right) - e^{\frac{R \cdot t}{2 \cdot L}} + \cosh\left(\frac{t \cdot \sqrt{\frac{4L - C \cdot R^2}{C \cdot L^2}}}{2}\right) \right) \quad Eq. 3$$

$$D = E \cdot e^{\frac{\left(\frac{-R}{2} \cdot \sqrt{\frac{C}{L}} \cdot \pi\right)}{\sqrt{1 - \left(\frac{R}{2} \cdot \sqrt{\frac{C}{L}}\right)^2}}} \quad Eq. 4$$

L'évolution temporelle de $V_{GS}(t)$ est affichée sur la Figure 76 pour différentes valeurs de L. On voit que pour un circuit de grille utilisant le driver EL7158 il faut que l'inductance du circuit de grille soit inférieure à 1.5nH sinon la tension dépasse les 6V. Or d'après la Figure 42, l'inductance du boîtier SO-8 du driver EL7158 est déjà de 1.5nH. Donc, même en minimisant au maximum les longueurs de piste entre le driver et le transistor, la tension grille source dépasserait les 6V.

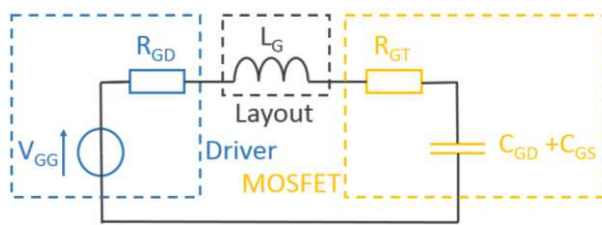


Figure 73 : Topologie du circuit de grille pendant t1 et t2 (phase 1)

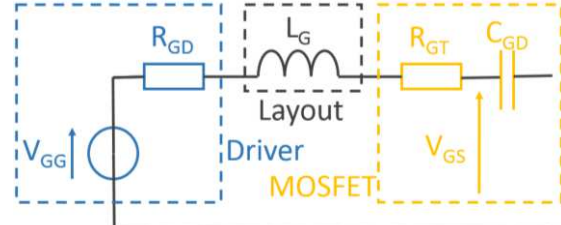


Figure 74 : Topologie du circuit de grille pendant t3 (phase 3)

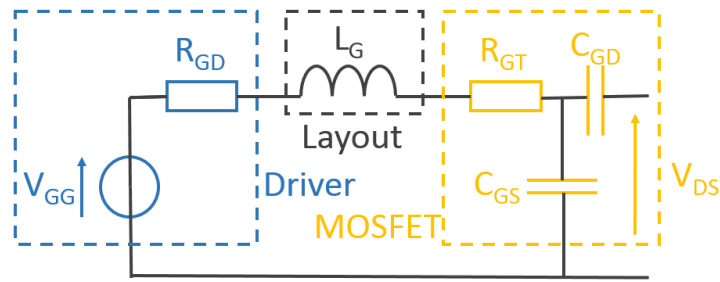


Figure 75 : Topologie du circuit de grille pendant t4 (phase 4)

La valeur du dépassement (V_{max-E}) varie beaucoup avec l'inductance et la résistance, mais peu avec la valeur de la capacité (Figure 77). Plus la capacité est faible plus l'amplitude des oscillations sera élevée, néanmoins sur deux ordres de grandeur (de C à $C \times 100$) le dépassement n'augmente que de 25% (et se situe autour de 4V pour $L=32nH$). Pour chaque valeur d'inductance il existe une résistance minimale pour laquelle la valeur maximale de la tension de grille est de 6V et au-dessus de laquelle le transistor fonctionnera en sécurité. Une résistance plus importante réduira les oscillations mais ralentira la charge de la grille et donc les commutations de I_D et V_{DS} .

D. Modélisation RLC du circuit de grille.

Dans le but de mieux appréhender l'effet de l'inductance et de la résistance de grille, on modélise le circuit de grille par un circuit RLC série. On trace ensuite la réponse temporelle ainsi que le dépassement de ce système à un échelon de 5V sous Mathcad. En prenant en compte la tension maximum de 6V sur la grille, on pourra à la fin déterminer le temps de commutation minimal (sans détruire le composant) en fonction de l'inductance de grille.

On modélisera la grille du HEMT GaN par les capacités C_{GS} et C_{GD} décrites précédemment et en divisant la charge de la grille en trois phases (phase 1, phase 3 et phase 4) comme pour la commutation MOSFET/diode. On considèrera le courant de grille pendant la phase trois constant, et égal au courant de grille à la fin de la phase 1 et au courant de grille du début de la phase 4. De plus on négligera pendant les phases 1 et 4 la capacité C_{GD} devant C_{GS} . Ainsi la topologie des circuits de grille durant ces deux phases seront identiques.

i. Calcul de l'amplitude des oscillations

Nous allons considérer que nous utilisons le premier driver dont nous nous sommes servi, l'EL7158 (résistance à l'état passant de 0.5Ω) et que sa sortie passe de 0V à 5V de façon instantanée (ce qui est optimiste). La résistance de la grille du transistor EPC1015 (R_{GT}) vaut 0.6Ω et la capacité C_{GS} est de $1040pF$.

L'amplitude des oscillations est calculée en n'utilisant que les phases 1 et 4 car la tension $V_{GS}(t)$ est fixe pendant la phase 3. De plus le courant de grille est le même à la fin de la phase 1 et au début de la 4, on a donc une continuité électrique entre ces deux phases.

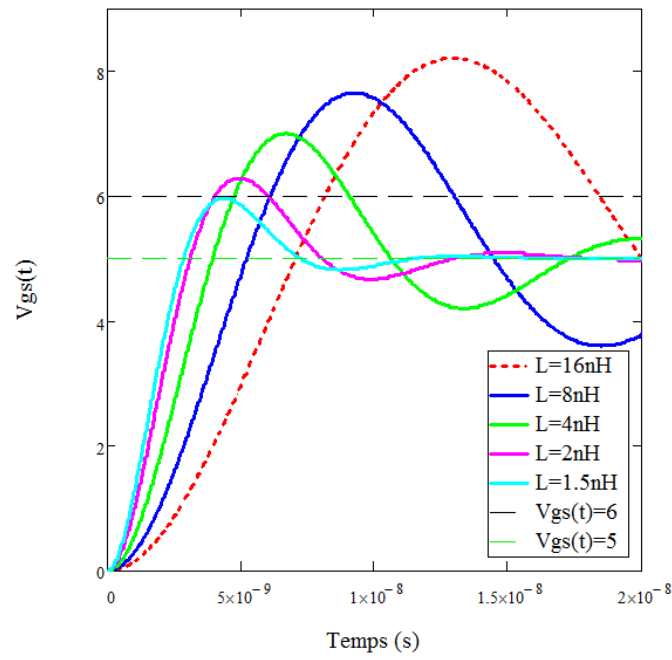


Figure 76 : $V_{GS}(t)$ pour différentes valeurs d'inductance

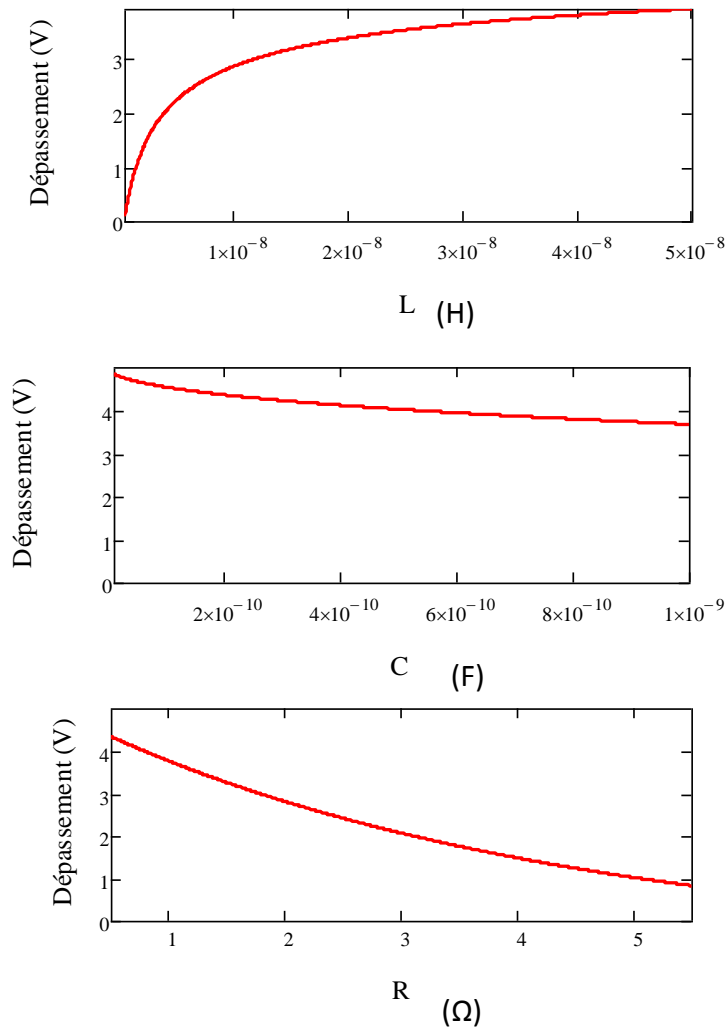


Figure 77 : Influence des paramètres R , L et C sur le dépassement. Lorsqu'ils ne varient pas, $C=1040\text{pF}$ et $R=1.1\Omega$ et $L=32\text{nH}$

ii. Calcul de R limite en fonction de L

Pour connaître la vitesse de charge maximale de la grille en fonction de l'inductance on calcule la résistance R_x qui fixe le dépassement à la valeur x . La valeur de cette résistance est donnée par l'Eq. 5 et est calculée à partir de l'Eq. 4. R_x comprend les résistances R_{GD} , R_{GT} .

$$R_x = \frac{-\ln\left(\frac{x}{E}\right) \cdot 2}{\sqrt{\frac{C}{L}} \cdot \sqrt{\left(\ln\left(\frac{x}{E}\right)\right)^2 + \pi^2}} \quad \text{Eq. 5}$$

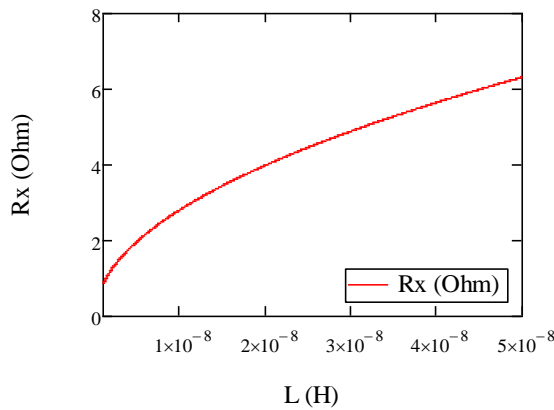


Figure 78 : évolution de la résistance nécessaire pour avoir un dépassement égale à x en fonction de l'inductance

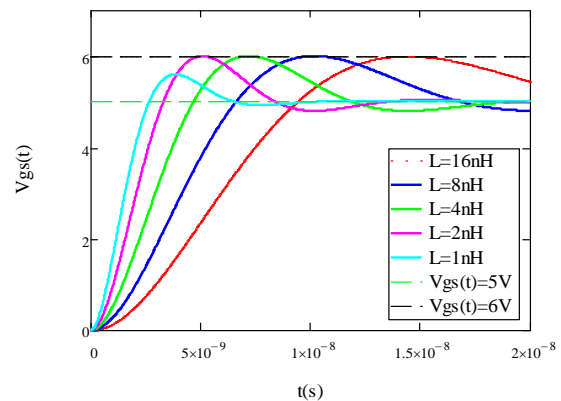


Figure 79 : évolution temporelle pour différentes valeurs d'inductance de grille pour $x=1$ ($V_{GSmax}=6V$)

On peut alors tracer la résistance limite en fonction de l'inductance du circuit (Figure 78). On vérifie ensuite en traçant la réponse temporelle pour plusieurs valeurs d'inductance (Figure 79). La courbe pour $L=1nH$ n'atteint pas 6V car les résistances du driver et du transistor sont déjà suffisantes.

iii. Influence de L sur les temps de commutation

Regardons maintenant l'influence de l'inductance sur les temps de commutation à la fermeture de I_D et V_{DS} . Pour cela nous allons considérer que le courant commute pendant la charge de C_{GS} entre V_{th} et V_{GS} (tension de seuil et tension de plateau) et que la tension commute pendant la charge de C_{DG} (phase 3). Les Figure 80 et 81 montrent l'évolution des temps de commutation minimaux (sans détruire la grille) des tensions et courant de puissance en fonction de L . Les formes des deux courbes sont très similaires car elles résultent toutes

deux de charges capacitives dont la vitesse est limitée par R et L. Les valeurs sont elles aussi très semblables mais résultent bien de deux calculs différents.

$$P_{com} = f \cdot \frac{(T_{vds} + T_{id}) \cdot V_{ds} \cdot I_d}{2} \quad \text{Eq. 6}$$

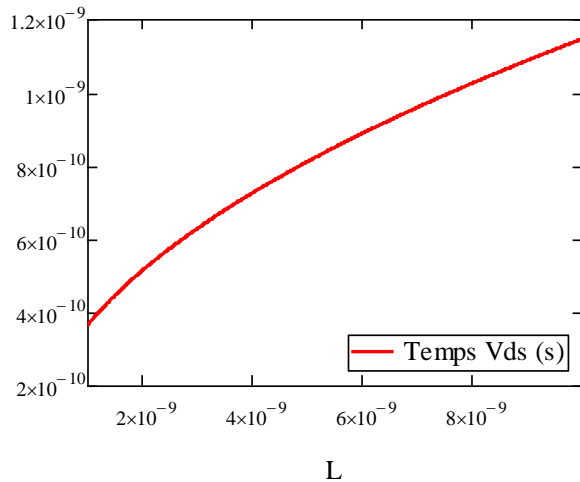


Figure 80 : Temps de commutation minimum de V_{DS} en fonction de L.

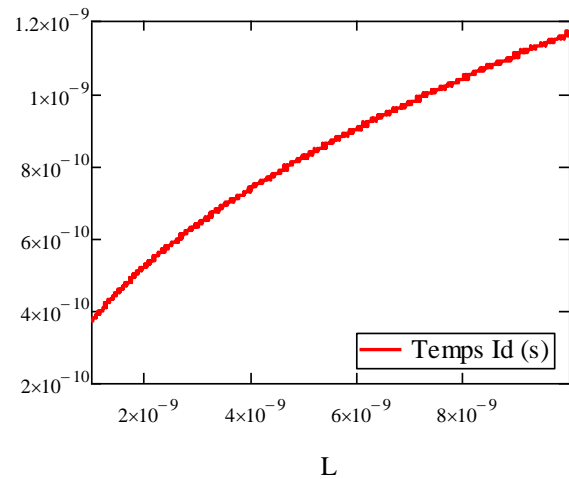


Figure 81 : Temps de commutation minimum de I_D en fonction de L.

Une formulation classique des pertes en commutation est donnée par l'Eq. 6 avec T_{vds} et T_{id} les temps de commutation de V_{DS} et de I_D , V_{ds} et I_d les valeurs de la tension et du courant commutés et f la fréquence. Avec cette formule, on voit que les pertes en commutation seront proportionnelles à la somme des temps de commutations du courant et de la tension. Dans le but de réduire les pertes en commutation, il sera donc nécessaire d'optimiser le circuit de grille en réduisant le plus possible l'inductance de grille et en ajustant la résistance du circuit pour limiter l'amplitude des oscillations. Dans l'idéal, il faudrait que ce soit la résistance d'état passant du driver (ou de l'élément qui sert de driver) associé à la résistance de grille du transistor qui limitent les oscillations, car l'ajout d'une autre résistance rallongera le circuit avec un nouveau boîtier et augmentera l'inductance du circuit.

Les temps de commutation calculés sont inférieurs à ceux obtenus en pratique. Lors des premiers tests avec l'EL7158 l'inductance du circuit de grille calculée à partir des oscillations était de 6.4nH et on avait alors mesuré des temps de commutation de 5ns. D'après la Figure 80, le temps de commutation de la tension serait d'environ 1ns. Cette différence peut s'expliquer par les hypothèses que nous avons faites concernant les valeurs constantes des capacités et l'établissement instantané de la tension de commande. En effet, la valeur de C_{DG} augmente de façon importante lorsque la tension chute aux bornes du transistor et la tension de commande met du temps pour s'établir. Lors de la fermeture du transistor, la valeur variable de C_{DG} ralentirait la fin de la transition de V_{GS} et le transitoire de la commande ralentirait le début. De plus, les mesures furent réalisées avec une sonde dont la bande passante était de 100MHz. Or la fréquence équivalente du front du signal de grille en considérant un temps de montée de 5ns ($f_{eq}=0.35/\text{temps montée}$) était de 70MHz, ce qui est proche de la bande passante de la sonde (les problèmes de mesure seront abordés plus loin).

Cela justifie les différences importantes entre les mesures et les valeurs calculées précédemment. Cependant cette partie sur la modélisation permet d'obtenir les tendances des effets des différents éléments du circuit de grille (R_g , L_g , C_{iss}) influençant les vitesses et temps de commutation.

Cette première réalisation nous a permis de prendre en main les composants EPC et leur montage. Cela a mis en évidence leur sensibilité aux surtensions, et ainsi nous a guidé dans l'étude du gate driver. Les résultats de cette étude seront utilisés dans la partie suivante sur la réalisation et l'intégration du gate driver.

4. GATE DRIVER ISOLE

A. Introduction

L'expérience acquise avec nos premiers essais et nos simulations fait ressortir des caractéristiques importantes pour notre circuit de commande de grille. Les quelques éléments qui suivent nous permettront d'orienter nos choix :

- Isolation des commandes
- Faible consommation
- Faible encombrement
- Fonctionnement à des fréquences de l'ordre du MHz
- Rapidité des charges et décharge de grille
- Oscillation sur la grille inférieure à 1V
- Tension de grille positive (pour éviter une tension de seuil en conduction inverse plus importante)

Dans le but de réduire les temps morts, nous ferons en sorte que les délais des éléments des différents circuits de grille coïncident, c'est pourquoi nous utiliserons le même circuit de grille (topologie identique) pour tous les transistors de puissance. De plus, nous utiliserons de préférence des drivers ayant des "delay mismatch" faibles. Pour comprendre l'impact de ces delays regardons la Figure 82 sur laquelle sont indiqués les temps de montée et descente de la tension de sortie (respectivement t_r et t_f) ainsi que les delays au turn On et Off (respectivement t_{d2} et t_{d1}).

Prenons l'exemple d'un bras d'eGaN commandés de façon complémentaire par deux drivers identiques. Si t_{d2} est plus court que t_{d1} , on commencera à fermer un interrupteur avant d'ouvrir l'autre, on risque donc de générer un court-circuit de

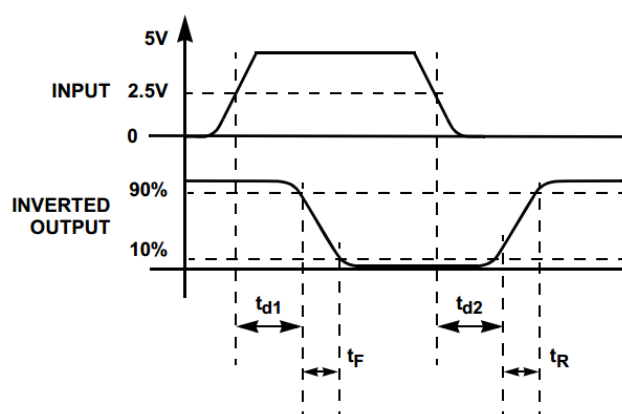


Figure 82 : Représentation des delays au turn Off et On (t_{d1} et t_{d2}) et des temps de montée et descente en sortie du driver (t_f et t_r)

bras. A l'inverse, si c'est $td1$ qui est plus grand que $td2$ on aura un temps mort naturel, ce qui n'est pas forcément souhaitable non plus. De façon similaire, si le temps de montée de la tension en sortie du driver est inférieur à celui de la descente, on risque à nouveau de créer un court-circuit de bras et à l'inverse on aura un temps mort naturel. Ce sont les différences entre $td1$ et $td2$, et t_r et t_f qui sont appelés "mismatch" dans les datasheet. Ces temps s'ils sont bien connus, peuvent néanmoins être compensés par la commande éloignée.

Partant de ces contraintes nous allons maintenant faire un bref état de l'art des circuits de commande rapprochés que l'on peut trouver dans la littérature.

B. Etat de l'art

La littérature offre beaucoup d'exemples de circuits de commandes rapprochés destinés à des domaines d'applications plus ou moins larges. Le but ici est de faire un bref état de l'art de solutions qui pourraient correspondre aux contraintes imposées par les eGaN et le cahier des charges de notre convertisseur. On divisera les solutions relevées en deux catégories, en distinguant les commandes en courant des commandes en tension. Ces deux types de commandes ont des fonctionnements assez différents et il est souvent considéré que les commandes en courant sont plus complexes et plus efficaces (rendement).

i. Commandes en tension

a. *Le principe*

Le principe vulgarisé de la commande en tension est d'utiliser un driver pour appliquer une tension continue dans le circuit de grille dans lequel on assiste alors à la charge de la capacité de grille du transistor à travers la résistance de grille. Beaucoup de drivers sont d'ailleurs disponibles et pour les transistors les plus gros on trouve des circuits de grille complets incluant des sécurités comme des limitations en courant ou des protections contre les courts circuits .

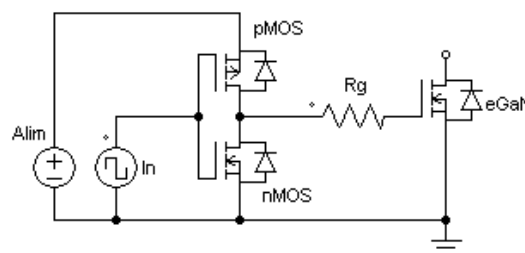


Figure 83 : Push pull inverseur pour commander un egaN

Une des solutions la plus simple pour commander un transistor dont la source est reliée à la masse (et qui illustre bien le principe de la commande en tension) est d'utiliser un push pull inverseur. Le signal de commande arrive sur la grille des deux MOSFETs de commande qui relient alors la grille du composant commandé à la masse ou à la tension d'alimentation. La capacité de grille se charge ou se décharge alors à travers la résistance de grille.

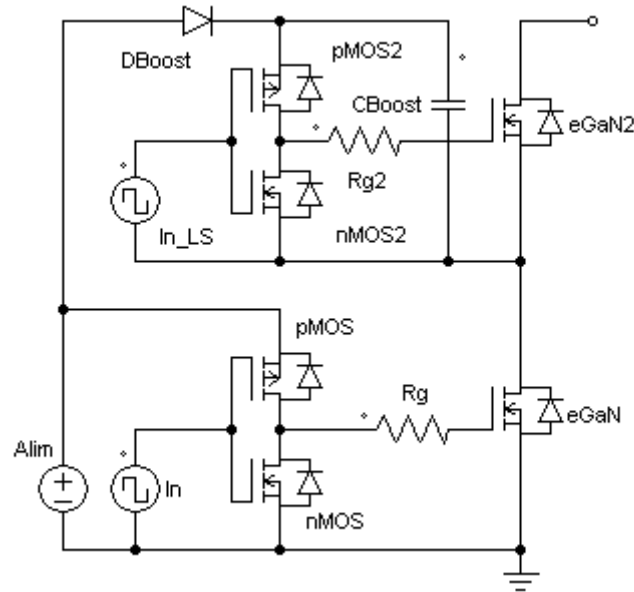


Figure 84 : topologie bootstrap pour la commande de l'interrupteur "high side".

Cette solution qui n'est pas isolée ne peut pas être utilisée tel quel pour commander un composant (high side) dont la source est connectée à un point flottant. Une solution fréquemment utilisée par les fabricants de driver est la topologie "bootstrap". La Figure 84 montre le schéma de la topologie bootstrap associée au push pull présentée juste avant. La partie active pour charger et décharger la grille est la même, mais son alimentation nécessite une diode et une capacité en plus. En effet le transistor high side étant relié à un potentiel flottant, on ne peut pas se servir directement de l'alimentation de commande qui elle est reliée à la masse. La capacité bootstrap sert d'alimentation pour la partie high side, elle se charge lorsque l'interrupteur low side est passant. Dans cette configuration la capacité bootstrap est reliée à la masse, elle est donc chargée par l'alimentation de commande via la diode de bootstrap. Lorsque l'interrupteur low side s'ouvre, la capacité est chargée et peut servir d'alimentation pour la partie high side du driver, et la diode de bootstrap l'empêche de se décharger vers l'alimentation.

Cette topologie a été utilisée par Texas Instruments (TI) pour réaliser un driver (LM5113) destiné aux composants GaN et en particulier à ceux d'EPC

Il est ensuite nécessaire d'isoler le signal de commande pour piloter le push pull du haut. Plusieurs méthodes existent, on peut citer le "level shifter", l'opto coupleur, le transformateur d'impulsion ou la fibre optique .

b. Commande isolée

Intéressons-nous maintenant à des commandes entièrement isolées. Par rapport à la commande de type bootstrap, nous avons besoin d'isoler les signaux et les alimentations de commande. L'une des solutions qui apparaît souvent dans la littérature est l'utilisation de transformateurs d'impulsions. Ils peuvent être utilisés pour transmettre le signal et l'alimentation de commande, de plus, un seul transformateur peut être utilisé pour isoler plusieurs commandes identiques ou complémentaires. Pour cela il suffit de placer plusieurs enroulements au secondaire et d'adapter leur sens de couplage.

Dans le cas de l'utilisation d'un transformateur pour commander un bras comme sur la Figure 85, les tensions grille source des eGaN seront symétriques, ce qui pourrait augmenter les pertes pendant les temps morts. Pour dissymétriser la tension grille source on peut rajouter au secondaire du transformateur une diode et une capacité. La diode servira alors à clamper les tensions négatives. Néanmoins si la tension V_{GSth} des interrupteurs est inférieure à la tension de commande divisée par deux, la dissymétrisation provoquera des courts circuits de bras comme illustré sur la Figure 86.

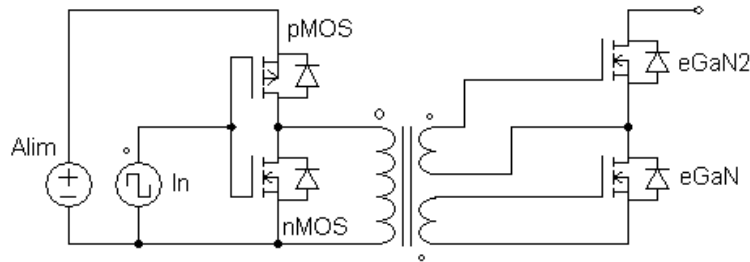


Figure 85 : Isolation des commandes d'un bras par transformateur avec plusieurs enroulements secondaires

Dans une solution utilisant une diode zener est proposée pour réduire légèrement la valeur moyenne d'un des deux signaux et ainsi supprimer ces phases de court-circuit de bras. Néanmoins cette solution semble peu adaptée aux eGaN pour lesquels on souhaite éviter les tensions grille source négatives et dont les tensions de commande sont faibles.

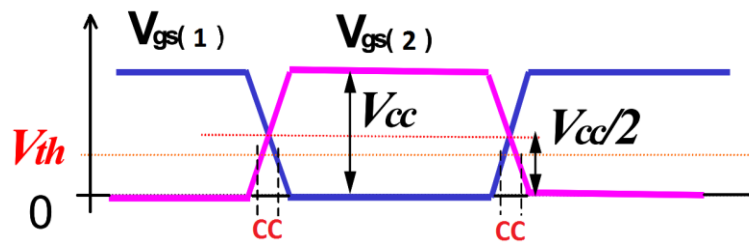


Figure 86 : Court-circuit (CC) de bras engendré par la dissymétrisation des signaux au secondaire du transformateur de commande. V_{cc} =tension de commande

Même si cette solution semble être difficile à utiliser tel quel pour des commandes complémentaires, on peut toujours l'utiliser pour des commandes identiques.

c. Circuit à rétention de charge

Dans le but de réduire les pertes dans le transformateur de commande, on peut placer deux MOSFETs au secondaire qui auront pour but de retenir les charges dans la grille de l'eGaN. Ainsi on ne sera pas obligé de maintenir une tension au primaire du transformateur pour garder la grille chargée, réduisant ainsi l'induction dans le circuit magnétique et donc les pertes.

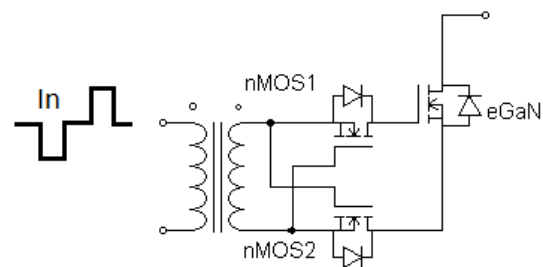


Figure 87 : Principe du circuit à rétention de charge

Le schéma de principe du circuit à rétention de charge est représenté sur la Figure 87. Le transformateur est attaqué par un signal trois niveaux. Lorsque la tension secondaire est positive, la grille de nMOS2 se charge et il se ferme, un courant circule alors dans la diode de nMOS1, charge la grille de l'eGaN puis reboucle par nMOS2. Une fois la grille de l'eGaN chargée, la tension d'entrée devient nulle, il en est alors de même pour la tension secondaire. La grille du nMOS2 se décharge et il se bloque, la tension de grille de l'eGaN est supérieure à celle de l'enroulement secondaire mais la diode de nMOS1 l'empêche de se décharger dans l'enroulement. La grille de l'eGaN est alors maintenue chargée, mais la tension sur les enroulements du transformateur est nulle réduisant ainsi l'induction dans le circuit magnétique.

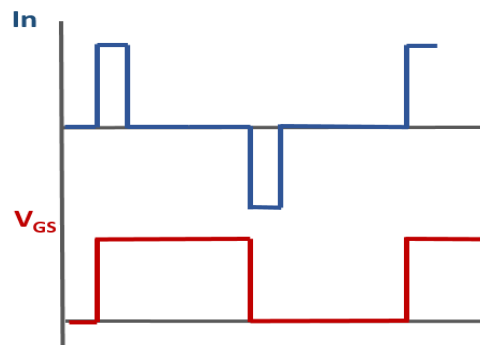


Figure 88 : formes d'ondes correspondant au fonctionnement de la commande à rétention de charge

ii. Commande en courant

a. *Le principe*

Les commandes en courant aussi appelées commandes à résonance consistent à charger une inductance couplée ou non puis à la faire entrer en résonance avec la capacité de grille pour la charger. Certaines topologies permettent de récupérer en partie les charges en les renvoyant vers l'inductance, l'alimentation ou dans la grille d'un autre transistor. Ce type de commande est utilisé dans le but de réduire les pertes dans les circuits de commande mais ils sont aussi en général plus complexes.

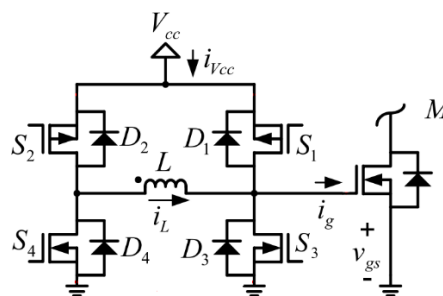


Figure 89 : Exemple de commande en courant

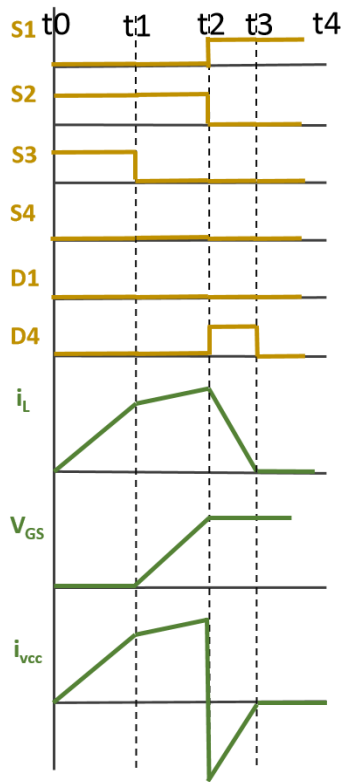


Figure 90 : Chronogramme de la phase de charge.
Interrupteur passant=1,
interrupteur bloqué=0

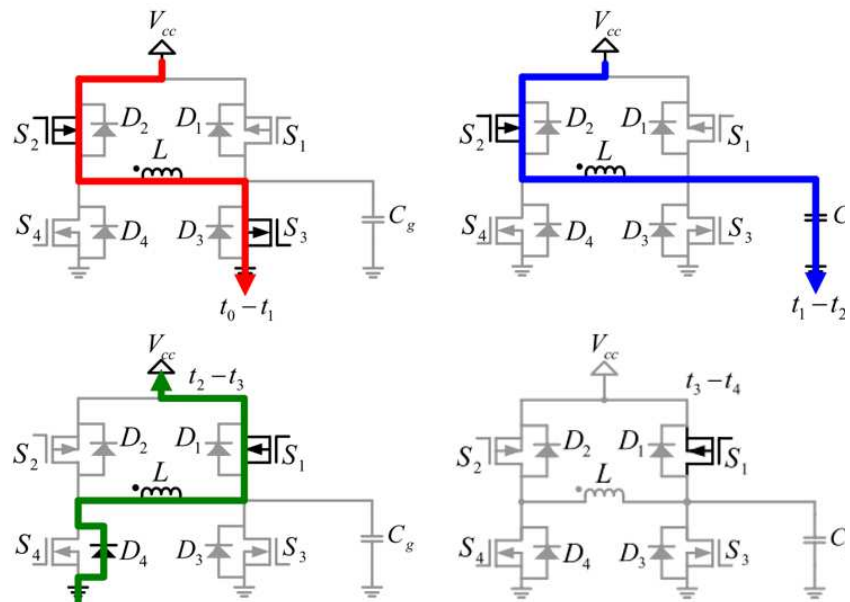


Figure 91 : Schéma des quatre phases de charge

Pour illustrer le fonctionnement d'une telle commande nous allons décrire brièvement le fonctionnement de la commande en courant dont le schéma est représenté sur la Figure 89 .Les différentes phases de fonctionnement pour la charge de la grille sont représentées sur le chronogramme de la Figure 90 et les schémas correspondants sur la Figure 91.

- Pour charger la capacité C_g , on commence par magnétiser l'inductance L (t_0-t_1).
- Une fois qu'elle est suffisamment magnétisée on ouvre S_3 , le courant passe alors par la capacité C_g et la charge. Durant cette phase, le courant qui charge C_g est principalement imposé par l'inductance même si l'alimentation de commande y participe. Le courant pendant cette phase n'est pas constant mais augmente. Contrairement à un circuit de commande en tension la valeur du courant lorsqu'on commence à charger C_g n'est pas nulle.
- Une fois que la tension aux bornes de C_g a atteint V_{cc} S_2 est ouvert et S_1 fermé. L'inductance se démagnétise alors dans l'alimentation de commande.
- Lorsque l'inductance est démagnétisée, S_1 est laissé fermé pour maintenir la tension V_{cc} sur C_g .

Dans la théorie cette commande est très efficace, néanmoins en termes de réalisation, elle est complexe. En effet, la durée des différentes phases doit être précise, et nécessitera probablement l'utilisation d'une commande éloignée numérique pour générer les quatre PWM différentes nécessaires pour, au final, piloter un seul transistor. L'avantage de cette commande, du point de vue de la tension limite sur la grille, est que la diode D1 clamera les surtensions si besoin. La tension maximal aux bornes de C_g sera donc égale à V_{cc} plus la tension de seuil de D1.

b. Commande en courant isolée

Des exemples peuvent être trouvés dans la littérature mais nous présenterons uniquement la commande développée pendant la thèse de J.M. Jarousse . La Figure 92 montre le schéma de cette commande.

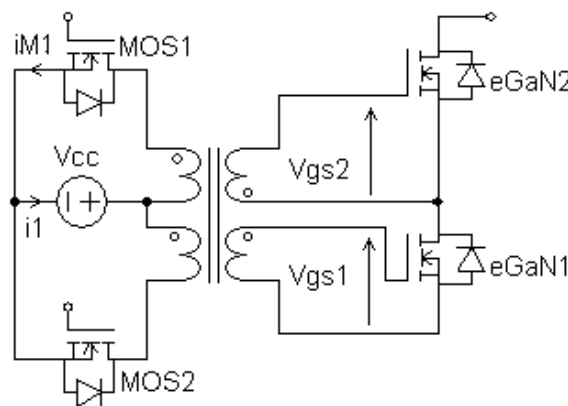


Figure 92 : Schéma de la commande en courant isolée

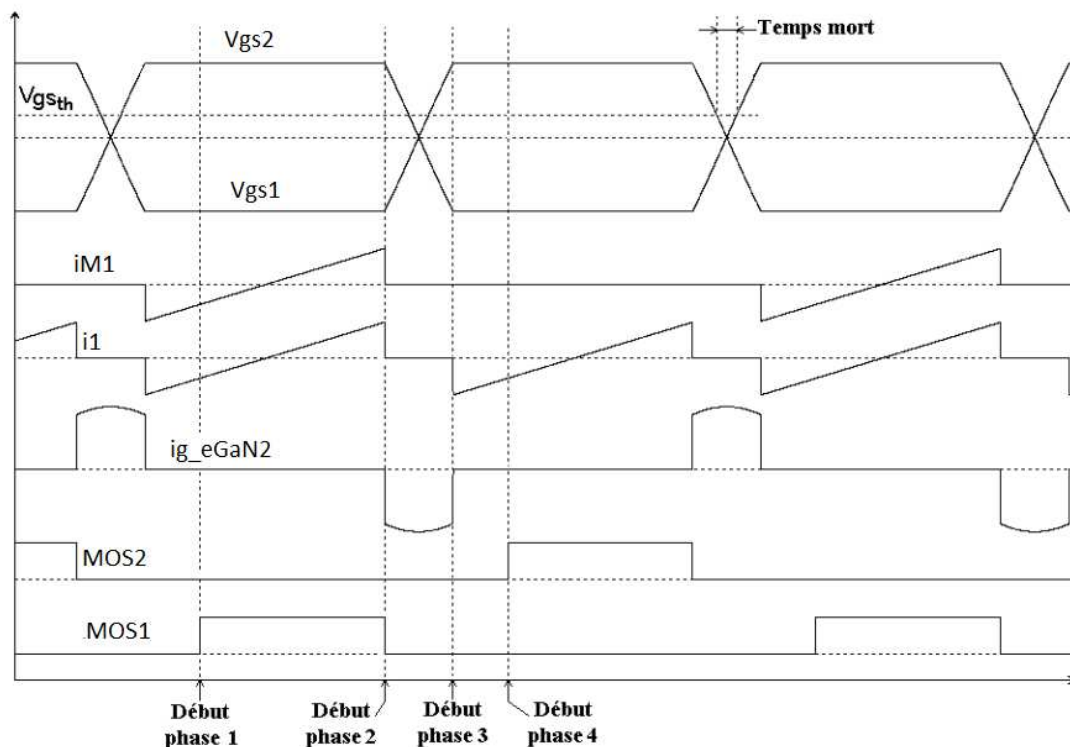


Figure 93 : Chronogramme du fonctionnement de la commande isolée .

Le chronogramme décrivant les différentes phases de fonctionnement est représenté sur la Figure 93 :

- La phase 1 débute lorsque le MOS1 devient passant, la tension aux bornes de l'enroulement primaire est donc égale à $-V_{cc}$, de plus, l'inductance magnétisante du transformateur se charge, le courant i_1 augmente donc.
- On ouvre le MOS1 (phase 2), le courant est alors imposé par l'inductance magnétisante qui inverse alors les tensions aux bornes des deux eGaNs que l'on pilote.
- Une fois que les grilles de ces deux composants sont chargées ou déchargées, c'est-à-dire lorsque la tension à leurs bornes a atteint V_{cc} ou $-V_{cc}$, la diode du MOS2 clampe les surtensions (phase 3). Le courant imposé par l'inductance magnétisante ne circule donc plus au secondaire mais au primaire, où il repart vers l'alimentation (concrètement vers la capacité de découplage de l'alimentation)
- On ferme ensuite le MOS2, l'inductance magnétisante fini de se décharger, puis se charge dans l'autre sens. La tension grille source des eGaNs est maintenue.

Cette commande en courant isolée est simple (seulement deux interrupteurs à commander) et empêche la tension des grilles de monter au-delà d'une certaine limite, néanmoins elle ne fonctionne que pour un rapport cyclique fixe de 0.5 et les signaux de grille sont symétriques. Une version avec des signaux dissymétrisés est aussi proposée (dans la même thèse) mais elle ne permet plus de commander deux interrupteurs de façon complémentaire comme ici et nécessite de placer d'autres composants au secondaire.

iii. Rapidité et consommation des commandes

D'après ce qui est dit dans la littérature, les commandes en courant doivent permettre de réduire la consommation des circuits de commande. Essayons de voir ici dans quelle proportion et à quelles conditions cela est vrai. Pour cela, nous allons supposer que le courant de charge dans le cas d'une commande en courant est constant (égale à I) et nous modéliserons la grille du transistor piloté, par la capacité C_{iss} (que nous appellerons C). Nous définirons la tension de commande V , la fréquence de fonctionnement f , la résistance de grille R et le temps de charge de la grille t .

Une différence fondamentale entre la commande en courant et la commande en tension, est que t est limité par R dans le cas de commande en tension alors qu'il est limité par I pour la commande en courant. R étant minorée par la résistance de grille intrinsèque du transistor piloté, on peut trouver un minorant à la vitesse de charge (pour la commande en tension). En considérant notre circuit de commande équivalent à un circuit RC, la constante de temps est RC et la valeur de t minimal (pour une charge à 95%) est égale à $3RC$. En revanche il n'y a pas de temps de charge minimal pour une commande en courant.

Regardons maintenant les puissances minimales dissipées avec nos deux types de commandes pour charger une même grille. Les formules pour les puissances consommées sont données par l'Eq. 7 et l'Eq. 8 pour la commande en courant.

$$P_v = C.V^2.f \quad \text{Eq. 7}$$

$$P_i = \frac{2R.f.(C.V)^2}{t_i} \quad \text{Eq. 8}$$

Pour la commande en tension la puissance consommée correspond aux pertes joules pendant les charge et décharge de C. Dans le cas de la commande en courant, les pertes joules sont définies par le courant de charge ainsi que la valeur de la résistance. En considérant la charge de grille $Q_g = C.V = t.i$ on peut définir la puissance consommée en fonction du temps de charge de la grille.

Comparons maintenant les deux puissances définies précédemment en fonction du temps de charge de la grille. Pour la commande en tension le temps de charge est défini par R et C, on aura donc d'après nos formules une valeur constante de P_v en fonction du temps de charge mais avec une limite inférieure du temps de charge égale à $3RC$ (charge à 95%). Pour notre exemple, nous considérerons la charge d'un EPC2001 avec $C=850\text{pF}$ avec $V=5\text{V}$, $f=1.5\text{MHz}$ et dans un cas idéal la résistance du driver sera nulle, nous aurons alors $R=0.6\Omega$ (résistance intrinsèque de la grille de l'EPC2001).

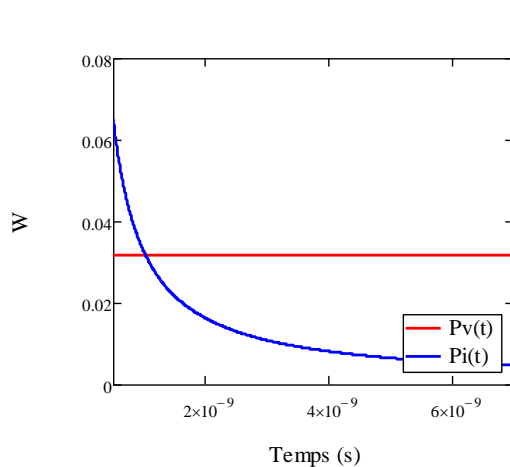


Figure 94 : P_v et P_i en fonction de t

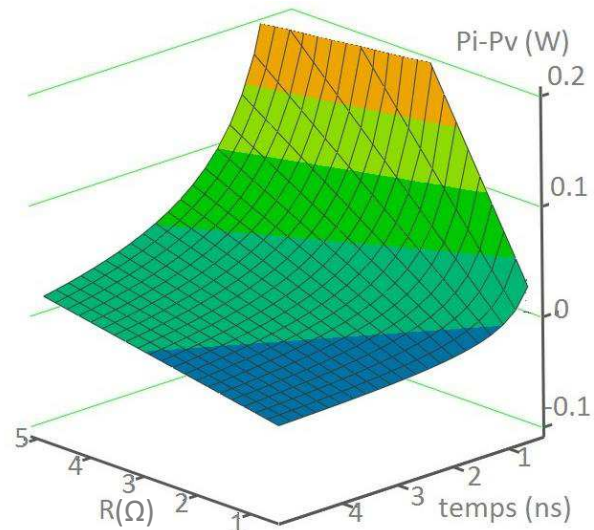


Figure 95 : $(P_i - P_v)$ en fonction de t et R

La Figure 94 montre l'évolution de P_i et P_v en fonction de t et fait apparaître un croisement entre les deux courbes pour $t=1\text{ns}$. P_i dépendant aussi de R , on trace sur la Figure 95 la différence $P_i - P_v$ en fonction de t et de R et on voit en bleu le domaine dans lequel P_i est inférieure à P_v . Néanmoins dans le cas de notre exemple, le temps de charge minimal de la

grille pour la commande en tension est égale à $3RC=1.5ns$, donc dans tous les cas P_i sera inférieur.

Le rapport P_i/P_v est défini par l'Eq. 9 et fait intervenir la résistance du circuit de grille, la capacité de grille et le temps de charge de la grille. Si on considère qu'il faut un temps égal à $3RC$ pour charger la grille dans le cas de la commande en tension, cela veut dire que la commande en courant présente moins de pertes seulement si elle charge la grille en un temps supérieur à $2/3$ du temps de charge en tension (donc seulement si $t_i > 2t_v/3$).

$$\frac{P_i}{P_v} = \frac{2 \cdot R \cdot C}{t_i} \quad \text{Eq. 9}$$

L'exemple proposé permet de comparer les pertes minimales des deux types de commande, néanmoins il est très simplifié. En effet il ne prend en compte que les pertes par conduction dans la résistance de grille intrinsèque du transistor piloté. On ne prend pas en compte les pertes par conduction dans les transistors de commande, qui, dans le cas de la commande en courant ont un impact, d'autant plus si on rajoute les phases de charge et de décharges de l'inductance. En ce qui concerne les deux types de commande, on n'a pas pris en compte les pertes par commutation dans les transistors de commande.

C. Les tests

Nous nous sommes orientés vers une commande en tension car ce type de commande est plus simple à dimensionner. Nous verrons vers la fin de ce chapitre un dimensionnement et une mise en application de la commande en courant présentée précédemment ainsi que les problèmes rencontrés.

Pour certains de nos tests nous avons remplacé le composant GaN à piloter par un ensemble capacité-résistance en série. Cela nous a permis de travailler sans risque de casse.

i. Commande avec transformateur à multiples enroulements secondaires

La première solution testée utilise un driver type push-pull et un transformateur à deux enroulements secondaires pour piloter deux transistors avec le même signal de commande. On utilisait au secondaire une diode et une capacité pour dissymétriser les signaux (Figure 96).

Les résultats en simulation de cette topologie de commande sont donnés par les Figure 97 et 98. Etant donné le caractère inductif du transformateur (inductances de fuites) et des pistes, on peut s'attendre à avoir des oscillations (trop) importantes.

Dans le but de réduire ces oscillations et de les rendre acceptables pour les eGaN ($V_{GSmax} < 6V$), nous allons étudier plusieurs solutions.

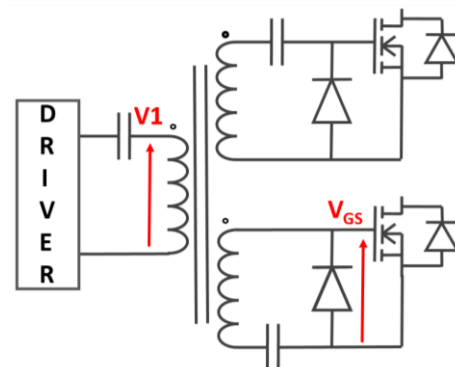


Figure 96 : Schéma du circuit de grille avec deux enroulements secondaires

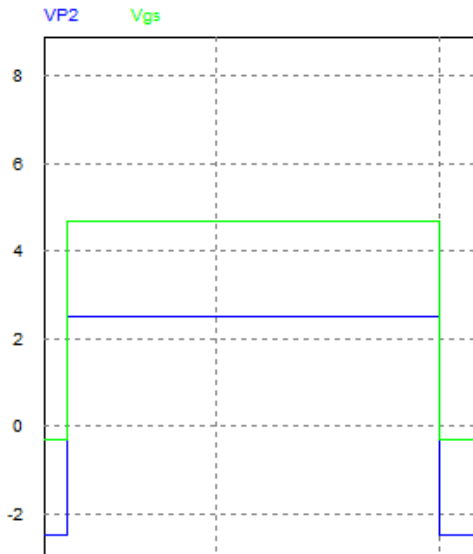


Figure 97 : Résultat attendu d'après le schéma (VP2=V1 dans Figure 96)

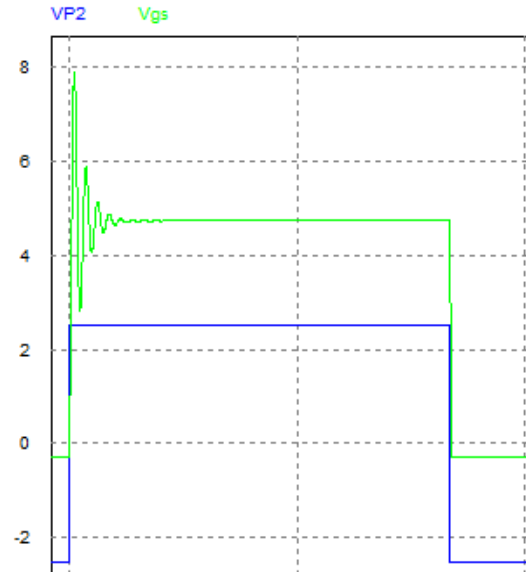


Figure 98 : Résultat obtenu en considérant une inductance de fuite de 2nH (VP2=V1 dans Figure 96)

ii. Ecrêteur

Les éléments inductifs du circuit de commande que nous avons proposés sont répartis entre le transformateur et les pistes primaire et secondaire. Nous allons essayer de réduire l'amplitude des oscillations en plaçant un système écrêteur (Figure 99) au plus près de la grille.

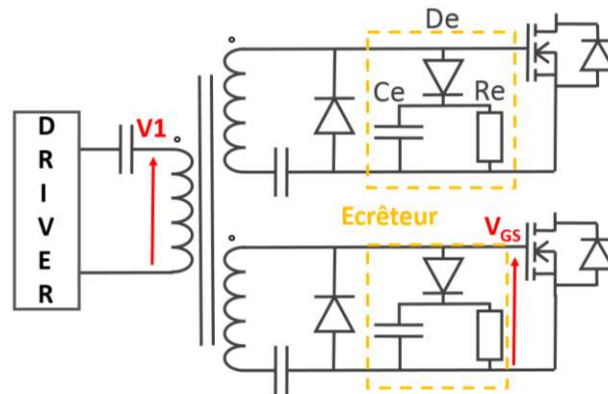


Figure 99 : Circuit de commande avec écrêteur

Ce système est constitué d'une diode, d'une résistance et d'un condensateur. La tension aux bornes du condensateur reste toujours aux alentours de la tension de commande de la grille. Son fonctionnement lors de la charge de la grille peut être divisé en trois parties :

- Pendant la première phase on commence à charger la grille, la tension aux bornes de la capacité C_e est alors supérieure à V_{GS} . Donc la diode de l'écrêteur est bloquée et le circuit de grille se comporte comme en l'absence du réseau Re-De- C_e . C_e se décharge lentement dans Re .
- La deuxième phase commence lorsque la tension V_{GS} devient supérieure à la tension aux bornes de C_e augmenté de la tension de seuil de De . Donc C_e se

retrouve alors en parallèle de la capacité de grille. On entre dans une phase de résonance entre $C_e + C_{iss}$ et l'inductance du circuit, alors que sans l'écrêteur elle se serait faite entre la même inductance et C_{iss} . Une capacité plus grande fait décroître l'amplitude des oscillations ainsi que leur fréquence.

- Après la première oscillation, le courant dans la capacité devient négatif et D_e se bloque. A nouveau C_e se décharge lentement dans R_e . On retrouve alors une résonance entre l'inductance du circuit et C_{iss} , mais cette fois la tension d'excitation de notre circuit résonant n'est plus égale à V_{cc} (tension de commande) mais à $V_{cc} - V_{GS3}$ (avec V_{GS3} la tension grille source au moment où D_e se bloque, ce qui marque le début de la phase 3).

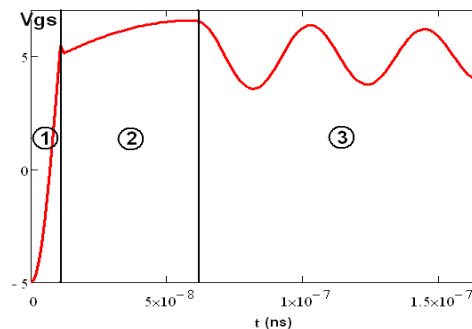


Figure 100 : Décomposition des trois phases lors de la charge de la grille, sans dissymétrisation.

Le résultat de simulation sur la Figure 100 illustre les trois phases composant la charge de la grille. Les résultats expérimentaux sont présentés sur les Figure 101 et 102 sans dissymétrisation, en remplaçant les grilles des eGaN par une capacité et une résistance. Les oscillations sont fortement réduites passant de 8V à 0,5V et sont donc acceptables pour la grille des eGaN.

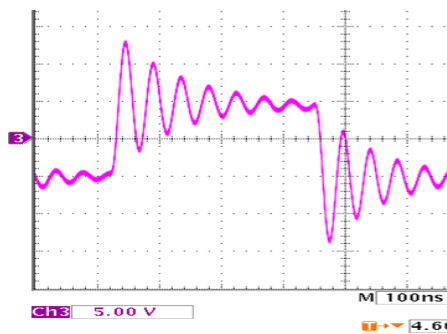


Figure 101 : Forme d'onde sans écrêteur

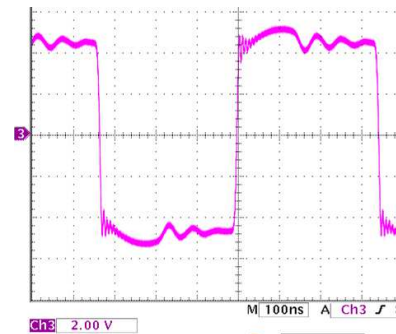


Figure 102 : Forme d'onde avec écrêteur

Parmi les contraintes définies précédemment, il n'y a que la puissance consommée qui ne correspond pas à nos attentes. Pour atténuer les oscillations à 0.5V avec une inductance de circuit de grille de 20nH (inductances de fuite du transformateur, pistes et boîtiers), la puissance consommée par un écrêteur seul serait de 0.3W (prise en compte du courant de charge de la grille à travers D_e et décharge de C_e dans R_e) dans le cas présenté sur la Figure 99. Cela représenterait, pour 6 interrupteurs à commander, une puissance de 1.2W soit 1.2% de rendement à la puissance nominale de notre convertisseur. Cette valeur étant trop importante, on cherche alors un moyen de la réduire.

iii. Circuit à rétention de charge

Dans le but de réduire la consommation de l'écrêteur on veut utiliser un circuit à rétention de charge, on pourrait ainsi transmettre au secondaire du transformateur de commande uniquement des impulsions. La largeur de ces impulsions serait assez importante pour couvrir la phase 1 (pendant laquelle on charge V_{GS}) de l'écrêteur et limiter le plus possible la phase 2 (phase pendant laquelle l'écrêteur agit). L'écrêteur serait ainsi moins dissipatif et de plus on réduirait les pertes fer dans la ferrite. Le schéma est présenté sur la Figure 103.

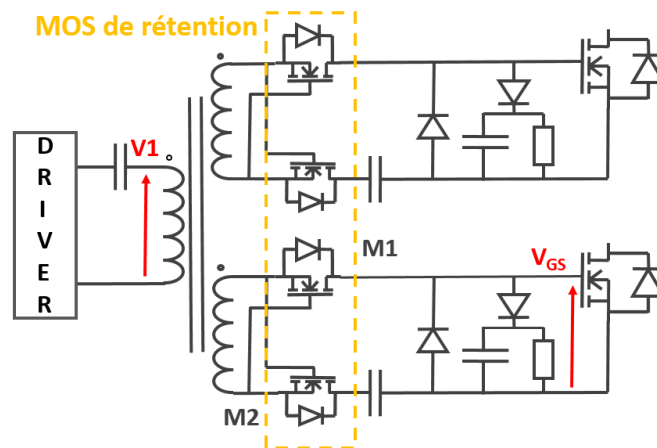


Figure 103 : Circuit de grille avec dissymétrie, écrêteur et les MOS de rétention de charge

Le circuit à rétention de charge consiste à envoyer une impulsion sur la grille pour la charger et à arrêter l'impulsion juste après. On utilise alors deux MOSFETs pour maintenir la grille chargée. Les MOSFETs sont pilotés par l'impulsion elle-même, le courant de grille passe alors dans l'un des MOS et dans la diode de l'autre.

Le circuit à rétention de charge a été testé sans dissymétrie. La forme d'onde de V_{GS} est visible sur la Figure 104. Sans dissymétrisation on a des alternances positives et négatives et pendant chaque alternance on distingue deux paliers au lieu d'un seul. L'impulsion que l'on envoie charge la grille à 4.5V, puis lorsque l'impulsion s'arrête, la tension de grille diminue pour se stabiliser à un peu plus de 2V.

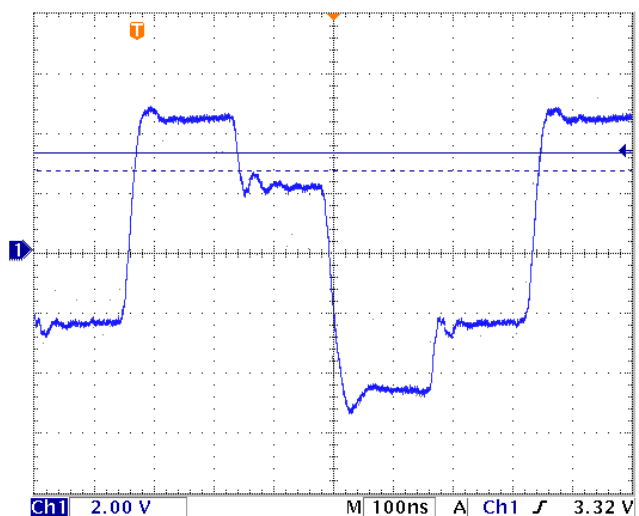


Figure 104 : forme d'onde de V_{GS} avec un circuit de commande à rétention de charge.

En considérant les capacités parasites des MOSFETs, on arrive à expliquer facilement l'existence d'une chute de tension. Reprenons le schéma de la Figure 103 avec les capacités parasites des MOSFETs de rétention et sans la dissymétrie et l'écriteur. Nous voyons alors

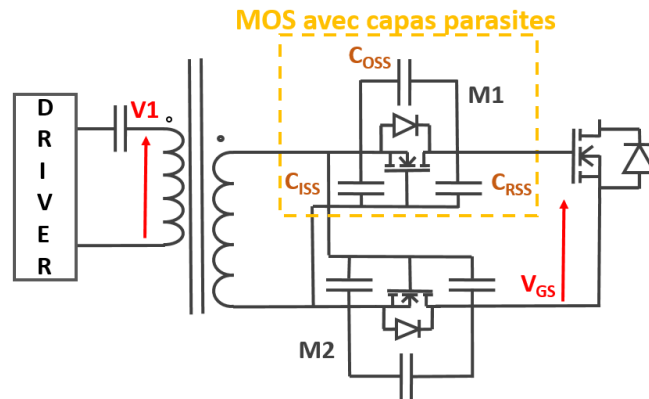


Figure 105 : Circuit à rétention de charge simplifié avec prise en compte des capacités parasites des MOSFETs de rétention.

sur la Figure 105 comment se placent ces capacités parasites dans le circuit. Si on prend le cas d'une impulsion V1 positive, la grille de M2 sera alors chargée positivement et celle de M1 négativement. Un courant s'établira au secondaire et circulera par M2 et la diode de M1. V_{GS} augmentera alors jusqu'à atteindre la tension de commande moins la tension de seuil de la diode. Lorsque l'impulsion se termine, la tension V1 diminue jusqu'à atteindre 0V et la diode de M1 se bloque lorsque la tension secondaire du transformateur devient inférieure à V_{GS}. Le blocage de la diode provoque l'augmentation de la tension aux bornes de M1 et donc la charge de C_{oss} en parallèle avec C_{iss} et C_{rss} en série. Or, les charges nécessaires ne sont pas fournies par le primaire puisque l'impulsion est terminée, c'est donc la grille de l'interrupteur de puissance qui se décharge pour les fournir. Donc, à la fin de l'impulsion, on verra la tension V_{GS} diminuer. Si on prend V_{GS0} la tension de V_{GS} juste avant la fin de l'impulsion, C_{GS} la capacité de grille de l'interrupteur de puissance et C₁ la capacité équivalente à C_{oss} en parallèle avec C_{rss} et C_{iss} en série, la valeur V_{GS1} de V_{GS} après l'impulsion est alors définie par Eq. 10.

$$V_{GS1} = V_{GS0} \cdot \frac{C_{GS}}{C_{GS} + C_1} \quad \text{Eq. 10}$$

Pour connaître l'écart existant entre V_{GS1} et V_{GS0} il faut connaître les valeurs des capacités parasites des MOSFETs de rétention. Dans notre test expérimental nous avons C_{GS}=850pF, C_{iss}=80pF, C_{rss}=30pF et C_{oss}=40pF, pour V_{GS0}=4.5V on obtient alors V_{GS1}=4.15V. L'écart est donc de 0.35V entre la tension imposée pendant l'impulsion et la tension qu'il reste après la décharge partielle dans les capacités parasites. Cet écart, bien que relativement important, reste bien inférieur à celui que nous avons observé en pratique.

Les Figure 106 et 107 montrent les résultats en simulation des formes d'ondes de l'impulsion d'entrée et de la tension V_{GS} dans deux cas différents. Dans le premier cas, les tensions V_{GSth} des interrupteurs de rétention sont égales à 1.1V alors que dans l'autre elles sont égales à 3V. Cet écart n'affecte pas ce qui a été décrit précédemment mais il rend les interrupteurs plus sensibles aux perturbations sur leur grille.

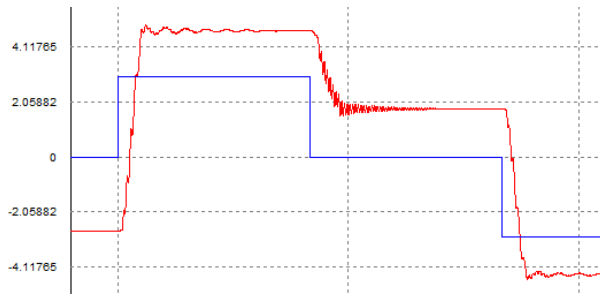


Figure 106 : Simulation du circuit avec V_{GSth} des MOSFETs de rétention égale à 1.1V

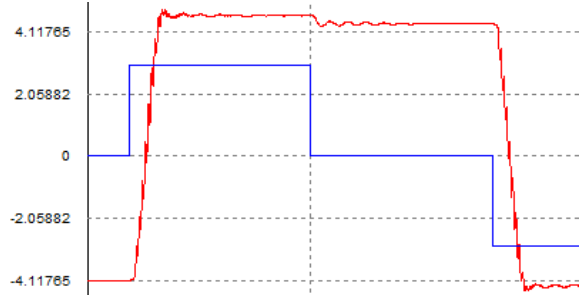


Figure 107 : Simulation du circuit avec V_{GSth} des MOSFETs de rétention égale à 3V

Les inductances de piste et l'inductance de fuite du transformateur sont à l'origine de nos efforts sur l'architecture du circuit de grille mais se sont ces mêmes inductances qui nous posent à nouveau problème. En effet, si l'on reprend le cas d'une impulsion V1 positive lorsque l'impulsion est terminée et que la diode de M1 se bloque, l'inductance est libre de résonner avec les capacités de grille des MOSFETs de rétention (Figure 108). Suivant la valeur de V_{GSth} et l'amplitude des oscillations sur leur grille, M1 et M2 vont alors s'ouvrir et se fermer plusieurs fois de façon complémentaire. La complémentarité de ces opérations évitera une décharge brusque et totale de C_{GS} , néanmoins chaque ouverture de M1 nécessitera la charge de ses capacités parasites par C_{GS} et donc une décharge plus importante de C_{GS} .

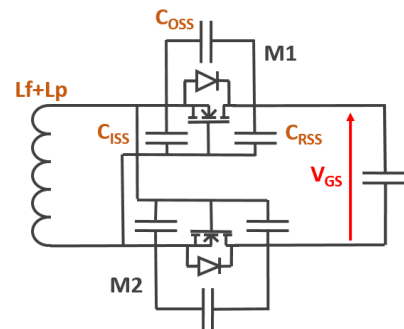


Figure 108 : Circuit simplifié du circuit de grille à la fin de l'impulsion

Une solution simple serait d'utiliser des MOSFETs avec une tension de seuil plus importante pour augmenter l'immunité aux oscillations. Néanmoins lorsque l'on regarde les composants ayant des capacités parasites faibles on remarque que les tensions de seuil sont de l'ordre de 1V voire même inférieures. De plus, en rajoutant des composants entre le driver au primaire du transformateur et la grille du transistor de puissance, on augmente l'inductance entre les deux, ce qui a pour conséquence de ralentir l'établissement du courant dans le circuit de grille et donc de ralentir les commutations. On décide donc de changer à nouveau la topologie au secondaire du transformateur.

iv. Commande par propagation

Dans le but de minimiser l'inductance parasite entre la grille à piloter et le driver, on place un driver au secondaire du transformateur. Pour que cela fonctionne il faut reconstituer une alimentation au secondaire. La Figure 109 montre le circuit obtenu avec un seul circuit secondaire. On utilise C1 et D1 pour dissymétriser le signal et C2 et D2 pour reconstituer une alimentation DC sur C2. On peut alors placer le driver secondaire au plus proche du transistor de puissance et les inductances parasites restantes sont celles des pistes et des boîtiers.

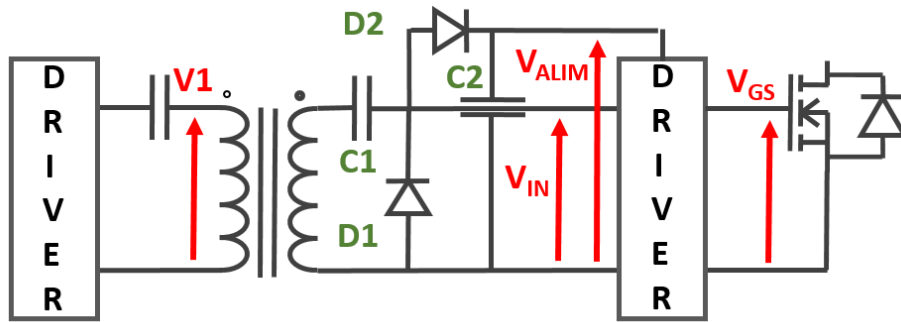


Figure 109 : Circuit de grille avec un driver au secondaire

Or, comme nous l'avons vu dans le paragraphe "Calcul de l'amplitude des oscillations" l'inductance du boîtier SO-8 de l'EL7158 est déjà trop importante et ce composant n'existe pas dans un boîtier moins inductif. Les performances de ce driver étant intéressantes, on décide de modifier le circuit pour limiter l'amplitude des oscillations. Pour cela on scinde C2 en deux capacités (C_{2a} et C_{2b}) avec des valeurs différentes et on rajoute une diode D3 pour éviter la résonance entre C_{2b} et C_{GS} (Figure 110). Le but est d'avoir une charge de grille en deux étapes avec deux dynamiques différentes. L'inductance parasite L_{para2} sera minimisée et L_{para1} sera adaptée pour ralentir l'effet de C_{2a} . C_{2a} aura une valeur similaire à C2 (capacité de découplage dans le cas classique) et C_{2b} sera de faible valeur. Ainsi dans le cas de la charge de C_{GS} , L_{para2} étant faible, C_{2b} chargera rapidement la grille mais, étant de faible valeur, la tension à ses bornes diminuera, limitant ainsi le pic en tension aux bornes de la grille. Puis dans un deuxième temps, C_{2a} (dont l'influence est ralentie par L_{para1}) recharge C_{2b} et finit de charger C_{GS} jusqu'à la tension de commande V_{ALIM} .

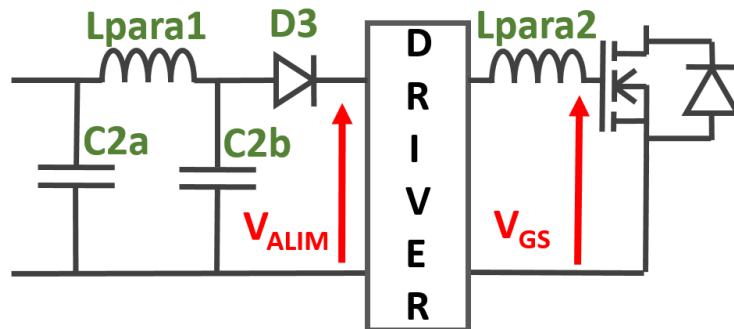


Figure 110 : Capacité de découplage scindée et inductances parasites

Les essais ont été réalisés en utilisant une capacité de 470pF à la place des eGaN, $C2=C2a=1\mu F$ et $C2b=10nF$. On distingue sur la Figure 111 l'effet des deux capacités de découplage. La grille est d'abord chargée rapidement à une tension inférieure à celle de la tension d'alimentation puis elle finit d'être chargée avec une dynamique bien plus lente. Sans résistance de grille et pour une tension d'alimentation de 5V, le pic en tension sur la grille est de 0.4V. La Figure 112 montre que la tension aurait dépassé les 7V en utilisant uniquement C2. De plus la rapidité de charge de C_{GS} est très proche. On arrive donc à conserver la raideur des fronts tout en réduisant l'amplitude du pic de tension.

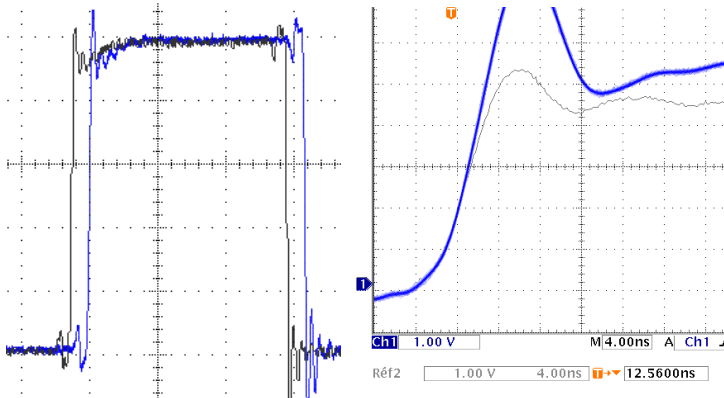


Figure 111 : V_{GS} en utilisant la commande avec C_{2a} et C_{2b} , avec une résistance de 10hm (à gauche) et sans. 1V/div

Figure 112 : Comparaison de V_{GS} en utilisant uniquement C2 (Ch1) ou $C_{2a}+C_{2b}$ (Réf2).

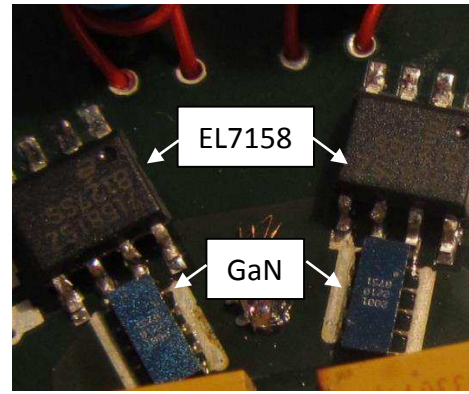


Figure 113 : Exemple de montage d'EL7158 pour commander des eGaN.

L'encombrement des boîtiers SO-8 est néanmoins important ainsi que la consommation des EL7158, on va donc maintenant chercher à les remplacer.

v. Remplacement des EL7158 par des montages push pull

Le remplacement des EL7158 par des montages push pull (PP) doit permettre de réduire l'encombrement, l'inductance parasite entre le composant piloté et la commande ainsi que la consommation de la commande. Le PP utilisé se compose d'un MOS N et d'un MOS P. De tels composants avec des tensions de claquage assez faible (20V) sont disponibles dans un seul boîtier de type SOT-563 ou SOT-363 par exemple. Ces boîtiers sont bien plus petits que le SO-8 (Figure 114) et présentent une inductance parasite plus faible. On pourrait donc envisager de piloter la grille des eGaN sans avoir à prendre de précaution particulière concernant les oscillations.

La structure du PP inverseur utilisée est représentée sur la Figure 115. Des capacités et des résistances ont été rajoutées pour que les signaux de grille des deux MOSFETs soient symétriques autour des potentiels des sources (qui sont ici V pour le MOS P et la masse pour le MOS N), ainsi on évitera les courts circuits de bras. La Figure 116 montre les formes d'ondes des signaux de grilles des deux interrupteurs du PP ainsi que l'état bloqué ou passant. La symétrisation des signaux de grille permet d'avoir une zone de temps mort entre les valeurs V_{Gsth} des deux MOSFETs.

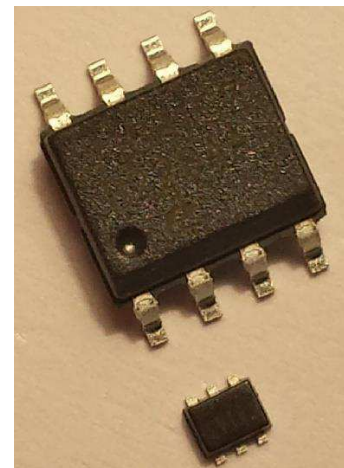


Figure 114 : Boîtiers SO-8 (en haut) et SOT-563 (en bas)

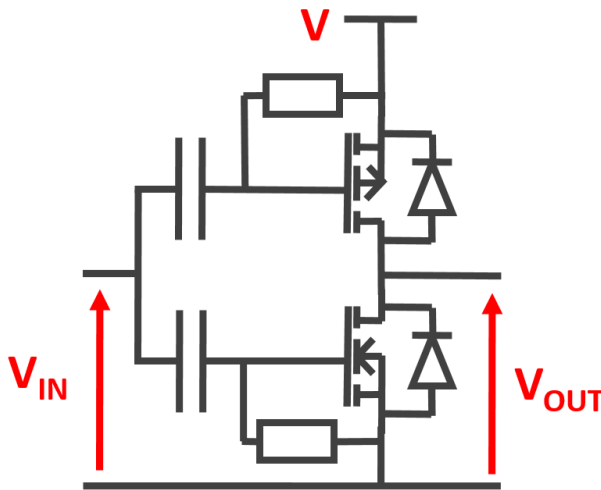


Figure 115 : Structure Push Pull inverseur utilisée pour remplacer l'EL7158.

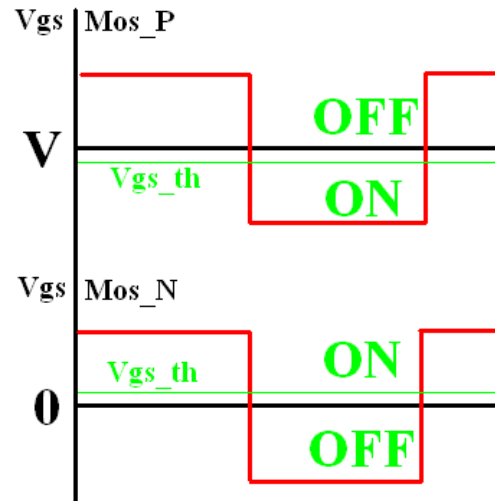


Figure 116 : Signaux de grilles des MOSFETs du PP.

La structure du circuit de commande est légèrement modifiée pour permettre aux MOSFETs du PP secondaire de fonctionner avec un état passant optimal et donc d'avoir des signaux de grille compris entre -5V et +5V. Le rapport de transformation passe alors de 1 à 2, néanmoins, on veut conserver une tension de commande des eGaN à 5V, on reli donc l'anode de D2 à l'autre borne de C1 (Figure 117). Le couple C1-D1 sert à récupérer un signal de commande dissymétrisé et C2 D2 permet d'avoir une alimentation continue.

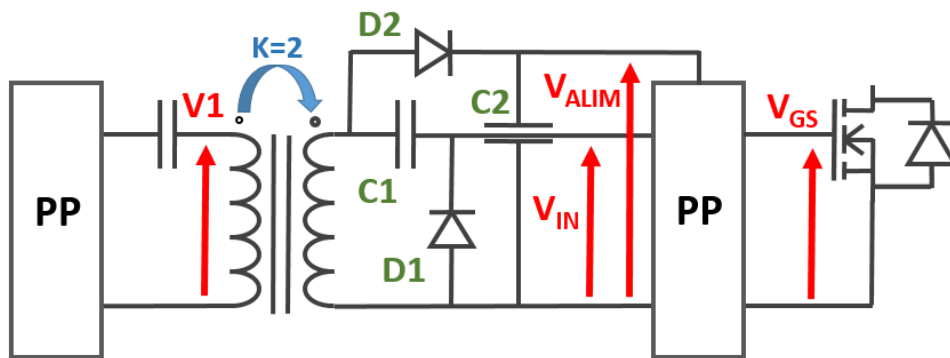


Figure 117 : Circuit de commande utilisant le PP défini précédemment.

Cette configuration (dont les résultats expérimentaux seront présentés un peu plus loin) permet de commander les eGaN sans résistance de grille et avec des oscillations faibles. On peut utiliser plusieurs secondaires pour commander plusieurs eGaN, mais ici encore la commande d'un bras reste délicate en raison de l'impossibilité de gérer les temps morts.

vi. Conclusion et discussion

Nous avons proposé dans cette partie plusieurs circuits de grille et le dernier se montre satisfaisant vis-à-vis de nos critères, notamment en termes d'oscillation et de consommation (les performances pratiques seront présentées plus loin). Néanmoins, nous souhaitons encore améliorer notre circuit pour augmenter la rapidité des signaux et réduire la consommation. En effet, les composants que nous avons utilisés jusque-là sont des composants discrets dont on ne peut optimiser les paramètres. De plus la capacité de découplage du PP est placée en dehors du boîtier des MOSFETs du PP ce qui implique la présence d'inductance parasite entre les deux. Nous allons donc présenter un driver intégré dont nous avons réalisé le design (ce qui nous a permis d'optimiser les paramètres) et qui sera monté en "flip chip" sur notre circuit (dans le but de ne pas rajouter de boîtier et donc d'inductance).

5. DESIGN D'UN CIRCUIT DE COMMANDE INTEGRE POUR LES EGAN EPC

On va dans ce paragraphe étudier et proposer un driver pour les composants GaN d'EPC. Il sera destiné à remplacer les push-pull utilisés précédemment. Pour la topologie, nous nous appuierons sur le travail réalisé pendant la thèse d'Olivier Deleage , et pour le dimensionnement nous avons fait appel aux compétences du Dr Timothé Simonot qui a travaillé pendant sa thèse sur ce type de technologie intégrée et qui maîtrise les logiciels adaptés. Un exemple de driver intégré spécialement conçu pour commander à haute fréquence des composants GaN est proposé dans . Nous allons commencer par présenter la topologie du driver et son fonctionnement puis nous parlerons du dimensionnement que nous avons fait et les résultats expérimentaux seront présentés dans le paragraphe suivant avec ceux des autres commandes.

A. Topologie du driver

La topologie de ce driver est basée sur le push-pull inverseur. Comme précédemment, si on commande directement les grilles des deux MOSFETs avec le signal de commande nous aurons des courts-circuits de bras comme illustré sur les Figure 118 et 119. En effet le bras de MOSFET sera en court-circuit pour des valeurs de V_{IN} comprises entre les deux tensions de seuil ($V_{Gsth_N} < V_{IN} < V + V_{Gsth_P}$).

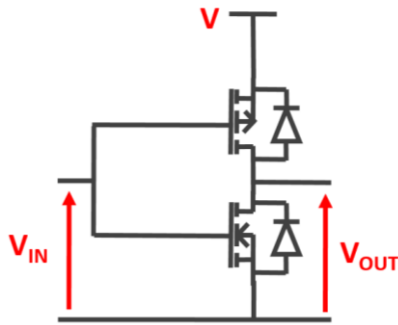


Figure 118 : Push pull inverseur simple

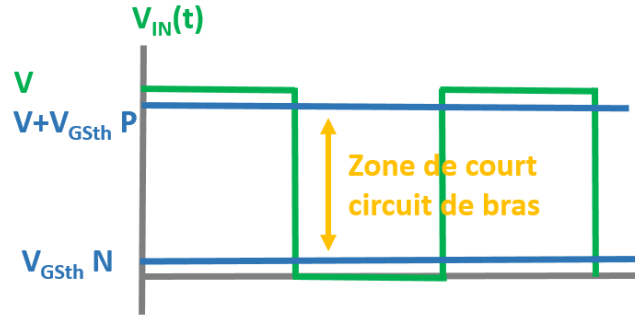


Figure 119 : Courts circuits de bras du push pull simple

Dans le paragraphe précédent, nous avons utilisé deux résistances et deux capacités pour gérer les temps morts mais les capacités sont difficilement intégrables. On utilise alors plusieurs étages push-pull successifs pour commander chacun des MOSFETs de notre étage final (Figure 120) (que nous appellerons par la suite P MOS et N MOS de puissance). On pourra ainsi gérer les temps mort sur l'étage final et le driver aura l'avantage d'avoir une capacité d'entrée faible en comparaison des capacités d'entrée des MOSFETs de puissance.

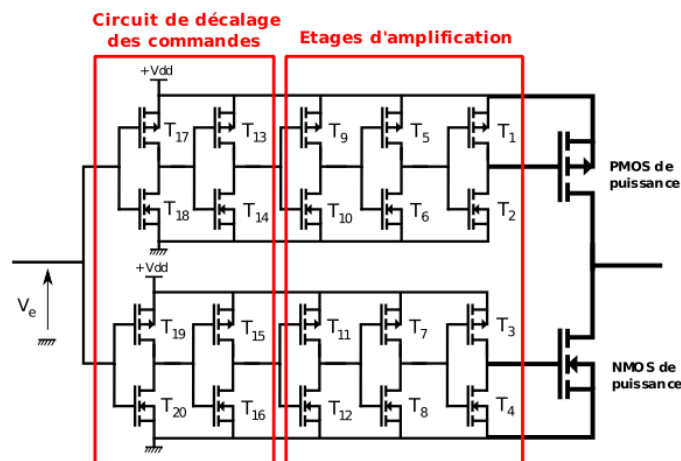


Figure 120 : Topologie du driver utilisé pour notre étude .

La structure est composée de trois étages d'amplification, précédés par un circuit dont le but est de créer des temps de conduction des MOSFETs de puissance distincts pour éliminer les courts-circuits de bras. Cette commande permet donc de fournir le courant nécessaire et d'assurer les temps morts, sans que l'un de ces aspects n'agisse sur l'autre.

Nous allons maintenant décrire le dimensionnement du driver en le divisant en trois parties. Nous commencerons par l'étage de puissance pour finir avec l'étage de décalage.

i. Etage de puissance du driver

Le dimensionnement de cet étage est critique car s'il permet d'obtenir un courant trop important il pourra être trop rapide et on risquera alors de détruire les eGaN. De plus, des MOSFETs surdimensionnés prendront davantage de place sur la puce et seront à l'origine de pertes plus importantes en raison des capacités parasites plus grandes. A l'inverse, un sous-

dimensionnement ne permettra pas d'obtenir des commutations suffisamment rapides des eGaN et sera à l'origine d'une baisse de rendement du convertisseur de puissance.

Il y a donc ici un compromis à trouver entre performance, rendement et sécurité de fonctionnement. Le routage du PCB jouera un rôle important dans le dimensionnement de cet étage car ce sont les inductances des pistes qui limiteront la vitesse de charge et décharge des grilles des eGaN.

ii. 1^{er} étage d'amplification

De même que pour l'étage de puissance, un compromis doit être trouvé entre performance et rendement. Les MOSFETs de cet étage étant commandés par le même signal, on aura des phases de court-circuit. On verra avec le deuxième étage une façon de limiter leur impact.

iii. 2^{ème} étage d'amplification

L'étage d'amplification permet de commander les MOS de l'étage 1 qui peut présenter des courants de court-circuit importants si on n'y fait pas attention. La solution adoptée au niveau des MOS de puissance qui consiste à séparer les commandes du P et du N d'un même bras pourrait être utilisée pour la commande de cet étage, cependant, cela conduirait à une commande complexe. La solution adoptée dans ce dimensionnement consiste à agir sur l'origine du courant de court-circuit. En effet, ce courant indésirable est généré au sein du transistor qui se ferme lors des commutations. L'idée ici n'est pas de créer un temps mort, mais bien de limiter la tension responsable de la sur-intensité de bras. La Figure 121 montre les tensions en entrée et en sortie de l'étage 1 qui permettent cela.

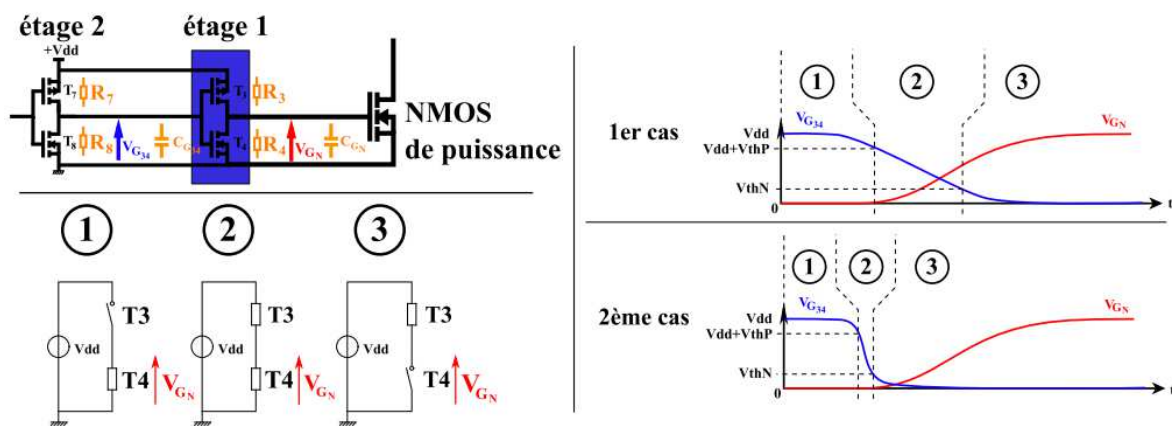


Figure 121 : Illustration relative au fonctionnement de l'étage d'amplification .

Le 1er cas sur la Figure 121 montre une commutation où les dynamiques (évolution des tensions) d'entrée et de sortie de l'étage 1 sont équivalentes. A la fin de la phase 2, où les deux MOSFETs du bras de l'étage 1 sont passants simultanément, la tension de sortie de l'étage 1 (V_{GN}) a eu le temps d'atteindre une valeur relativement élevée, ce qui est à l'origine du court-circuit. Le 2ème cas montre une commutation où la dynamique d'entrée est beaucoup plus importante que celle de sortie, ce qui limite ainsi la tension à l'origine du court-circuit, car le MOS qui se bloque le fait avant que la tension de sortie n'ait eu le temps d'évoluer. En effet, le court-circuit de bras n'est pas uniquement lié à la tension d'alimentation et aux impédances des MOS complémentaires du bras. La tension de sortie du bras de l'étage 1 joue

un rôle important puisqu'elle impose le potentiel aux bornes de l'interrupteur du bas. Si elle est faible à l'échelle de la commutation du bras, peu de courant pourra passer par le transistor du bas, ce qui limitera les effets négatifs du court-circuit.

iv. 3ème étage d'amplification

Le dimensionnement de cet étage est plus simple car ici les MOSFETs sont suffisamment petits pour que le courant de court-circuit soit négligeable. On divise simplement leur taille par rapport à ceux de l'étage précédent.

v. Circuit de décalage

Le circuit de décalage doit permettre de générer des temps morts entre les deux MOSFETs de puissance pour éviter les courts-circuits. On doit donc, à partir de V_e , obtenir deux signaux V_1 et V_2 avec des rapports cycliques inférieurs à 0.5 de façon à ce que l'étage de puissance fonctionne correctement.

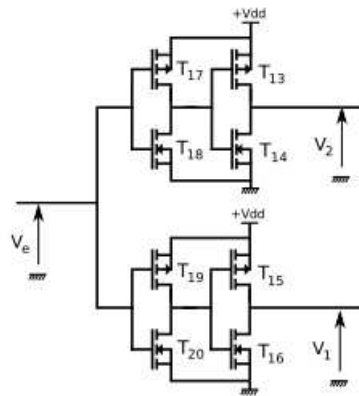


Figure 122 : Circuit de décalage .

Le principe est de retarder la fermeture des MOSFETs de puissance. Pour cela on va dimensionner l'étage d'entrée du driver pour que les signaux sur les grilles du deuxième étage (dernier étage du circuit de décalage) ne soient pas aussi rapides à la montée qu'à la descente. Concrètement, on veut que la tension sur la grille du P MOS de puissance augmente avant celle sur la grille du N MOS de puissance et inversement. Il faut donc que T19 et T18 aient des résistances à l'état passant plus importantes que les autres transistors du même étage.

vi. Paramétrage du dimensionnement

On peut paramétrer la dimension des transistors de l'étage d'amplification en prenant comme paramètre la largeur de grille du N MOS de puissance qui, lui, est dimensionné pour commander efficacement les eGaN. L'étage de décalage est dimensionné en fonction des temps morts nécessaires. On trouve dans une synthèse sur laquelle nous nous appuyons.

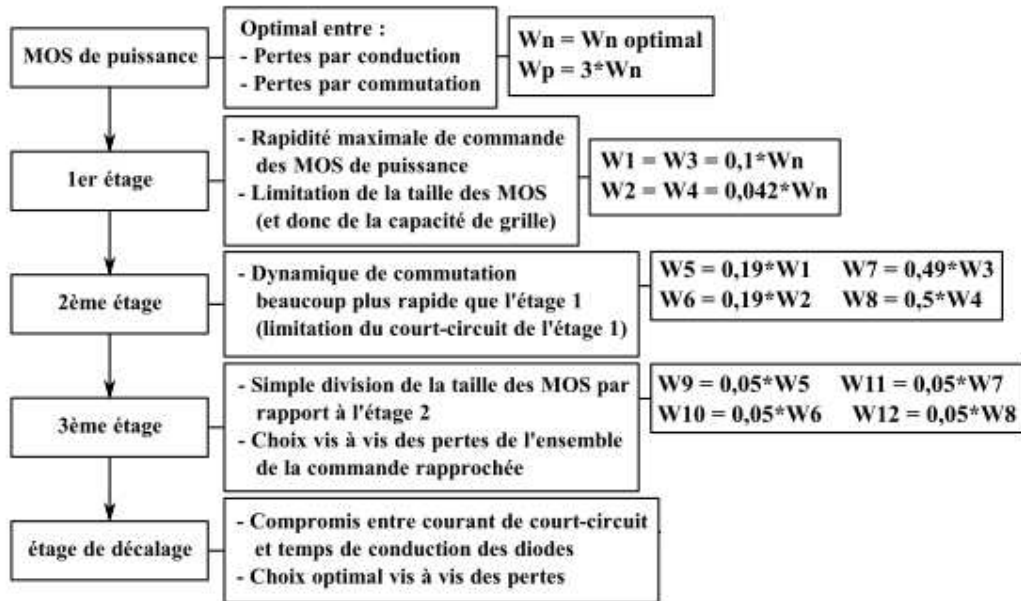


Figure 123 : Synthèse du dimensionnement du driver

B. Dimensionnement du driver

i. Préambule

Notre driver doit être dimensionné pour optimiser les performances en commutation des eGaN, en d'autres termes, on veut minimiser les temps de commutation sans créer de pic de tension dangereux sur les grilles. Pour cela, il faut évaluer l'inductance parasite de notre circuit et avant cela il faut encore savoir quelle sera la géométrie de notre driver.

Pour la fabrication de notre circuit nous nous sommes adressés au CMP (Circuits Multi-Projets) qui propose plusieurs types de technologies. L'interface avec le fondeur est aussi simplifiée et les coûts de prototypage sont réduits en regroupant plusieurs projets différents sur un même wafer. Plusieurs solutions sont aussi proposées pour la mise en boîtier, mais, dans notre cas, nous reporterons les puces en "flip chip" directement sur notre carte. Nous utiliserons la technologie CMOS C35B4M3 pour la fabrication de notre puce et le design sera fait avec Cadence. Les logiciels Cadence permettent de réaliser le design mais également de simuler avec des modèles proches de la réalité. Nous pourrions alors vérifier précisément que le circuit de décalage du driver est suffisant ou que les oscillations sur la capacité de grille de nos eGaN ne sont pas trop importantes.

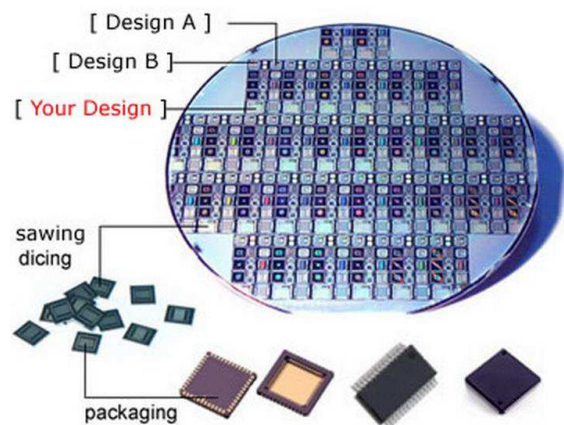


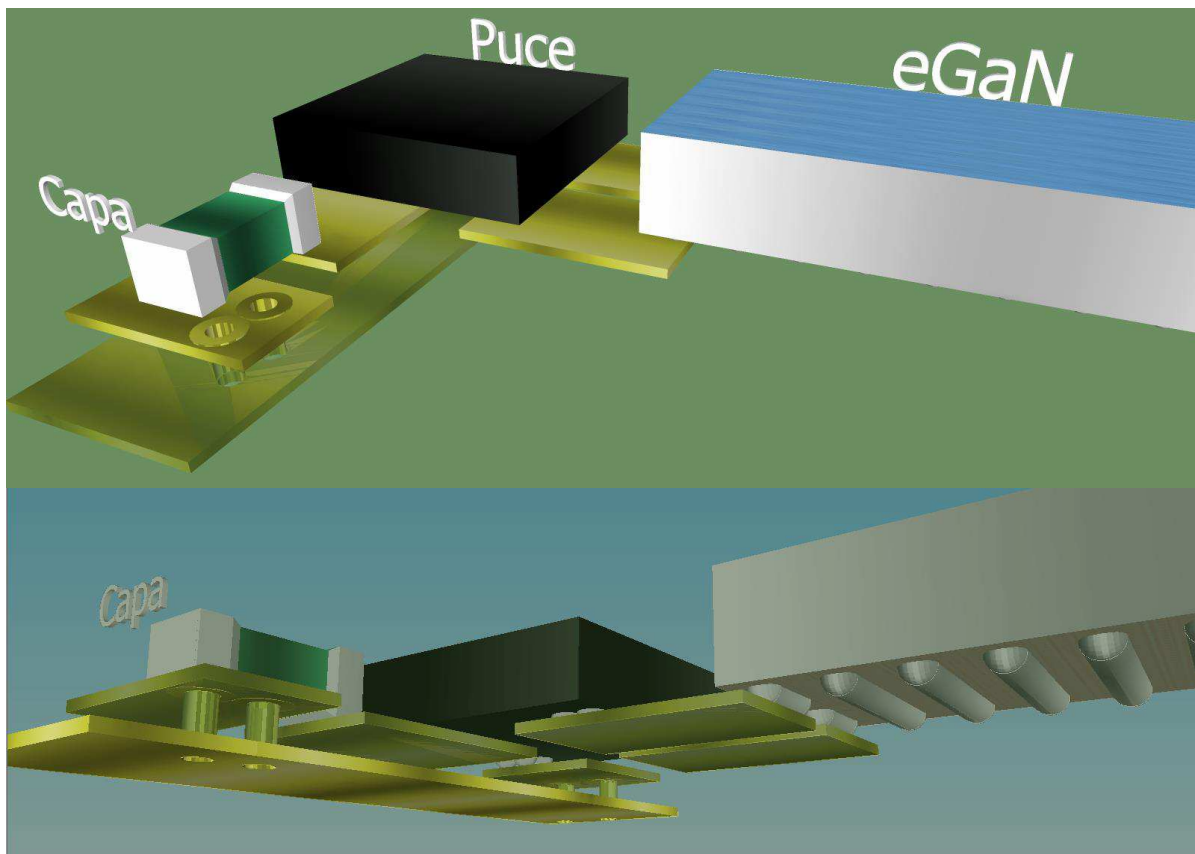
Figure 124 : illustration des services du CMP

La taille minimale des puces dans la technologie que nous avons choisie est de 2mmx2mm, ce qui est suffisant pour notre driver. Avec la place restante sur la puce (3mm²) nous pourrions intégrer une capacité qui servira de capacité de découplage. Sa valeur ne sera

pas suffisante pour découpler correctement le driver mais elle permettra déjà une amélioration. D'autres technologies de puce pourraient permettre des densités de capacité intégrée allant jusqu'à 500nF/mm^2 , ce qui permettrait de découpler totalement notre driver avec 2mm^2 de puce. Nous pouvons choisir l'emplacement des pads d'entrée et de sortie sur la puce.

ii. Estimation des inductances de piste

Les inductances parasites dans la puce sont estimées par Cadence pendant les simulations. Pour que ces simulations correspondent le plus possible à ce que l'on aura sur notre carte, on rajoutera en entrée et en sortie de la puce une inductance correspondante aux inductances parasites des pistes entre la capacité de découplage et la puce et entre la puce et la grille de l'eGaN. La grille de l'eGaN sera modélisée par une capacité constante avec une résistance série (résistance de grille donnée par EPC). Le placement routage de la capacité de la puce et de l'eGaN, utilisés pendant les essais pratiques est modélisé en 3D et est représenté sous plusieurs angles dans la Figure 125. Sur cette figure les composants sont relativement éloignés les uns des autres pour faciliter la visibilité.



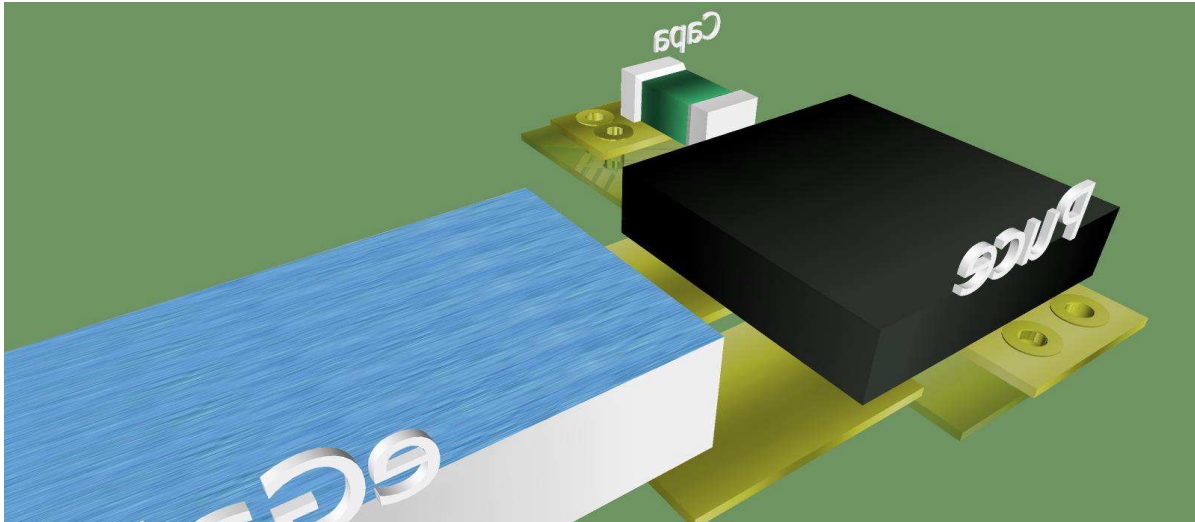


Figure 125 : Modélisation 3D du placement routage de la capa de puce et de l'eGaN.

Les inductances de piste capa-puce et puce-eGaN seront déterminées à l'aide du logiciel InCa3D. On pourra paramétrer notre géométrie et voir l'évolution de l'inductance, mais aussi choisir quelle méthode de routage minimise les inductances. En effet, si on regarde la Figure 125, on voit que les pistes entre la puce et l'eGaN sont sur la même couche l'une à côté de l'autre, alors que pour la liaison entre la capacité et la puce les pistes sont sur deux couches différentes et superposées. La superposition des pistes servant à amener et retourner le courant permet d'obtenir un effet "bus bar" participant à la réduction de l'inductance parasite des pistes, mais cette disposition n'est pas obligatoirement avantageuse lorsque les composants sont proches. Concernant la capacité, on a dû l'éloigner des bornes d'alimentation de la puce à cause de la proximité des autres composants environnants, nous avons donc superposé les pistes. Pour les pistes entre la puce et l'eGaN on a comparé les résultats obtenus avec les deux méthodes.

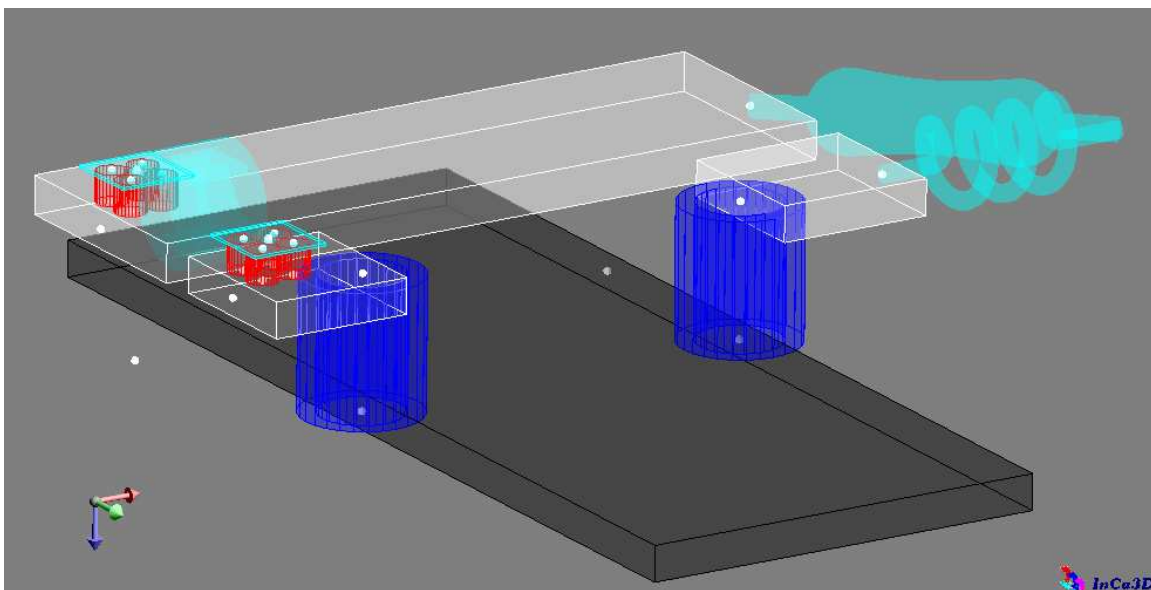


Figure 126 : Représentation sous InCa des pistes entre la puce et l'eGaN placées de façon superposée.

La représentation sous InCa3D des pistes superposées entre la puce et l'eGaN est visible sur la Figure 126. Les cylindres rouges représentent les bumps de connexion entre la puce et le PCB, en blanc et noir les pistes superposées et en bleu les vias raccordant les pistes entre elles.

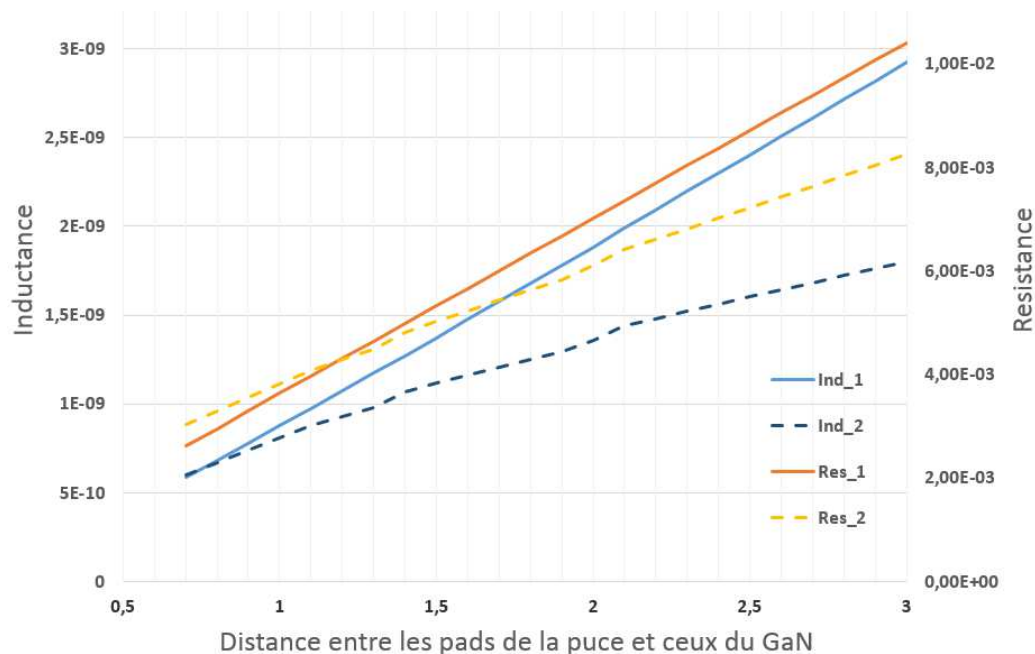


Figure 127 : Résistances et inductances des pistes entre puce et eGaN dans les cas où les pistes sont superposées (cas 2) ou pas (cas1)

La distance séparant la puce et le transistor est paramétrée, nous permettant de tracer l'évolution de l'inductance et de la résistance des pistes en fonction de cette distance. Les résultats sont affichés sur la Figure 127 et considèrent les deux types de routages (superposé ou non) dont nous avons parlé précédemment.

Les calculs ont été faits avec une distance entre les pads comprise entre 0.7mm et 3mm et pour toutes ces valeurs la disposition superposée présente des valeurs d'inductance inférieures. L'écart entre les valeurs d'inductance décroît pour des valeurs de distance qui diminuent, jusqu'à devenir nul pour une distance de 0.7mm.

En pratique, avec un montage soigné, on peut espérer avoir une distance entre les boîtiers inférieure au mm. La distance minimal dépend d'une part de la distance entre les pads et le bord des boîtiers et, d'autre part, dans le cas où les pistes sont superposées, de la taille des via et de la distance qui les sépare. Or les fabricants de PCB imposent des dimensions limites pour les via et les entrefers (écart minimal entre les pistes). La largeur de via minimale était de 0.4mm et l'entrefers 0.125mm, la distance minimale entre les pads était donc de 0.925mm. Etant donné le faible écart existant entre les deux topologies de routage pour une distance d'environ 1mm, et le fait qu'avec la topologie non superposée on puisse être plus proche, nous avons choisi de ne pas superposer les pistes entre la puce et le transistor.

Nous avons ensuite évalué de la même façon la valeur de l'inductance entre la capacité de découplage et la puce et avons obtenu une valeur de 0.58nH. La capacité utilisée avait un boîtier en 0402 ce qui représente en métrique une dimension de boîtier de 1mmx0.5mm.

On a donc au total une inductance parasite de piste évaluée à 1.36nH. Pour être sûr de ne pas casser les grilles des transistors (les eGaN nous ayant déjà largement démontré la fragilité de leur grille) on a arrondi cette valeur à 2nH pour faire les simulations sous Cadence et dimensionner notre driver.

iii. Dimensionnement du driver

Ce circuit est composé d'un premier étage de décalage temporel des tensions du NMOS et du PMOS du bras pilotant la grille du composant GaN afin d'éviter la phase de court-circuit de ce bras lors d'une commutation. Il se compose ensuite de trois étages d'amplification pour chaque transistor du dernier bras (trois pour le NMOS et trois pour le PMOS), puis du dernier étage pilotant la grille. La sortie de ce circuit d'amplification n'est pas inversée par rapport à son entrée. La charge du driver est un circuit RLC série composée d'un condensateur de 1nF représentant la capacité d'entrée du composant GaN, d'une résistance de 0,5Ω et d'une inductance de 1nH représentant l'inductance parasite des pistes entre le driver et la grille (Figure 128). On a également placé une inductance de 1nH entre l'alimentation du driver et ce dernier pour modéliser l'inductance de piste qui se trouve entre les deux.

On cherche à dimensionner le rapport W/L optimal pour lequel les temps de commutation sont les plus courts possibles mais sans que les oscillations sur la tension de grille ne dépassent 6V. Afin de déterminer le rapport W/L optimal, on définit la variable W comme la largeur de grille du NMOS pilotant la grille (la largeur de grille du PMOS du même étage étant définie comme 3*W), la longueur de grille L restant fixe (0,5μm). On paramétrise ensuite les largeurs de grille de tous les étages d'amplification précédents selon les rapports définis dans la thèse d'Olivier Deleage (soit un ratio de W) et on fait varier la valeur W. La Figure 129 montre les résultats obtenus en simulation.

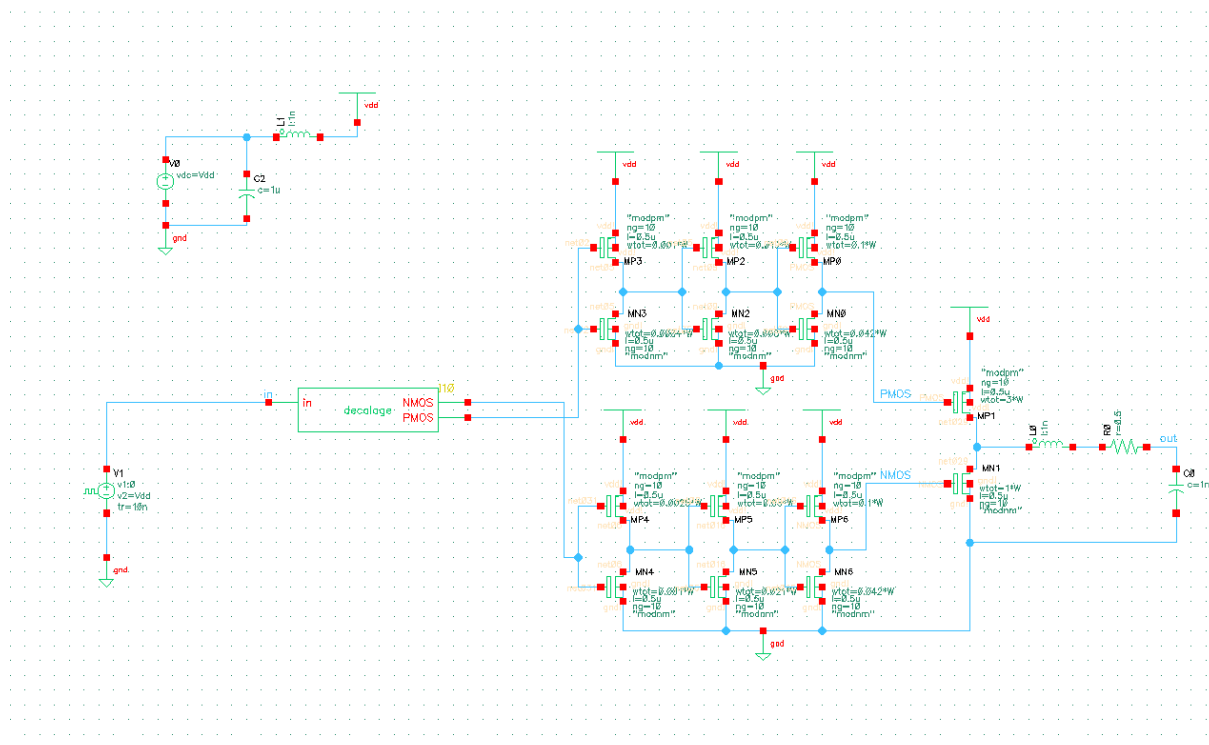


Figure 128 : Schéma du circuit sous Cadence

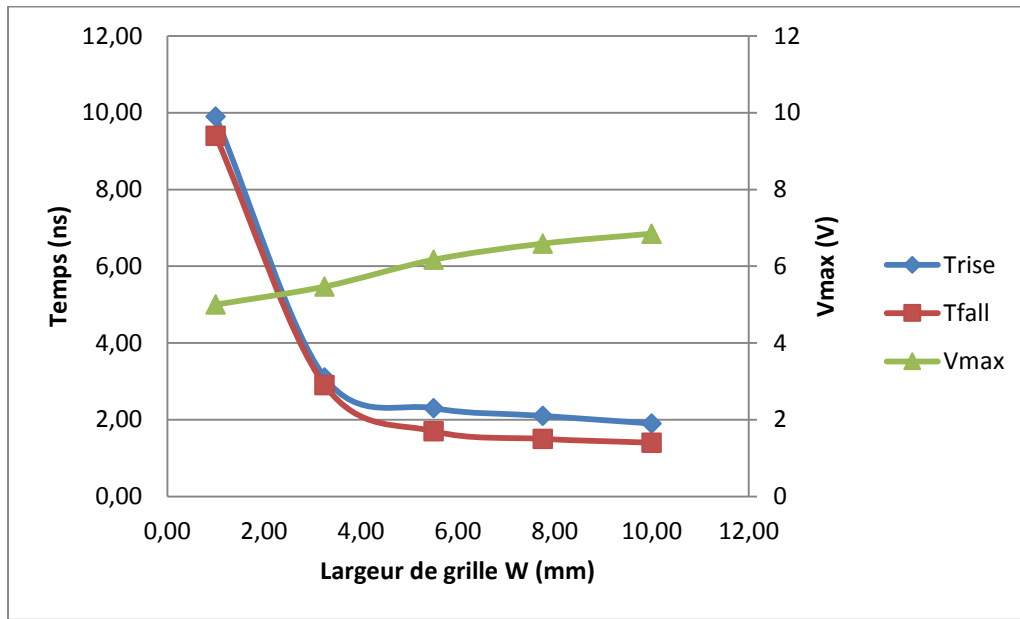


Figure 129 : Temps de charge et décharge de la grille de l'eGaN et tension max de grille en fonction du paramètre de largeur de grille W du driver

On a une forte diminution des temps de commutation pour une largeur de grille W entre 1mm et 5mm, puis une diminution plus faible. La tension maximale des oscillations augmente linéairement avec la largeur de grille, et dépasse la valeur critique de 6V aux environs de 6mm.

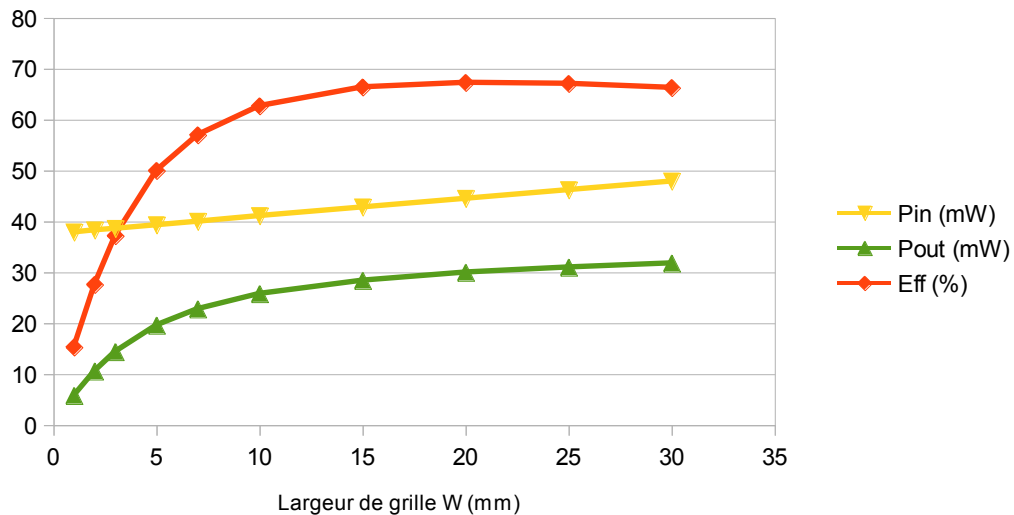


Figure 130 : Rendement et consommation du driver

On peut déduire de ces courbes que la valeur optimale du rapport W/L se situe pour une valeur de W entre 3 et 4 mm, un dimensionnement plus fin montre un rendement optimal pour W=3,25mm. Pour cette valeur on obtient un courant maximal de 1,5A lors d'une commutation, une puissance consommée de 39mW (Figure 128), le temps de montée de la

sortie est de 3,1ns et le temps de descente est de 2,9ns. L'amplitude maximale de l'oscillation sur la tension de grille est alors de 5,45V. On prendra donc une valeur de W égale à 3.25mm.

iv. Temps morts

On a rajouté au circuit initial un délai en entrée pour retarder la charge de grille des transistors GaN. En effet, avec ces drivers on veut piloter un bras de transistor, il faut donc qu'on ait un temps mort pour éviter les courts-circuits de bras. Or, les signaux d'entrées des drivers viennent du transformateur de notre circuit de commande dont l'un des enroulements secondaires est inversé de façon à ce que l'un des drivers reçoive un signal complémentaire. Il n'y a donc à ce moment-là aucun temps mort. Le délai est réalisé avec des bascules qui retarderont le début du pull up du driver sans modifier sa vitesse.

v. Discussion

Nous avons dimensionné un driver intégré que l'on va reporter en flip chip sur notre carte. On a vu que le facteur limitant pour les temps de charge et décharge sont les inductances parasites des pistes. En intégrant la capacité de découplage directement dans le driver on réduirait grandement l'inductance capa-driver mais la technologie de puce utilisée ne nous le permettait pas. Si on va plus loin, on peut envisager aussi d'intégrer le driver directement dans le transistor de puissance. Pour rappel, EPC précise dans ses documents en ligne que l'intégration d'un driver dans leurs composants est complexe mais néanmoins possible. Un tel niveau d'intégration était trop ambitieux pour cette thèse, mais pourrait permettre de réduire considérablement les temps de commutation. La Figure 131 montre que la partie active du driver est très petite, la majorité de la puce étant utilisée pour faire une capacité de découplage. D'un point de vue géométrique il serait simple d'intégrer ce driver dans un eGaN.

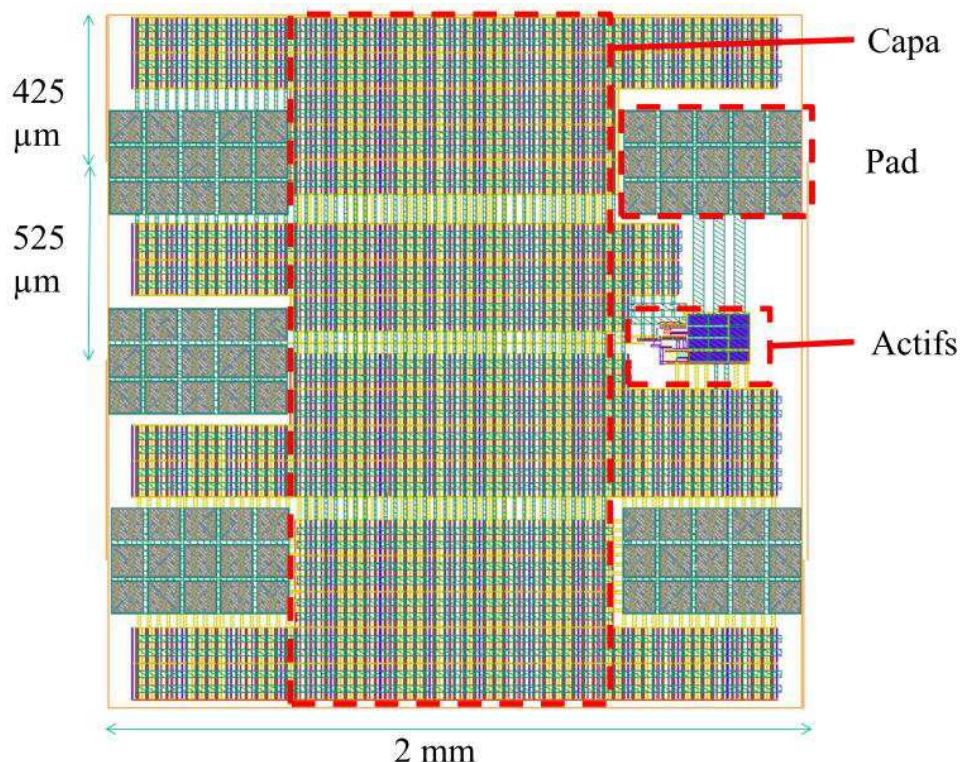


Figure 131 : Schéma du layout de la puce

6. COMPARATIF EXPERIMENTAL

Ce paragraphe conclura notre étude sur les circuits de grille. On va comparer les résultats expérimentaux de quatre commandes qui ont été décrites précédemment. On donnera aussi les calculs de consommation du circuit avec le push pull (PP) pour mettre en évidence les éléments qui doivent être améliorés d'un point de vu consommation. On comparera le LM5113, une commande en courant, le circuit de grille avec les PP et le circuit avec le driver dimensionné précédemment.

Ces quatre commandes ont été utilisées dans des montages Buck série synchrone avec des EPC2001. Les circuits de puissance sur les cartes sont très proches pour éviter qu'ils aient une influence sur les performances. On a relevé la puissance absorbée par la commande et les rendements de la partie puissance. La tension d'entrée est de 20V et le rapport cyclique était fixe avec une valeur légèrement inférieure à 0.5. Les temps morts étaient les mêmes dans le cas du LM5113 et du circuit avec les PP pour limiter leur impact sur le rendement. Les signaux sont générés par un PIC sur une carte séparée, on utilise des trigger sur nos cartes pour redresser les fronts avant d'attaquer les commandes rapprochées. La fréquence de commutation est réglée à 1.5MHz.

A. LM5113

Le LM5113 est un driver qui a été développé par TI (Texas instruments) spécialement pour les eGaN d'EPC. Sa structure bootstrap permet de commander un bras. La diode de bootstrap intégrée à une tension de seuil d'environ 0.7V ce qui est relativement élevé par rapport à la tension de commande des transistors GaN qui est d'environ 5V. La résistance de pull up du driver est volontairement élevée pour diminuer les oscillations sur la grille. La Figure 132 montre le convertisseur réalisé.

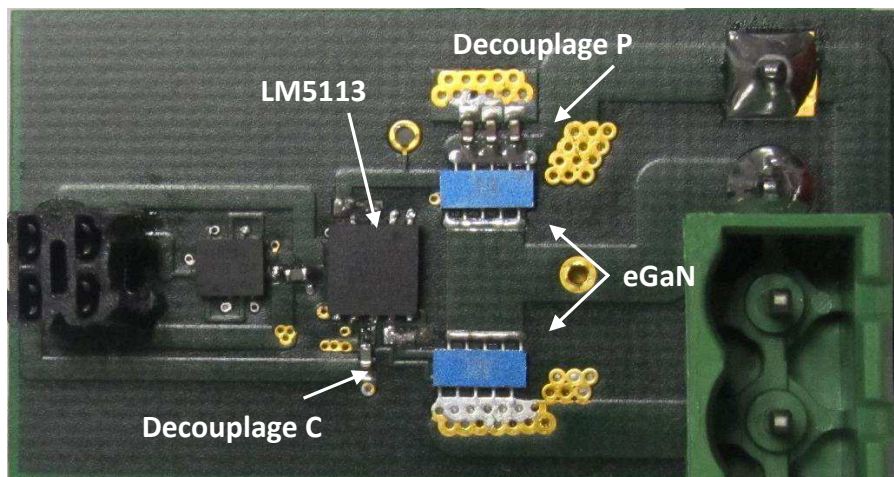


Figure 132 : Photo du hacheur buck synchrone et de la commande utilisant le LM5113

Ce circuit de grille n'est pas isolé, il ne respecte donc pas les contraintes que nous nous sommes fixées précédemment. Ici on veut seulement relever les performances du LM5113 pour piloter les eGaN (pull up, pull down, routage et performance du convertisseur).

On a fléché l'emplacement des transistors de puissance, du LM5113, des capacités de découplage de la puissance et de celles de la commande. Dans les montages suivants, les composants Gan et leurs capacités de découplage seront placés de la même façon. Le boîtier relativement grand du driver impose l'utilisation de pistes relativement longues conduisant à des inductances de pistes plus élevées. Pour minimiser les inductances parasites du circuit de commande on doit rapprocher les transistors du boîtier du LM5113 mais on augmentera alors la longueur de la piste de puissance entre les deux transistors, augmentant ainsi les inductances du circuit de puissance.

La Figure 133 montre les signaux de grille obtenus. La chute de tension due à la diode de bootstrap se remarque facilement à la différence de tension appliquée aux deux grilles. Le pic de tension sur les grilles est ici plus important pour le composant low side avec une valeur de 0.7V. Aucune résistance de grille n'a été rajoutée.

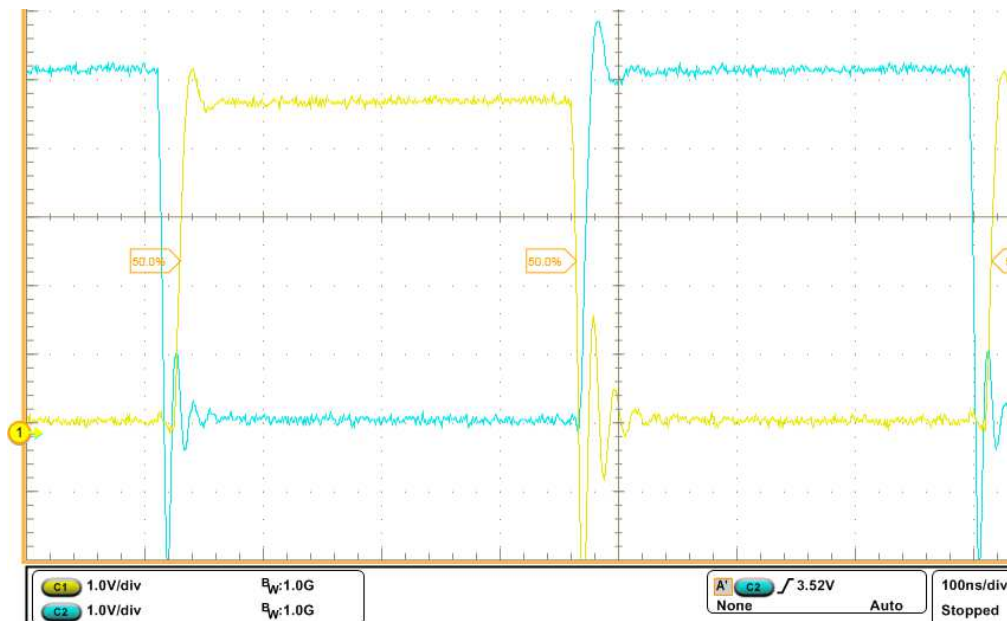


Figure 133 : Forme d'onde des signaux de de grille avec le LM5113. C1=high side, C2= low side

Le temps de pull up est de 10ns et le temps de pull down est de 6ns. La consommation de ce circuit de commande était de 0.15W mais il n'est pas isolé.

B. Commande en courant

La commande en courant que nous utilisons ici est celle que nous avons présentée page 76. On rappelle sa structure sur la Figure 134. Le dimensionnement de ce driver est donné dans . Le dimensionnement précis de ce circuit peut s'avérer difficile car il repose sur le dimensionnement de l'inductance magnétisante du transformateur. Or cette valeur est définie par la perméabilité du matériau magnétique, sa section, le nombre de spires et

l'entrefer. Tous ces paramètres, à l'exception de l'entrefer, sont discrets et les ferrites appropriées ne sont pas toujours fabriquées ou disponibles. L'entrefer permet d'ajuster la valeur de l'inductance magnétisante en la réduisant, mais augmentera alors l'inductance de fuite et donc les oscillations sur nos grilles. Pour notre dimensionnement on souhaitait une inductance magnétisante de $1\mu\text{H}$ avec une inductance de fuite minimale. On a choisi un circuit ER9.5 en 3F3 ; néanmoins la section est relativement faible et on aura des pertes importantes. Les circuits magnétique hautes fréquences comme le 3F4 ou le 3F5 n'étaient pas disponibles (ou alors par paquet de 1800 pièces!).

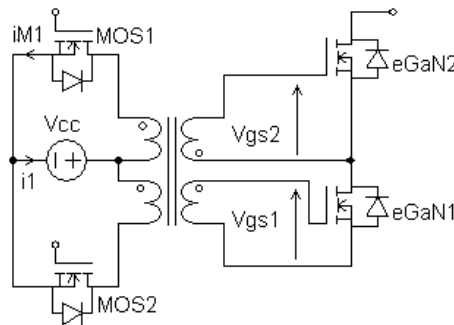


Figure 134 : Structure de la commande en courant

La Figure 135 montre la maquette réalisée. Cette commande a l'avantage d'utiliser peu de composants, on a besoin ici uniquement de deux MOS N et du transformateur.

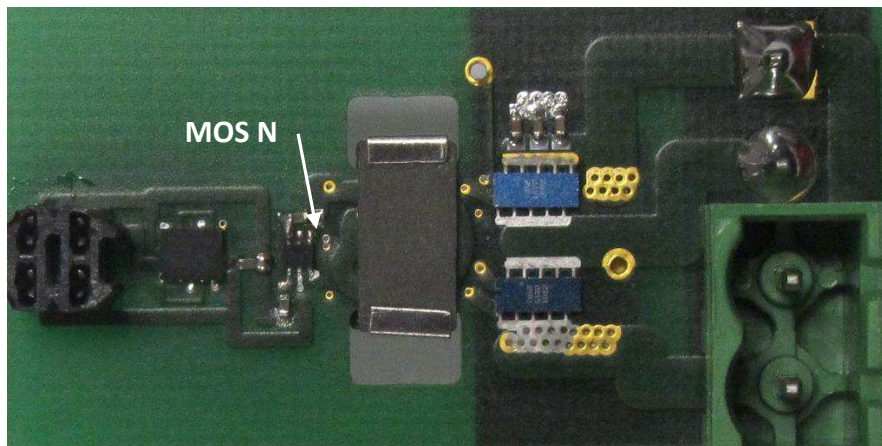


Figure 135 : Photo du hacheur buck synchrone avec la commande en courant

Dans notre montage on a utilisé des commandes symétriques pour éviter de placer des composants supplémentaires au secondaire et donc d'augmenter les inductances parasites. On aura donc plus de pertes pendant les phases, courtes mais néanmoins présentes, de conduction de diode de l'interrupteur high side.

Lorsqu'on a réglé les temps morts des MOSFETs de commande de façon à avoir le même fonctionnement qu'en simulation, on a eu de fortes oscillations (50% en relatif, à cause des éléments parasites) sur les signaux de grille (Figure 136). On a donc augmenté ces temps morts pour réduire le temps de charge de l'inductance magnétisante et ralentir les charges

des grilles. On a alors réussi à avoir une commande dont les pics de tension étaient satisfaisants (1.4V donc 30% en relatif) (Figure 137).

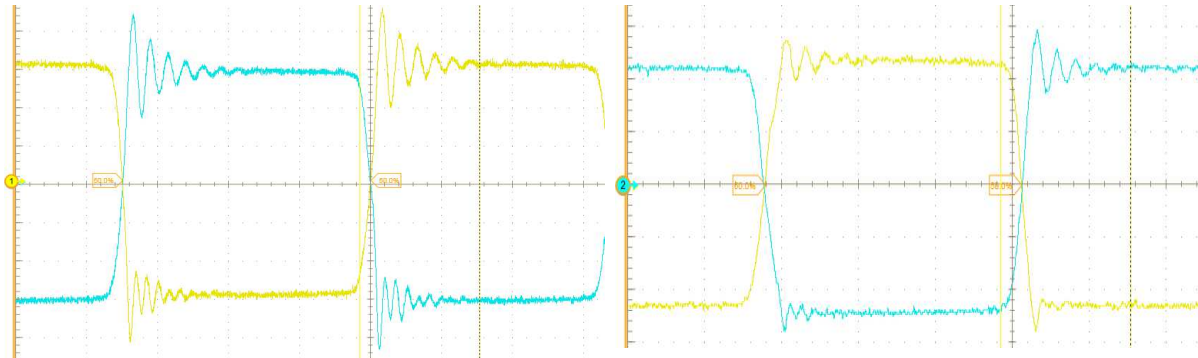


Figure 136 : Signaux de grille pour des commandes rapides. 1V/div, 100ns/div

Figure 137 : Signaux de grille pour des commandes lentes. 2V/div, 100ns/div

La vitesse des pull up et down était de 15ns entre 0 et 4.5V et la puissance consommée était de 1W. Pendant les essais, on a vu avec une caméra thermique que la température de la ferrite pouvait monter jusqu'à 80°C, traduisant le fait que le matériau magnétique était mal adapté et trop dissipatif.

C. Circuit avec push pull

Ce circuit a été présenté précédemment. Les calculs de rendement ont été réalisés en partant du secondaire pour revenir au primaire (les méthodes de calcul sont présentées dans le chapitre 4 partie 4). Les pertes dans le PP primaire prennent donc en compte toutes les pertes qui suivent. Ici encore on s'est servi de circuit magnétique ER9.5 en 3F3. La répartition des pertes calculées est donnée par la Figure 138.

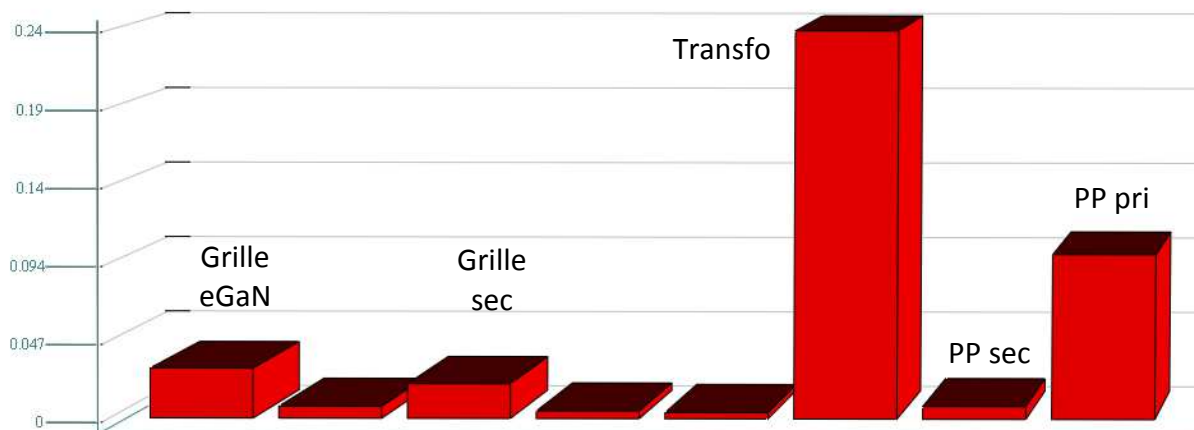


Figure 138 : Répartition des pertes dans le circuit de grille.

Le transformateur est l'élément le plus dissipatif du circuit et représente à lui tout seul près de 60% des pertes. De plus le PP primaire doit fournir toute cette énergie, il est donc la source de pertes en conduction importantes en comparaison du PP secondaire. Les pertes

dans les grilles des MOSFETs secondaires sont 4 fois plus élevées que les pertes dans les grilles primaires car la tension sur leur grille est multipliée par 2. La puissance nécessaire pour charger et décharger les grilles est notée "Grille eGaN". Les autres puissances dissipées sont négligeables en comparaison des pertes du transformateur. La puissance absorbée que nous avons calculée est de 0.41W, néanmoins les pertes dans le transformateur sont largement dépendantes de la température et étant donné que ces pertes sont majoritaires dans notre circuit, on aura sûrement un écart avec la pratique.

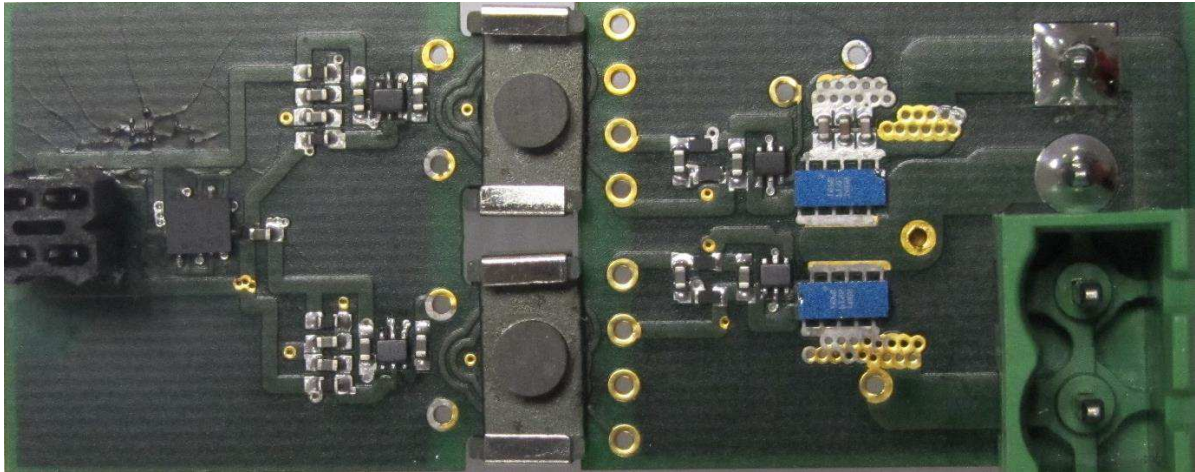


Figure 139 : Photo du hacheur buck synchrone avec la commande PP

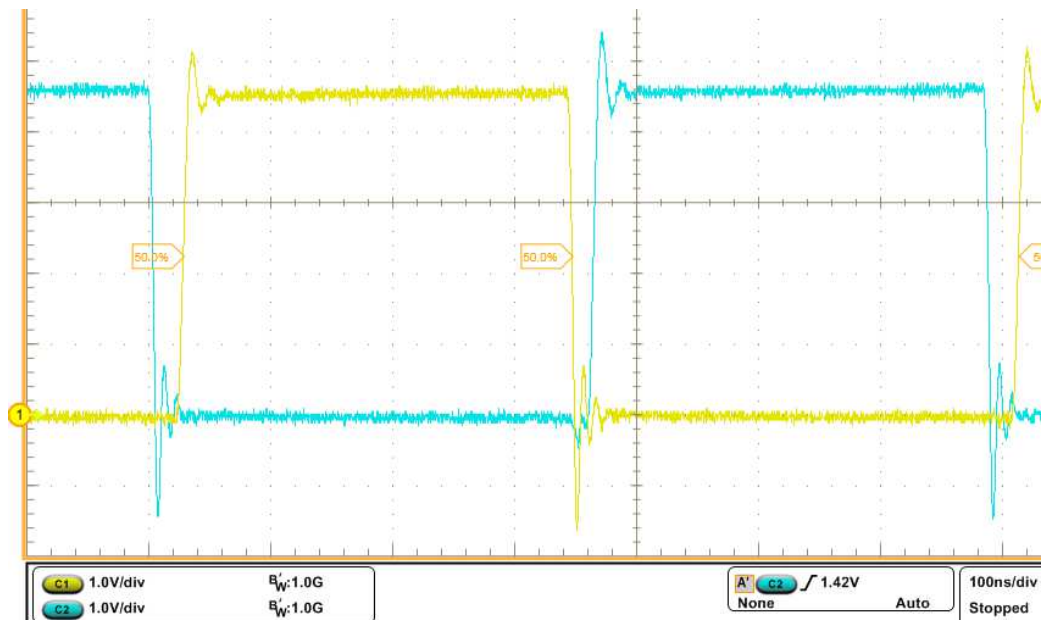


Figure 140 : Forme d'onde des signaux de de grille avec le circuit de commande PP

Le circuit est visible sur la Figure 139. Le circuit avec le PP est le plus encombrant des quatre que nous avons testés. Les commandes complémentaires nous imposent d'avoir un temps mort pour éviter les courts-circuits de bras, nous avons donc dû utiliser deux circuits différents avec deux circuits magnétiques. Dans le cas de deux commandes identiques on aurait eu un seul circuit magnétique avec un seul primaire et deux secondaires.

La vitesse des pull up est de 9ns, celle des pull down est de 4.5ns et les temps de montée et descente de la tension drain source sont respectivement de 2.5ns et 6.5ns. La consommation est de 0.28W ce qui est inférieur à ce qui a été évalué. Cette différence peut être expliquée par une température de fonctionnement différente de celle utilisée pour les calculs et par le fait que les paramètres de calcul de perte fournis par Ferroxcube (paramètres de calcul pour la formulation analytique de Steinmetz) sont censés être utilisés pour des fréquences inférieures au MHz. De plus, même pour des fréquences inférieures au MHz, ils ne correspondent pas aux courbes de pertes données et nécessitent d'être ajustés. Les pics de tension sont de 0,6V.

D. Driver intégré

Pour le design du circuit intégré, nous avons pris en compte l'expérience acquise durant tous les tests précédents. Ainsi la puce est placée au plus proche des eGaN et la capacité de découplage de la puce, au plus près de cette dernière (Figure 141). La distance entre la puce et le transistor de puissance est d'environ 80 μ m, à titre d'échelle, la puce fait 2mm de côté.

Lors du design, une mésentente a conduit à une inversion des pads avec un effet miroir sur l'empreinte (les pads du haut étaient en bas et inversement). Le layout devait donc faire se croiser les pistes de grille et de source, ce qui a eu pour conséquence d'augmenter le caractère inductif de ces pistes. Une vue globale du montage est présentée sur la Figure 142.

Les formes d'ondes des tensions grille source sont présentées sur la Figure 143. A partir de ces formes d'ondes on va commenter les performances pratiques obtenues et les comparer avec celles qui étaient attendues :

- Le décalage voulu était de 3ns pour créer un temps mort suffisant et éviter les courts circuits de bras, or ici il est de 1.25ns. On voit apparaître un croisement des tensions grille source aux alentours de 1.8V ce qui est au-dessus du V_{GStH} des eGaN (1.4V). On aura donc des courts-circuits de bras dans le circuit de puissance. Ces courts-circuits pourront être limités en abaissant la tension de commande (ce qui aura pour conséquence de réduire la tension pour laquelle les tensions V_{GS} se croisent).
- Les temps de pull up et down devaient être d'environ 3ns or ici ils sont plutôt de l'ordre de 6ns. Cependant il est à noter que le routage a été refait suite à une mésentente lors du design. Il y a donc plus d'inductance que prévu ce qui peut ralentir les commutations.
- Les surtensions sont de 0.5V ce qui est un peu supérieur à ce que nous avons prévu. Cela peut être mis en relation avec l'inductance de grille plus élevée que prévu.
- Les temps de montée et de descente de la tension drain source sont respectivement de 3.2ns et 2.8ns.

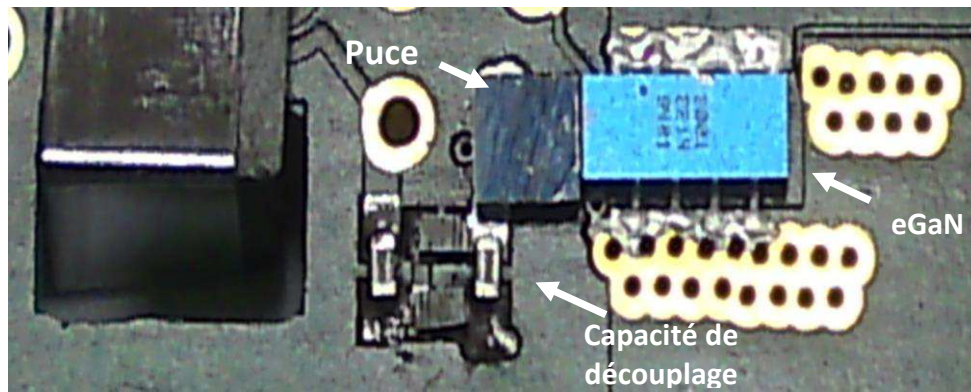


Figure 141 : Vue rapprochée de la puce et de l'eGaN piloté

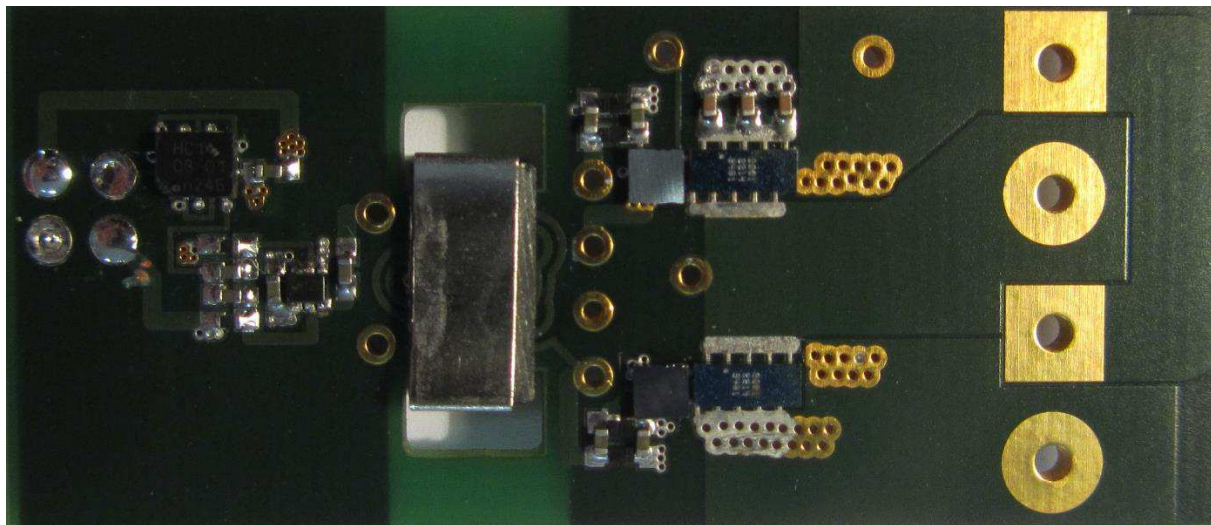


Figure 142 : Photo du hacheur buck synchrone avec le driver intégré

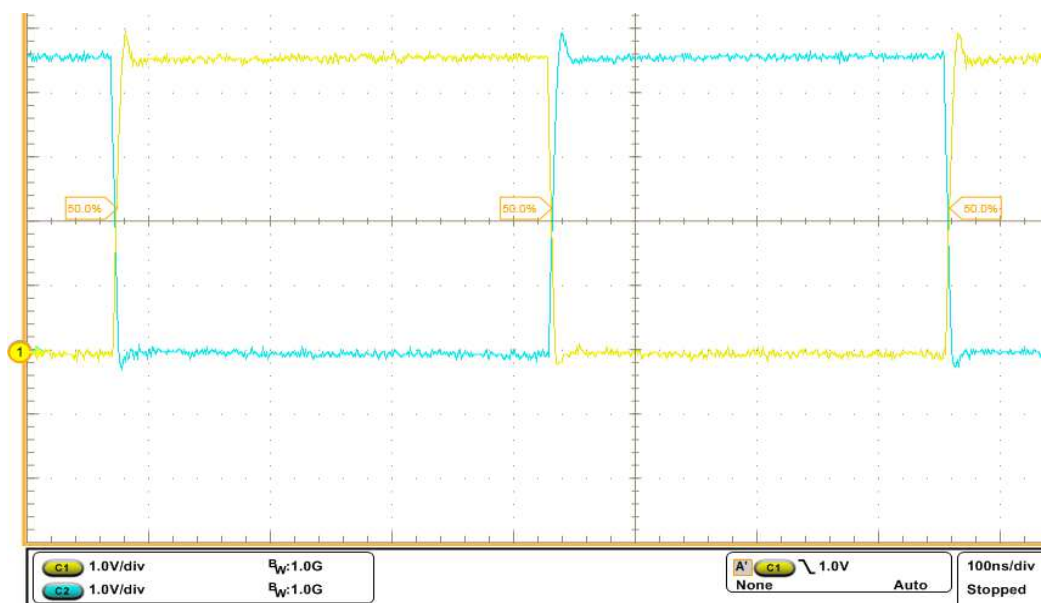


Figure 143 : Formes d'ondes des tensions V_{GS} . $V_{commande}=4.5V$

E. Comparaison des quatre commandes

Les performances des circuits de commandes sont résumées dans le Tableau 10. Concernant les circuits utilisant des composants discrets, le PP est celui qui présente les temps de charge et de décharge les moins élevés avec le pic en tension le plus bas. Sa consommation est raisonnable, même si elle pourrait être améliorée avec un meilleur matériau magnétique que le 3F3 utilisé ici. Même si ses performances sont loin de celles attendues en théorie (temps de charge et décharge plus long d'un coefficient 2 et temps de décalage plus faibles d'un coefficient 2), le circuit intégré que nous avons conçu représente (en terme de performance uniquement car nous avons vu qu'il génère des court-circuits de bras) la meilleure solution pour piloter les transistors de notre montage Buck : temps de charge et décharge de la grille faible, puissance consommée la plus faible et pic de tension le plus faible.

	Pull up (ns)	Pull down (ns)	Puissance (W)	Oscillation (V)
LM5113	10	6	0.15	0.7
Courant	15	15	1	1.4
PP	9	4.5	0.28	0.6
Driver intégré	6	6	0.1	0.5

Tableau 10 : Résumé des performances des circuits de commande testés.

Les rendements de la partie puissance (sans tenir compte de la commande) des quatre montages Buck réalisés sont comparés sur la Figure 144. Concernant les trois qui sont réalisées avec des composants discrets, on a un écart de un point sur le rendement entre le PP et les deux autres et cet écart augmente avec la puissance de sortie. L'écart de rendement entre le PP et la commande avec le LM5113 (environ 1% de rendement à 6.5A de sortie soit 0.585W) justifie la consommation plus élevée du PP par rapport au LM5113 (consommation du PP supérieure de 0.13W, alors que le circuit de commande avec le driver TI n'est pas isolé).

Pour faire fonctionner le montage avec la puce on a volontairement baissé la tension de commande à une valeur comprise entre 3.1V et 3.7V (de façon à obtenir une plage de fonctionnement la plus large possible sans que les eGaN surchauffent) au lieu de 4.5V. La conséquence directe était une augmentation importante des pertes par conduction et donc un rendement global beaucoup moins bon.

L'augmentation du courant de sortie augmente les pertes par conduction et commutation. Les pertes en conduction sont identiques dans chaque montage (sauf avec la puce) car les tensions de commande sont identiques. Les différences que l'on voit apparaître pour des courants élevés sont donc relatives aux pertes par commutation et dépendent donc du circuit de grille utilisé. Le gain en rendement permis par le PP par rapport au LM5113 est de 1% et il est encore supérieur par rapport à la commande en courant (cette dernière aurait nécessité des ferrites plus adaptés). Le gain en rendement permet aussi de faire fonctionner les egaN à des températures inférieures.

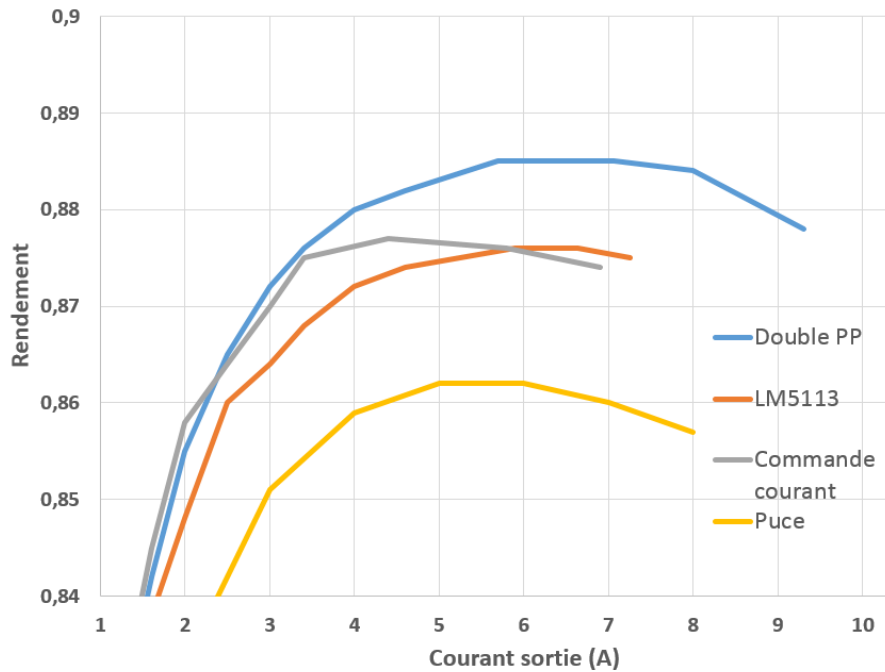


Figure 144 : Comparaison des rendements des quatre montages buck

F. Impact des ferrites

A la fin de cette thèse, nous avons eu l'occasion de remplacer les ferrites en 3F3 par des ferrites en 3F5, qui ont un comportement en fréquence bien meilleur. Nous avons alors recommencé les tests sur le montage utilisant le PP. Le pull down ne change pas mais le pull up diminue de 16%. Cette rapidité en hausse provoque des pics de tension plus importants de 30% et la consommation diminue de 18% (Tableau 11).

	Pull up (ns)	Pull down (ns)	Puissance (W)	Oscillation (V)
PP 3F3	9	4.5	0.28	0.6
PP 3F5	7.6	4.5	0.23	0.8

Tableau 11 : Performance de la commande PP avec deux ferrites différents

On voit également une nette différence sur les temps de variation de la tension au secondaire du transformateur de commande, ces temps passant de 20ns à 12.5ns (ce qui représente une baisse de 40%).

G. Conclusion

Dans ce chapitre nous avons mis en évidence les propriétés nécessaires pour réaliser un circuit de commande performant pour notre convertisseur, en nous appuyant sur des essais pratiques. Nous avons ensuite investigué plusieurs topologies de commande respectant les critères proposés. Enfin, les tests réalisés avec les quatre commandes retenues nous permettent de conclure sur plusieurs points :

- Il est possible de concevoir des circuits de commande performants avec des composants discrets, comme nous l'avons fait avec le PP. Les boîtiers de petites

dimensions ainsi que le large choix dans les performances des MOSFETs permettent de concevoir un circuit respectant au mieux nos critères.

- Pour notre application, les commandes en courant sont plus complexes à mettre en œuvre à cause de la nécessité d'utiliser des ferrites adaptés. En théorie, à consommation égale, elles réduisent le temps de charge d'un tiers comme nous l'avons vu précédemment. La difficulté de mise en œuvre de cette commande nous a orientés vers l'utilisation de commandes en tension.
- Le driver LM5113 fabriqué par TI spécialement pour les eGaN a montré des performances assez critiquables. En effet les temps de charge/décharge sont relativement long par rapport à ce que l'on a réussi à faire avec le PP, la consommation et relativement importante, le seuil de la diode bootstrap et trop important créant un décalage trop élevé entre les commandes high side et low side (0.7V par rapport à une tension de commande de 4.5V). Enfin, le fait qu'on l'utilise pour deux eGaN différents (topologie bootstrap pour high side et low side) fait que le circuit de grille est assez inductif. En conséquence, malgré le fait que le pull up du PP soit plus rapide que celui du LM5113, c'est ce dernier qui présente les pics de tension les plus importants sur la grille de l'eGaN low side.
- Les temps de décalage des puces était trop faibles ce qui fut à l'origine de courts-circuits de bras dans le montage Buck. Néanmoins, nous avons quand même réussi à démontrer le potentiel de ce genre de circuit. Nous avons réutilisé un design de gate driver existant et avons fabriqué les puces dans une technologie peu onéreuse (C35B4M3 au CMP). Les performances que nous avons obtenues en termes de puissance consommée, de vitesse de charge/décharge des grilles et de pics de tension sont meilleures qu'avec les autres solutions testées. Dans le but d'améliorer encore ces performances il est facilement envisageable d'augmenter la rapidité de la puce (en jouant sur le paramètre de largeur de grille) sachant que les oscillations sur la grille des eGaN sont faibles. Il faut aussi augmenter le temps de décalage pour supprimer les phases de court-circuit. Pour aller plus loin au niveau industriel, il est envisageable d'intégrer, pour les fréquences considérées, les capacités de découplage dans la puce pour réduire l'inductance du circuit de charge. Enfin, la solution idéale serait d'intégrer le driver directement dans le composant GaN (réduction de toutes les inductances, augmentation des vitesses de charge/décharge et réduction de la surface occupée par le driver sur la carte).

BIBLIOGRAPHIE CHAPITRE 2

- [48] T.Uesugi and T.Kashi, "GaN power switching devices for automotive applications," *MANTECH conference*, 2009.
- [49] M.Sugimoto, H.Ueda and M.Kanechika, "Vertical operation of AlGaIn/GaN HEMTs on free-standing n-GaN substrates," *Power conversion conference*, 2007.
- [50] E. Mitani, H. Haematsu, S. Yokogawa, J. Nikaido and Y. Tateno, "Mass Production of High Voltage GaAs and GaN Devices," *CS Mantech Conference*, 2006.
- [51] T. Mimura, N. Tokoyama, H. Kusakawa, K. Suyama and M. Fukuta, "GaAs MOSFET for low-power high-speed logic applications," *the 37th Device Research Conference*, 1979.
- [52] M. A. Khan, J. N. Kuznia and D. T. Olson, *Applied Physics Letters*, vol. 65, no. 9, 1994.
- [53] K.J.Chen, L.Yuan and H.Chen, "AlGaIn/GaN metal 2DEG tunnel junction FETs with normally off operation, high on state current and low off state leakage," *IEEE*, 2012.
- [54] D.D.Koleske, M.E.Coltrin, S.R.Lee, G.Thaler, K.C.Cross and M.J.Russell, "Understanding GaN nucleation layer evolution on sapphire and its impact on GaN dislocation density," *Solid state lighting and solar energy technologies, Proceedings of the SPIE*, vol. 6841, 2007.
- [55] Z. e. al, "Effects of the strain relaxation of an AlGaIn barrier layer induced by various cap layers on the transport properties in AlGaIn/GaN heterostructures," *Chinese physics*, vol. 20, no. 9, 2011.
- [56] A. Nakajima, K. Takao and H. Ohashi, "GaN Power Transistor Modeling for High-Speed Converter Circuit Design," *EEE*, vol. 60, no. 2, 2013.
- [57] N.Sarazin, "HEMTs à base de nitrure de gallium : evolution vers un nouveau systeme de matériaux, une nouvelle generation de composants," *These*, 2007.
- [58] O.Hilt, E.B.Treidel, E.Cho, S.Singwald and J.Wurfl, "Impact of buffer composition on the dynamic on-state resistance of high voltage AlGaIn/GaN HEMTs," *international symposium on power semiconductor devices and IC's*, 2012.
- [59] A.Nakata EPC, "Enhancement Mode GaN Transistor Visual Characterization Guide," 2011.

- [60] H.King, Y.Dora, A.Chini, S.Heikman, S.Keller and U.K.Mishra, "High breakdown voltage AlGa_N/Ga_N HEMTs achieved by multiple field plates," *IEEE electron device letters*, pp. 161-163, 2004.
- [61] M.J.Uren, K.J.Nash, R.S.Balmer, T.Martin, E.Morvan, N.Caillas, S.L.Delage, D.Ducatteau, B.Grimbert and J. Jaeger, "Punch-through in short channel AlGa_N/Ga_N HFETs," *IEEE electron devices*, vol. 53, no. 2, pp. 395-398, 2006.
- [62] E.Zanoni, M.Meneghini and G.Meneghesso, "Reliability of Gallium Nitride HEMTs from Microwave to Power Applications," Munich, 2013.
- [63] Y.Uemoto, M.Hikita, H.Ueno, H.Matsuo, H.Ishida, M.Yanagihara, T.Ueda, T.Tanaka, D.Ueda, T.Tanaka and D.Ueda, "Gate injection transistor GIT a normally off AlGa_N/Ga_N power transistor using conductivity modulation," *IEEE*, vol. 54, no. 12, 2007.
- [64] Y.Cai, Y.Zhou, K.J.Chen and K.M.Lau, "High performance enhancement mode AlGa_N/Ga_N HEMTs using fluoride based plasma treatment," *IEEE*, vol. 26, no. 7, 2005.
- [65] M.Kuroda, T.Ueda and T.Tanaka, "Nonpolar AlGa_N/Ga_N metal insulator semiconductor heterojunction field effect transistors with a normally off operation," *IEEE*, vol. 57, no. 2, 2010.
- [66] I.J.Hwang, J.Oh, H.S.Choi, J.Kim, H.Choi, J.Kim, S.Chong, J.Shin and U.I.Chung, "Source connected P-Ga_N gate HEMTs for increased threshold voltage," *IEEE electron device letters*, vol. 34, no. 5, 2013.
- [67] O.Hilt, Brunner.F, Cho.E., A.Knauer, Bahat-Treidel.E and J. Würf, "Normally-off High-Voltage p-Ga_N Gate Ga_N HFET with Carbon-Doped Buffer," *international symposium on power semiconductor devices and IC's IEEE*, 2011.
- [68] M.A.Briere, "Ga_N Based Power Devices: Cost-Effective Revolution performance," IR, 2008.
- [69] Yole developement, "Super Junction MOSFET," 2011.
- [70] EPC; Stephen.L.C; Robert.A.B, "Fundamentals of Gallium Nitride Power Transistors," 2011.
- [71] E. A. Lidow and J. Strydom, "eGa_N FET Drivers and Layout Considerations," 2012.
- [72] EPC, "eGa_N® FETs:," 2013.
- [73] EPC; Alex Lidow, "Is it the End of the Road for Silicon in Power Conversion?," 2010.
- [74] EPC; Johan Strydom; Michael de Rooij; Alex Lidow, "Gallium Nitride Transistor Packaging Advances and Thermal Modeling," 2012.

- [75] EPC; Johan Strydom; Alex Lidow, "Driving eGaN TM Transistors for Maximum Performance".
- [76] Y.Xi, M.Chen, K.Nielson and R.Bell, "Optimization of the drive circuit for enhancement mode power GaN FETs in DC-DC converters," *APEC*, 2012.
- [77] EPC; Yanping Ma, "EPC GaN Transistor Application Readiness: Phase Three Testing," 2011.
- [78] EPC; Yanping Ma, "EPC GaN Transistor Application Readiness: Phase One Testing," 2011.
- [79] EPC; Yanping Ma, "EPC GaN Transistor Application Readiness: Phase Two Testing," 2011.
- [80] EPC; Yanping Ma, "EPC GaN Transistor Application Readiness: Phase Four Testing," 2011.
- [81] EPC; Yanping Ma, "EPC GaN Transistor Application Readiness: Phase Five Testing," 2011.
- [82] "Phys.org," 2009. [Online]. Available: <http://www.physorg.com/news179516515.html>.
- [83] X. Ren, J. Key, D. Reusch, S. Ji and Z. Zhang, "Three-level driving method for GaN power transistor in synchronous buck converter," *ECCE*, pp. 2949 - 2953, 2012.
- [84] N. Mohan, T. Underland and W. Robbins, *Power Electronics – Converters, Applications and Design*, John Wiley & Sons, 1995 second edition.
- [85] Fairchild, "AN-9010 MOSFET basics," 2000.
- [86] Intersil, "Datasheet EL7158," 2007.
- [87] W.Eberle, Z.Zhang, Y.F.Liu and P.C.Sen, "A current source gate driver achieving switching loss savings and gate energy recovery at 1MHz," *IEEE*, vol. 23, no. 2, 2008.
- [88] concept, "datasheet scale driver 2SD315AI," 2009.
- [89] S. LEFEBVRE and B. MULTON, "MOSFET et IGBT : circuits de commande," *Technique de l'ingenieur*.
- [90] Y. Ren, M. Xu, Y. Meng and F. C. Lee, "12V VR Efficiency Improvement based on Two-stage Approach and a Novel Gate Driver," *IEEE*, pp. 2635-2641, 2005.
- [91] K.Yao and F.C.Lee, "A novel resonante gate driver for high frequency synchronous buck convrters," *IEEE*, vol. 17, no. 2, pp. 180-186, 2002.

- [92] H.L.N.Wiegman, "A resonant pulse gate driver for high frequency application," *APEC*, pp. 738-743, 1992.
- [93] O. Deleage, Conception, réalisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC, TEL, 2009.
- [94] B.Wang, M.Riva, J.D.Bakos and A.Monti, "Integrated Circuit Implementation for a GaN HFET Driver Circuit," *IEEE transactions*, vol. 46, no. 5, 2010.
- [95] L.Lengignon, L.Omnes and F.Voiron, "Ultra low profile silicon capacitors (down to 80um) applied to decoupling applications. Results on ESR/ESL," *IPDIA*, 2013.
- [96] EPC and D.Reusch, "Optimizing PCB Layout," *EPC*, 2013.

CHAPITRE III



ENVIRONNEMENT DU GAN ET ELEMENTS PARASITES

1.	Impact de la montée en fréquence	113
A.	Répartition des courants dans les conducteurs	113
B.	Taille des passifs	115
2.	Gestion des inductances et CEM	118
A.	Modélisation des éléments parasites	118
B.	Minimisation des éléments parasites et des phénomènes CEM	128
3.	Mesures	135
4.	Aspects thermiques	139

Ce chapitre, qui se place entre les parties convertisseur et driver de cette thèse, met en évidence des aspects environnementaux importants pour le bon fonctionnement du convertisseur et des composants GaN. Nous allons donc aborder les problèmes de montée en fréquence, de CEM, de thermique, de mesure et la gestion des inductances. Ces différents points ne seront pas vus en détail car ils ne constituent pas le cœur de cette thèse, mais il est nécessaire de les aborder du fait de leur impact important sur la réalisation de notre convertisseur.

1. IMPACT DE LA MONTEE EN FREQUENCE

A. Répartition des courants dans les conducteurs

On présente ici deux effets (effet de peau et effet de proximité) qui peuvent être attribués aux courants induits et dont la conséquence est une mauvaise répartition des courants dans les conducteurs. Ces phénomènes sont d'autant plus présents lorsque la fréquence devient importante et leur prise en compte est nécessaire dans le but de réduire les pertes.

De façon générale, les pertes joules dans un conducteur sont minimales lorsque le courant qui le traverse se répartit de façon uniforme sur toute la section. On peut considérer que cela est vrai lorsque la fréquence est relativement basse, autrement dit, lorsque l'épaisseur de peau est grande devant le rayon du conducteur (cas d'un conducteur à section circulaire). Lorsque la fréquence augmente, le courant se répartit en périphérie du conducteur, ce qui a pour conséquence d'augmenter la résistance série et les pertes. On retrouve les mêmes phénomènes avec des conducteurs plats comme les pistes de PCB.

i. Effet de peau

Le courant parcourant un conducteur génère un champ dans et autour de ce conducteur. Dans le conducteur, le courant résultant de ce champ va se superposer au courant traversant. Au-delà d'un certain seuil en fréquence, le courant va désert le centre du conducteur pour se concentrer dans la périphérie Figure 145.

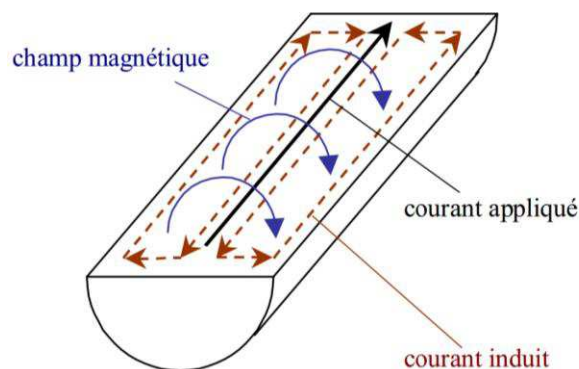


Figure 145 : Explication physique de l'effet de peau

L'épaisseur de peau est donnée par l'Eq. 11, avec ρ la résistivité du cuivre, μ_0 et μ_r les perméabilités respectives du vide et du matériau et f la fréquence du courant. Pour une fréquence de 1.5MHz, l'épaisseur de peau pour le cuivre est d'environ 65 μ m.

$$\delta = \sqrt{\frac{2\rho}{2\pi \cdot f \cdot \mu_0 \cdot \mu_r}} \quad \text{Eq. 11}$$

Pour nos convertisseurs, on s'orientera donc vers des PCB dont l'épaisseur de cuivre est bien inférieure à cette valeur.

ii. Effet de proximité

Cette fois, on place un deuxième conducteur à côté du premier en alimentant uniquement ce dernier. Le champ créé par le conducteur alimenté va générer dans l'autre conducteur un courant alternatif. Ce courant à l'origine des effets de proximité va générer des pertes dans le conducteur non alimenté (Figure 146). Le courant dans le conducteur non alimenté se répartira dans sa périphérie comme dans le cas de l'effet de peau.

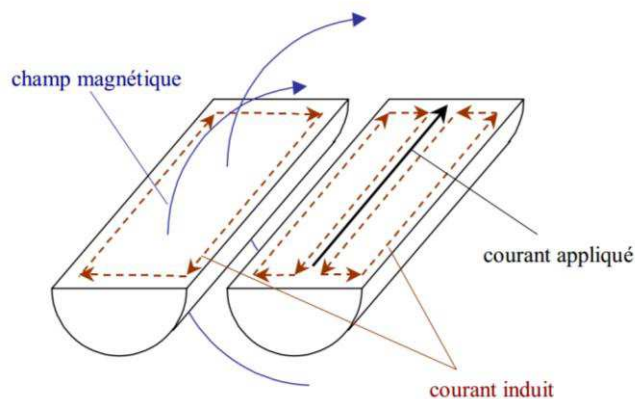


Figure 146 : Illustration de l'effet de proximité subi par le conducteur de gauche

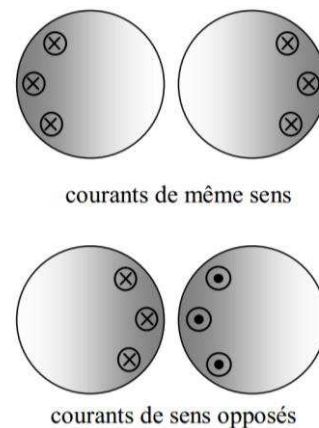


Figure 147 : Illustration de deux conducteurs proches traversés par un courant de même intensité

Le courant passant dans un conducteur pourra, via des effets de champ, être la source de pertes supplémentaires dans ce conducteur ou un autre se trouvant à proximité.

Si on considère cette fois que les deux conducteurs sont alimentés, on obtient la répartition représentée de façon schématique sur la Figure 147.

Pour calculer les pertes cuivre (et prendre en compte ces phénomènes haute fréquence) dans nos enroulements, on se servira de la méthode de Dowell présentée dans la thèse de Xavier Margueron .

B. Taille des passifs

La montée en fréquence des convertisseurs permet une réduction de la taille des éléments passifs, qu'ils soient utilisés pour le filtrage (inductance de lissage ou filtrage, capacité de filtrage ou de découplage) ou le fonctionnement du convertisseur (transformateur, inductance). On peut distinguer de façon générale les éléments capacitifs et les circuits magnétiques.

i. Condensateur

Le choix des condensateurs est souvent conditionné par la valeur de capacité nécessaire, le courant efficace admissible, ses performances en fréquence et l'encombrement. Voici les trois technologies principalement utilisées pour les condensateurs :

- Les condensateurs électrolytiques ont des capacités volumiques importantes mais elles n'ont pas un bon comportement haute fréquence (utilisables jusqu'à 100kHz pour les versions CMS).
- Les condensateurs céramiques ont, au contraire, un bon comportement haute fréquence mais les capacités volumiques sont plus faibles (Elles sont utilisées en RF à des fréquences supérieures au GHz).
- Les capacités films.

Pour travailler à haute fréquence, on préférera donc des capacités céramiques disponibles dans des boîtiers CMS de petites tailles ayant peu d'éléments parasites. Les éléments parasites sont un critère de choix supplémentaire pour des applications hautes fréquences. En effet, chaque condensateur possède une inductance (ESL) et une résistance série (ESR). La résistance série sera à l'origine de pertes qui impliqueront une élévation de la température du composant, qui aura pour conséquence immédiate une variation de la valeur de la capacité (ou dans le pire des cas la destruction du composant) et à long terme, une dégradation prématurée du diélectrique . Les inductances parasites, elles, provoqueront des surtensions lorsque le composant sera traversé par de forts di/dt , ce qui pourra éventuellement être incompatible avec certaines contraintes de filtrage. Les valeurs d'ESR des capacités sont fournies sur les sites des fabricants avec des valeurs comprises (pour des valeurs de capacités autour de $1\mu F$) entre quelques mOhms et plus d'une dizaine de mOhms (ce qui représente entre une et quatre fois l'état passant de nos interrupteurs de sortie EPC1015). Les valeurs d'ESL peuvent être extraites des tracés d'impédance.

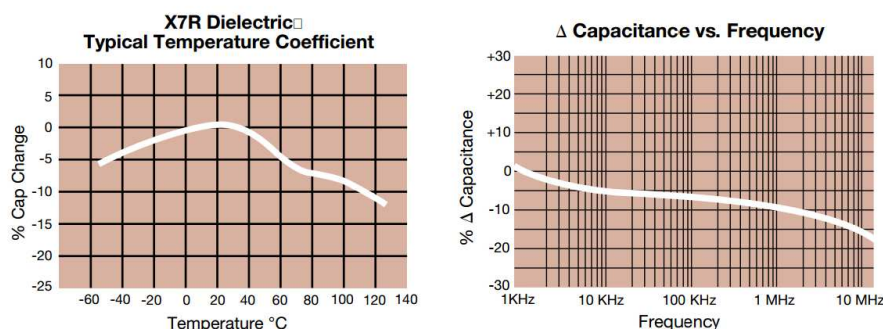


Figure 148 : Caractéristiques de capacités céramiques en boîtier CMS, AVX

ii. Circuits magnétiques

a. Introduction

Les ferrites sont des matériaux présentant de bonnes performances pour des fréquences élevées. Les ferrites ont des compositions multiples mais partagent une base d'oxyde de fer Fe_2O_3 et un procédé de fabrication par frittage (moulage à chaud et sous pression) . Pour les hautes fréquences on retrouve les couples manganèse-zinc (MnZn) et nickel-zinc (NiZn). Le premier couple a une perméabilité relative élevée (entre 650 pour le 3F5 et 2000 pour le 3F3) avec des bandes passantes s'arrêtant aux alentours de 6MHz (3F5). Le NiZn aura des perméabilités relatives moins élevées mais des bandes passantes plus larges. Dans notre cas on s'intéressera aux ferrites MnZn type 3F5.

b. Dimension des circuits magnétiques

Les pertes dans les inductances ou transformateurs peuvent être divisées en deux catégories : les pertes fer et les pertes cuivre. Les pertes cuivre étant liées aux conducteurs et les pertes fer au matériau magnétique. On va ici essayer de vérifier l'idée générale selon laquelle l'élévation de la fréquence s'accompagne d'une réduction de la taille des passifs et plus particulièrement des circuits magnétiques. On va pour cela se concentrer sur les pertes fer et utiliser ces pertes comme critère de choix pour le circuit magnétique.

Pour cela nous aurions pu nous servir de la formule de perte fer de Steinmetz (Eq. 12) avec les coefficients du matériau 3F4 fournis par Ferroxcube avec la formule de l'induction max pour une tension rectangulaire d'amplitude V. Un résumé de ces coefficients est fourni dans le Tableau 12 pour le 3F3 et le 3F4.

ferrite	f(kHz)	Cm	x	Y	ct ₂	ct ₁	ct ₀
3F3	100-300	0.25 ^{E-3}	1.63	2.45	0.79 ^{E-4}	1.05 ^{E-2}	1.26
	300-500	2 ^{E-5}	1.8	2.5	0.77 ^{E-4}	1.05 ^{E-2}	1.8
	500-1000	3.6 ^{E-9}	2.4	2.25	0.67 ^{E-4}	0.81 ^{E-2}	1.14
3F4	500-1000	12 ^{E-4}	1.75	2.9	0.95 ^{E-4}	1.1 ^{E-2}	1.15
	1000-3000	1.1 ^{E-11}	2.8	2.4	0.34 ^{E-4}	0.01 ^{E-2}	0.67

Tableau 12 : Coefficient pour le calcul des pertes fer avec la formule de Steinmetz

$$P_{fer} = C_m \cdot f^x \cdot B_{max}^y \cdot (ct_0 - ct_1 \cdot T + ct_2 \cdot T^2) \quad \text{Eq. 12}$$

$$B_{max} = \frac{V}{4 \cdot f \cdot N \cdot Sf} \quad \text{Eq. 13}$$

Avec :

B_{max} : Induction max dans la ferrite

V : L'amplitude de la tension rectangulaire appliquée

N : Nombre de spire de l'enroulement

Sf : Section du circuit magnétique

T : Température de la ferrite en °C

Or, ces paramètres sont peu précis et assez sensibles à la fréquence (on remarquera d'ailleurs l'écart important de la valeur de C_m pour le 3F4 dans les deux domaines de fréquences). On utilisera donc les abaques fournis sur les datasheets de Ferroxcube, ceux du 3F4 et du 3F5 sont affichés sur les Figure 149 et 150.

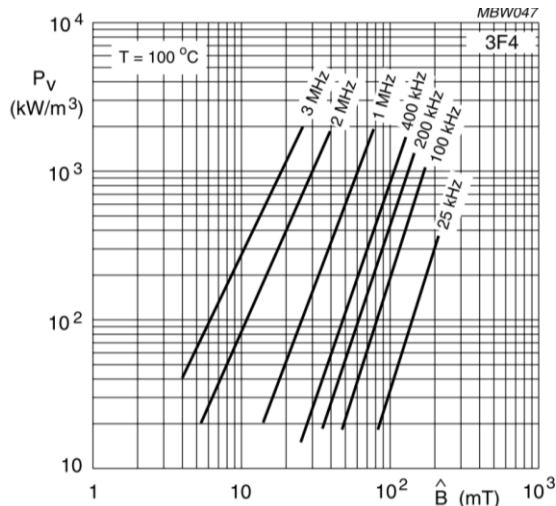


Figure 149 : Graphique de densité de perte en fonction de la fréquence pour le 3F4

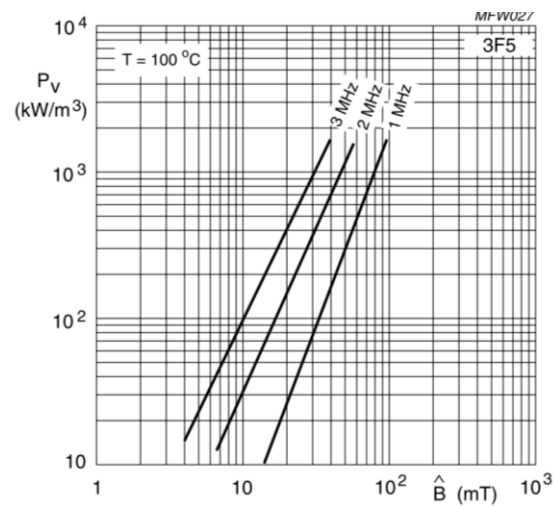


Figure 150 : Graphique de densité de perte en fonction de la fréquence pour le 3F5

Pour observer l'évolution de la dimension du circuit magnétique en fonction de la fréquence on va fixer un niveau de perte (300 kW/m^3), la tension V (21Volts), le nombre de spires N (3) et la température T (100°C). Les conditions dans lesquelles nous nous plaçons sont proches de celles du transformateur de puissance utilisé dans notre convertisseur. On relève ensuite les valeurs de la section de fer S_f qui permettent de garder la valeur d'induction max fixée.

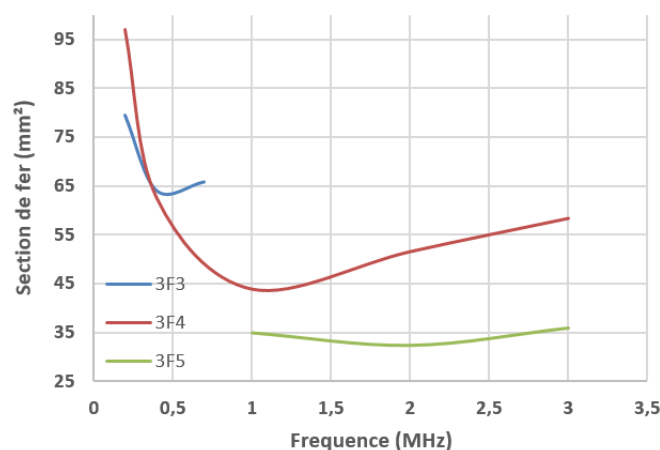


Figure 151 : Evolution de la section de fer en fonction de la fréquence à pertes constantes pour les matériaux 3F3, 3F4 et 3F5

Les résultats de l'évolution de S_f en fonction de la fréquence pour différents matériaux sont représentés sur la Figure 151. La section de fer nécessaire diminue en fonction de la fréquence et chacun des matériaux est avantageux sur une partie de la gamme de fréquence

étudiée. Néanmoins, le gain sur le volume de ferrite se fait au détriment de la perméabilité relative. En effet, la perméabilité du 3F5 (650) est trois fois inférieure à celle du 3F3 (2000), on sera donc susceptible dans notre transformateur d'avoir plus de fuites et donc un moins bon couplage. Si on veut un matériau plus haute fréquence que le 3F5 chez Ferroxcube on aura alors des ferrites type NiZn avec une perméabilité relative de 80 ce qui est très faible.

On a donc une réduction du volume de fer importante jusqu'à 800kHz environ, puis une stagnation et à partir de 2MHz le volume commence à augmenter (à pertes égales). La diminution de la fréquence de découpage de 1.5MHz à 0.8MHz ne provoquerait pas une forte augmentation du volume de fer (ou de perte à volume de fer identique) mais permettrait de réduire les pertes par commutation dans les interrupteurs de puissance, qui elles, sont proportionnelles à la fréquence (croisement courant tension dans les interrupteurs et charge/décharge des capacités parasites).

2. GESTION DES INDUCTANCES ET CEM

Nous allons voir de façon basique l'impact de ces éléments parasites sur le convertisseur et comment les simuler, puis nous proposerons quelques règles de routage pour minimiser l'impact des éléments parasites.

A. Modélisation des éléments parasites

i. Introduction

Les développements actuels de l'électronique de puissance tendent à exacerber les problèmes de CEM : Les réseaux électriques embarqués (aéronautique) sont de plus en plus complexes dans des espaces toujours aussi confinés, les convertisseurs sont de plus en plus intégrés avec des fréquences de découpage qui ne cessent d'augmenter. La simulation des éléments parasites est donc devenue cruciale pour certaines applications, même si certaines règles de routage (dont nous parlerons plus loin) et de dimensionnement peuvent parfois suffire pour s'affranchir des problèmes de CEM. Des travaux sur le sujet ont déjà été réalisés au G2Elab comme la thèse de Wim Teulings portant sur la prise en compte du câblage dans la simulation des convertisseurs ou celle de Thomas De Oliveira qui propose une méthode d'optimisation automatique du routage.

ii. Compatibilité électromagnétique

La compatibilité électromagnétique (CEM) a pour but de garantir le bon fonctionnement des systèmes, leur certification et l'anticipation de contraintes futures. La gamme de fréquence concernée par cette discipline est importante et s'étend de 150kHz à 1GHz. On distingue deux modes de couplage différents faisant intervenir deux phénomènes distincts utilisant des chemins différents. On aura donc la CEM conduite et la CEM rayonnée. Les nombreuses normes imposées aux fabricants ont pour but de limiter les émissions des appareils ou leur sensibilité au rayonnement des autres.

a. Normes et montée en fréquence

Dans un cadre général, la taille des filtres est conditionnée par le cahier des charges du fabricant et par les normes qui lui sont imposées. La norme EN55022A, par exemple, impose une amplitude maximal aux harmoniques de sortie. Les travaux de Thierry Meynard permettent de mettre en évidence les contraintes de cette norme sur la montée en fréquence des convertisseurs. La contrainte de la norme EN55022A sur les harmoniques de sortie est illustrée sur la Figure 152. L'augmentation de la fréquence de découpage dans cet exemple impliquera l'utilisation de filtres avec des fréquences de coupures inférieures pour respecter la norme. Les composants utilisés pour le filtrage auront des valeurs plus grandes et ainsi probablement un volume plus important. Si on prend le cas "nCell=1" de la Figure 154, on voit que la fréquence de coupure augmente jusqu'à ce que les harmoniques ne respectent plus la norme, puis elle redescend pour rester sous la norme et enfin remonte lorsque l'ondulation se trouve en dessous (avec différentes pentes à l'image de la norme).

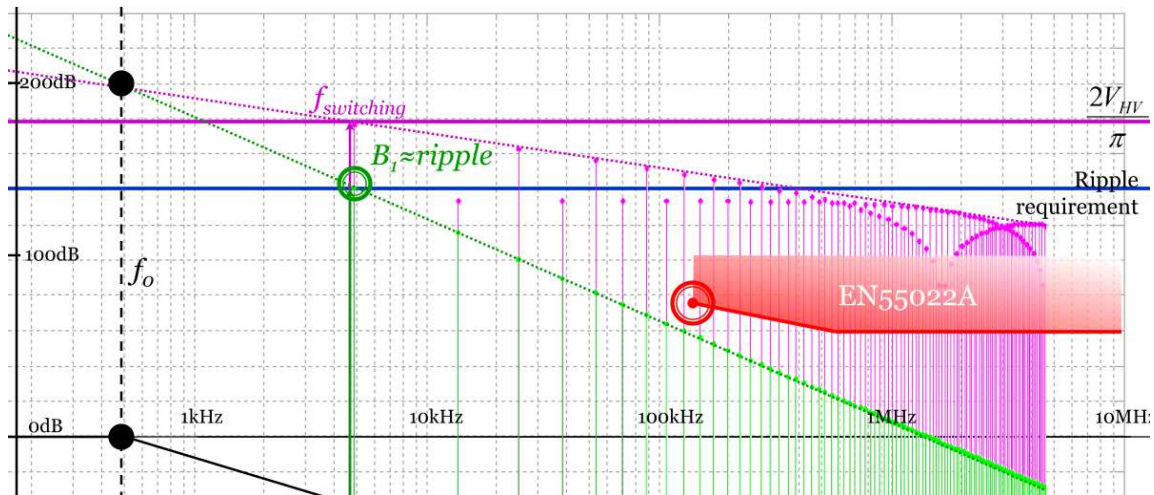


Figure 152 : Décomposition spectrale d'une tension de sortie et placement de la norme. En magenta sans filtrage et en vert avec filtrage. La norme EN55022A impose des amplitudes inférieures à la limite en rouge

L'association multiniveau série-parallèle permet de faire travailler les interrupteurs à une fréquence donnée tout en ayant une fréquence apparente en sortie supérieure en fonction du nombre de niveau (et donc un ripple plus faible). La Figure 153 montre un onduleur "flying capacitor" avec deux cellules en parallèle, ainsi que les éléments de filtrage en entrée et en sortie.

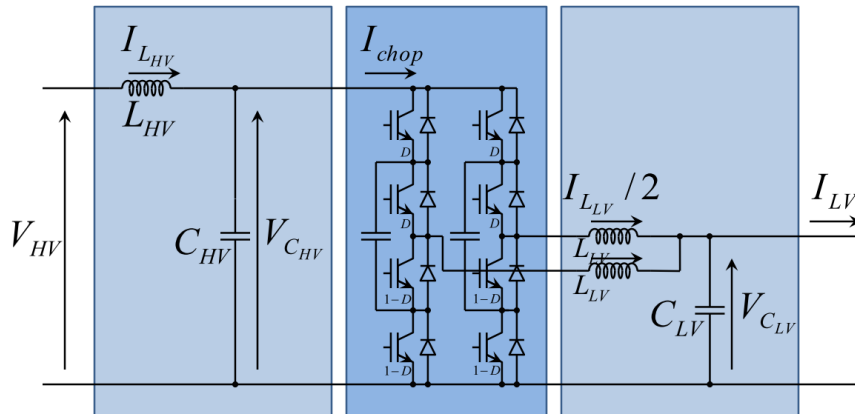


Figure 153 : Association multiniveaux, 2 cellules série et 2 parallèle

L'évolution de la fréquence de coupure du filtre de sortie en fonction du nombre de cellule et de la fréquence de commutation est représentée sur la Figure 154. Dans le cas où l'on a qu'une seule cellule, la fréquence de coupure augmente (et donc la taille des éléments de filtrage diminue) jusqu'à 10kHz, puis diminue (et donc la taille des éléments de filtrage augmente) jusqu'à 150kHz avant de monter à nouveau une fois que la contrainte de la norme est passée. On tombe alors sur un paradoxe car l'augmentation des fréquences de découpage est censée réduire la taille des passifs, or ici elle augmente (entre 10kHz et 150kHz). On pourrait donc avoir des convertisseurs de taille réduite (réduction de la taille du convertisseur avec la fréquence) avec des filtres plus gros. Pour que la fréquence de coupure retrouve la même valeur en haute fréquence qu'à 10kHz, il faut se placer au-delà du MHz. Si cette fois on considère une structure avec 3 cellules, on retrouve la même valeur de fréquence de coupure à 200kHz.

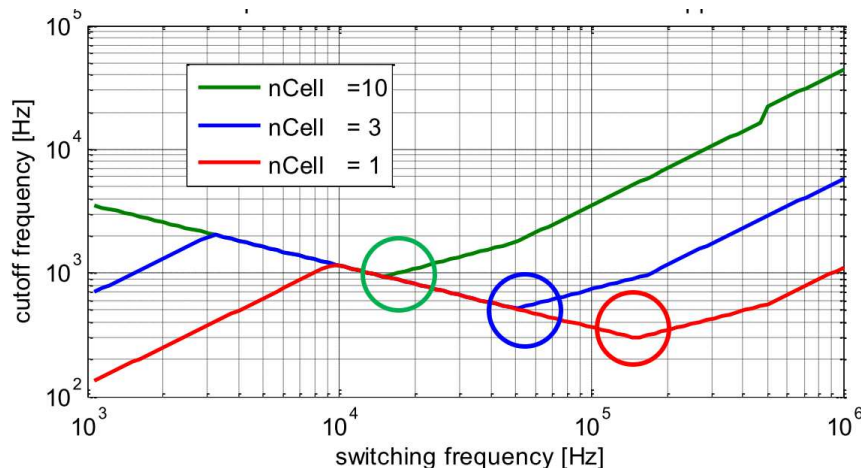


Figure 154 : Evolution de la fréquence de coupure du filtre de sortie en fonction du nombre de cellules et de la fréquence de commutation

Les normes imposent donc une contrainte forte sur la montée en fréquence des convertisseurs de façon générale.

b. Mode commun

D'un point de vue pratique, le mode commun est généré par les dv/dt et utilise comme canal de transmission les capacités parasites présentes dans les circuits. Les commutations

rapides des interrupteurs vont alors exciter ces capacités parasites et générer des courants qui pourront perturber les autres éléments du montage.

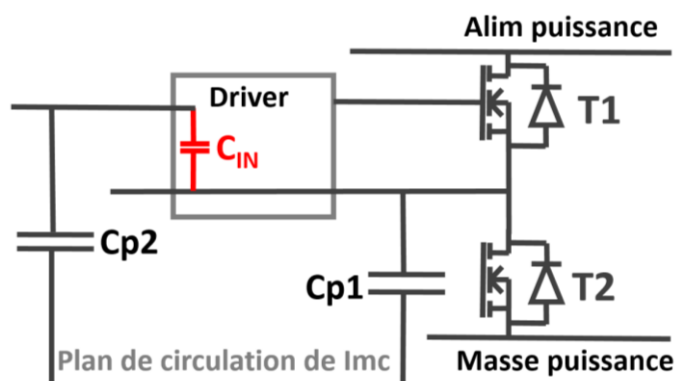


Figure 155 : Schéma électrique de l'exemple proposé

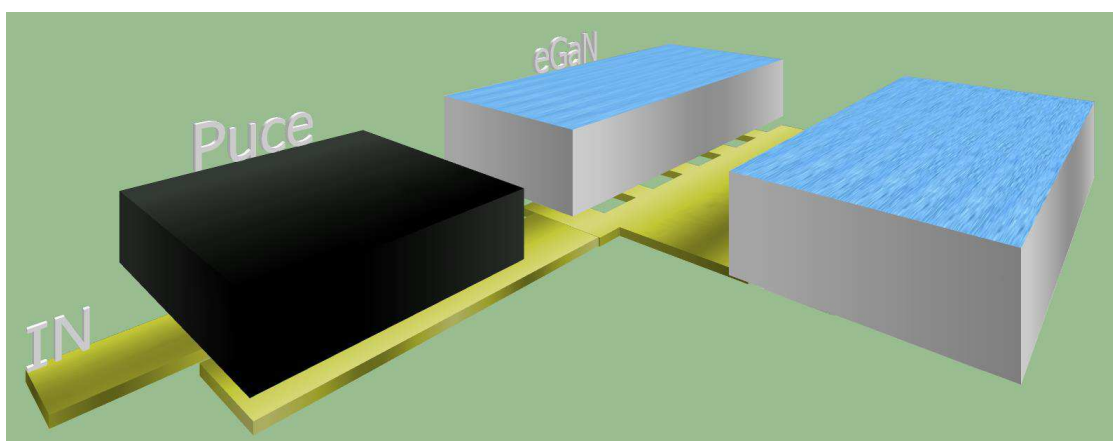


Figure 156 : Représentation d'un bras d'eGaN avec un driver et la piste du signal d'entrée

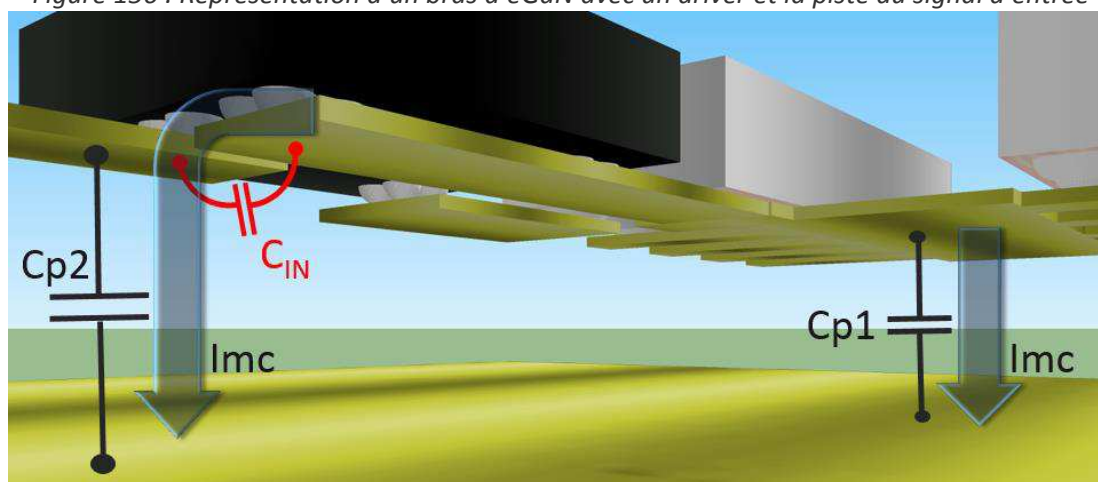


Figure 157 : Illustration de la circulation du courant de mode commun

Les Figure 156, 157 et 155 illustrent un cas pratique où des courants de mode commun viennent perturber un driver (puce). On a représenté deux transistors EPC disposés en bras de pont, le driver du transistor haut, la piste du signal d'entrée du driver et un plan (plan écran dans le PCB ou la terre). La piste de masse du driver est donc reliée à celle reliant le drain et la source des deux interrupteurs GaN. Nous avons représenté les capacités parasites entre la

piste de puissance et le plan, et celle entre la piste d'entrée du driver et le plan (respectivement C_{p1} et C_{p2}). La capacité d'entrée du driver est représentée par C_{IN} .

Durant les commutations des deux interrupteurs de puissance, la piste qui les relie va voir son potentiel varier avec de fortes valeurs de dv/dt . Des courants de mode commun (notés I_{mc}) vont alors traverser C_{p1} et/ou C_{IN} et C_{p2} et atteindre le plan situé sous les pistes. Ils pourront ensuite se reboucler via d'autres capacités parasites. On se retrouve avec un diviseur capacitif et si les valeurs des capacités parasites sont du même ordre de grandeur que celui des capacités victimes (ici C_{IN}) on pourra avoir des phénomènes d'auto commutation, voire des surtensions en entrée des circuits analogiques. On a pris ici l'exemple du driver mais ce genre de perturbations pourrait toucher tous les éléments du circuit, voire même les grilles des eGaN directement.

Les courants de mode commun circulant dans le circuit (ou se rebouclant par la terre en l'absence de plan) pourront générer des perturbations de mode différentiel.

c. Mode différentiel

Les perturbations de mode différentiel ont pour origine la circulation du courant de puissance dans les pistes du circuit. Cette circulation va générer des champs magnétiques qui pourront induire des tensions dans les conducteurs environnants. Le routage joue un rôle important aussi bien pour la génération du champ magnétique que pour la tension induite.

Pour illustrer les effets de mode différentiel dans un circuit, nous allons reprendre l'exemple d'un bras de pont et du driver du transistor haut. On rajoute cette fois la capacité de découplage du bras noté C_{out} . Lors du fonctionnement du circuit, le courant de mode différentiel (courant utile au fonctionnement du circuit) circule dans les pistes reliant C_{out} aux interrupteurs. Les commutations successives seront à l'origine de fort di/dt et la boucle formée par les pistes de puissance générera alors un champ magnétique (Ch) qui rayonnera dans l'environnement du circuit et pourra induire des tensions dans les autres boucles du circuit ou tout autre conducteur (les géométries en boucle favorisant le phénomène).

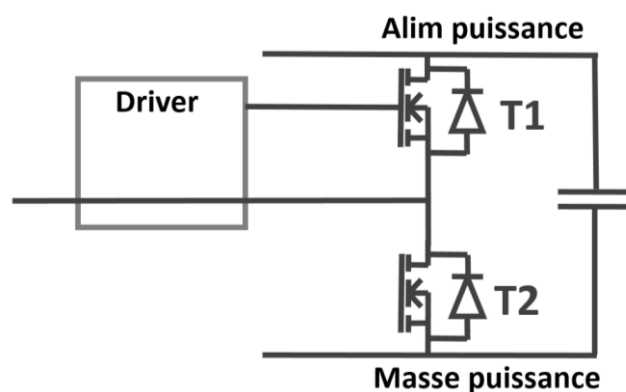


Figure 158 : Schéma électrique de l'exemple proposé

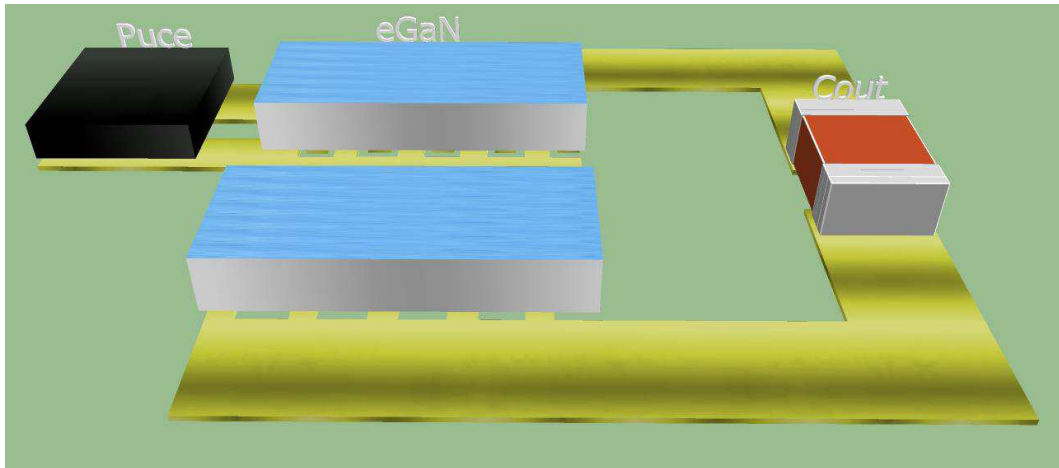


Figure 159 : Représentation d'un bras d'eGaN avec un driver et la capacité de sortie

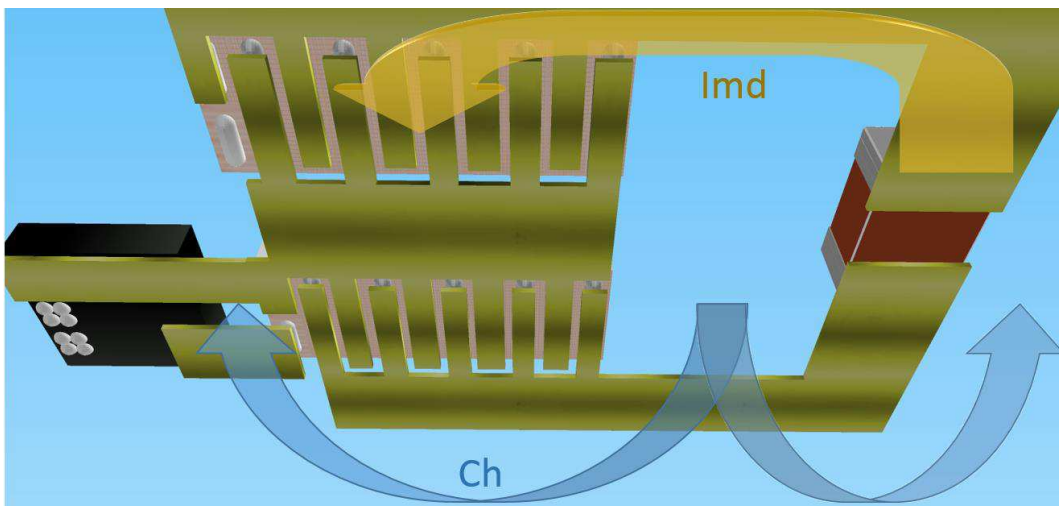


Figure 160 : Illustration des perturbations de mode différentiel

Dans notre exemple les pistes de puissance sont la source d'émission et le circuit de grille est la victime. En effet, le champ généré pourra se reboucler en passant par le circuit de grille générant ainsi une tension dans ce dernier.

iii. Modélisation des éléments parasites

a. *Modélisation d'un circuit*

Dans le cadre de cette thèse nous avons voulu prendre en compte les éléments parasites afin de prédire les éventuelles perturbations et améliorer notre routage. Pour cela nous nous sommes inspirés des thèses de Wim Teulings et Maxime Besacier dans lesquelles les éléments parasites sont pris en compte pour la simulation électrique du circuit.

Dans le but de prédéterminer les résultats pratiques par la simulation, tous les éléments du circuit doivent être modélisés finement. Les éléments à prendre en compte sont les suivants :

- Les inductances de pistes et les mutuelles seront calculées à l'aide du logiciel InCa3D. La topologie du routage sera définie et on aura accès aux valeurs des inductances de pistes.

- La fréquence équivalente de largeur de bande f_B . Cette fréquence est utilisée dans InCa pour le calcul des inductances. En effet, pour le calcul, InCa utilise une seule fréquence alors qu'en pratique nous utilisons des formes d'ondes carrées au contenu spectral assez important. Néanmoins dans sa thèse, Wim Teulings (calcul sur un circuit de puissance, p63). fait apparaître le fait que l'inductance sur l'ensemble de la plage de fréquence qu'il considère (1Hz-100MHz), peut ne varier que de 6%
- Pour le calcul des capacités parasites, nous nous servons des formules dédiées à la géométrie micro ruban (Figure 161). La thèse de Jérémie Aimé résume les formulations analytiques s'appliquant à plusieurs types de géométries, certaines prenant en compte les effets de bord, d'autres non. Dans notre étude nous utiliserons la formulation (Eq. 14) de Sakurai et Tamaru qui, dans la thèse de Jérémie Aimé, a montré une bonne précision (0.1% d'erreur entre pratique et mesure).

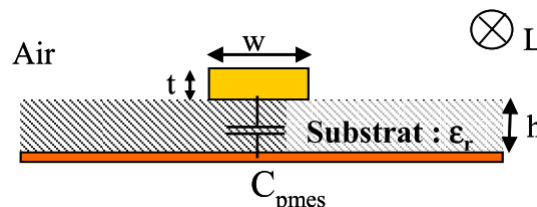


Figure 161 : Géométrie micro ruban pour le calcul de la capacité parasite C_{pmes}

$$C_{pmes} = \epsilon_0 \cdot \epsilon_r \cdot L \cdot \left(1,15 \cdot \frac{w}{h} + 2,8 \cdot \left(\frac{t}{h} \right)^{0,222} \right) \quad \text{Eq. 14}$$

Avec

C_{pmes} : La capacité parasite

w : La largeur de piste

t : L'épaisseur de la piste

h : L'épaisseur de diélectrique

L : La longueur de la piste

ϵ_r : Permittivité diélectrique du substrat

- Modèles de composants : Pour que nos simulations reproduisent la pratique nous aurons besoin de modèles de composants actifs et passifs précis. Concernant les passifs, nous utiliserons les informations fournies par les constructeurs de capacités CMS. Nous aurons donc accès à l'ESR et l'ESL. Dans l'exemple présenté ici, nous n'aurons pas de transformateur et l'inductance ne nécessitera pas d'attention particulière pour sa modélisation. Pour les composants actifs cela se complique. En effet, les modèles précis de composants (level 3 spice) que l'on trouve dans les logiciels de simulation circuit font souvent appel à des paramètres qui ne sont pas fournis par les constructeurs. Certains fabricants fournissent directement le modèle Spice de leurs composants ce qui est le cas d'EPC, néanmoins nous ne sommes pas parvenus à faire fonctionner leur modèle (codage mal adapté au logiciel)! Nous

avons donc utilisé les paramètres de MOSFETs se rapprochant des eGaN. Pour cela nous avons rentré les valeurs de capacités parasites et la valeur de la transconductance dans le but de se rapprocher du comportement expérimental.

b. Modélisation d'un hacheur série

Nous avons appliqué la même méthode pour modéliser les perturbations observées dans nos montages Buck précédemment. En validant la méthode sur un montage simple on souhaite ensuite l'appliquer sur des circuits plus complexes.

Nous avons donc modélisé sous InCa (Figure 162) les pistes de puissance et de commande de notre circuit (Figure 163). Nous avons ensuite fait des mesures des inductances reliant chaque composant présent. Pour le paramètre de fréquence de la simulation nous avons utilisé la fréquence de découpage (et non la fréquence équivalente de largeur de bande) après nous être assuré que cela avait peu d'influence sur le résultat (2% de variation entre 1 et 100MHz). Les calculs d'impédances (placement des sondes d'impédance dans InCa) étaient réalisés de façon à calculer l'inductance entre les composants (et non à chaque segment).

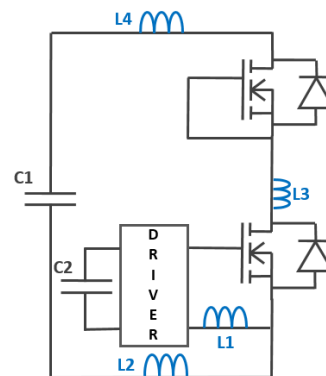


Figure 164 : Schéma du circuit simulé

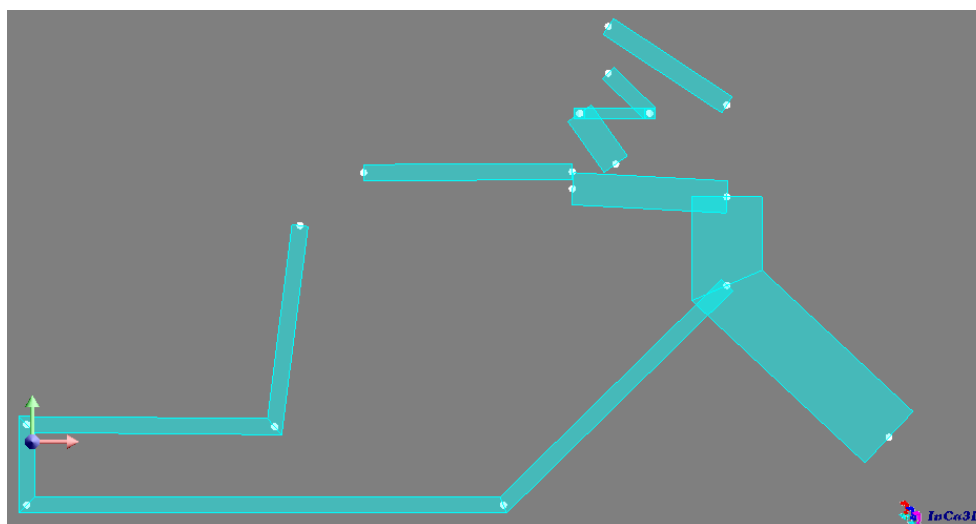


Figure 162 : Modélisation du routage sous InCa3D

On a ensuite exporté ces résultats pour les utiliser dans Portunus (logiciel de simulation circuit de Cedrat) et on a rajouté tous les autres éléments (eGaN, capacités de découplage...). Les capacités parasites étaient calculées avec la formule de Sakurai et Tamaru présentée page 125 et placées à chaque extrémité des conducteurs.

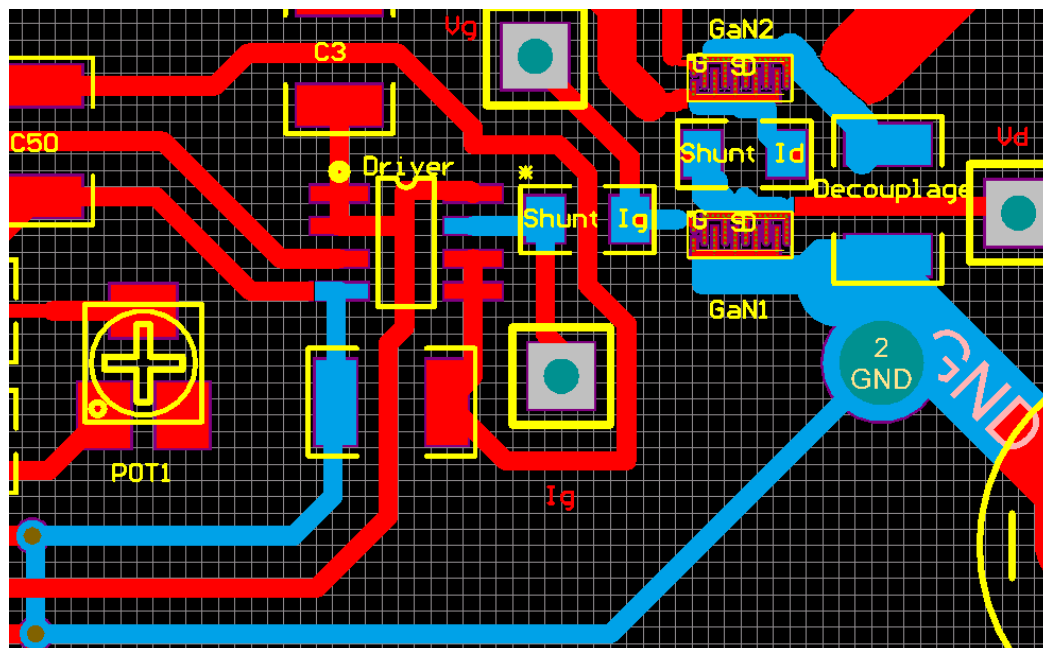


Figure 163 : Vue du routage sous Altium. Les pistes en turquoise sont celles modélisées sous InCa3D

Pour les composants actifs on a besoin d'un modèle pour les egaN et d'un modèle pour le driver. Un modèle Spice de l'EL7158 est fourni par Intersil sur internet et comme nous l'avons déjà mentionné, nous ne sommes pas arrivés à faire fonctionner ceux d'EPC pour les egaN. Pour les paramètres des transistors, nous avons donc pris les paramètres de MOSFETs se rapprochant des eGaN.

Les Figure 165 et 166 montrent les résultats expérimentaux et simulés des formes d'ondes du hacheur pour une tension d'entrée de 5V et un courant d'entrée de 0.45A. En pratique, on a des oscillations composées de signaux de plusieurs fréquences, alors qu'en simulation les oscillations sont moins complexes.

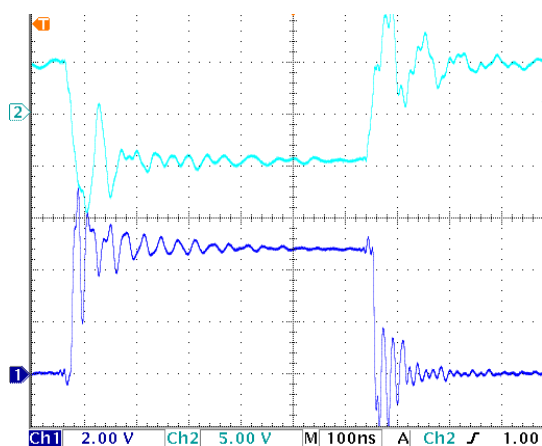


Figure 165 : Résultats expérimentaux du montage Buck avec une tension d'entrée de 5V et un courant d'entrée de 0.45A. Ch2= V_{GS} , Ch1= V_{DS}



Figure 166 : Simulation du montage Buck avec une tension d'entrée de 5V et un courant d'entrée de 0.45A.

Sur le signal de grille, on a en pratique une composante basse fréquence très visible et une autre haute fréquence de plus faible amplitude. En simulation on retrouve uniquement la composante basse fréquence, mais dont les caractéristiques sont proches : l'amplitude des oscillations est de 6.5V pour la simulation et 6V pour la pratique et la fréquence est de 14.3MHz pour la pratique et 20MHz pour la simulation.

Pour le signal drain source, la différence est plus importante ; dans les deux cas on a des oscillations avec un contenu spectral plus important, néanmoins l'amplitude est plus importante en pratique (2V) qu'en simulation (1V). De plus, ces oscillations semblent bien mieux amorties en simulation. On remarque en simulation un pic de tension dû aux oscillations du signal de grille, mais qui n'apparaît pas en pratique.

Les Figure 167 et 168 montrent les résultats expérimentaux et simulés des formes d'ondes du hacheur pour une tension d'entrée de 20V et un courant d'entrée de 0.21A (mesures faites avec oscilloscope et sondes 100MHz).

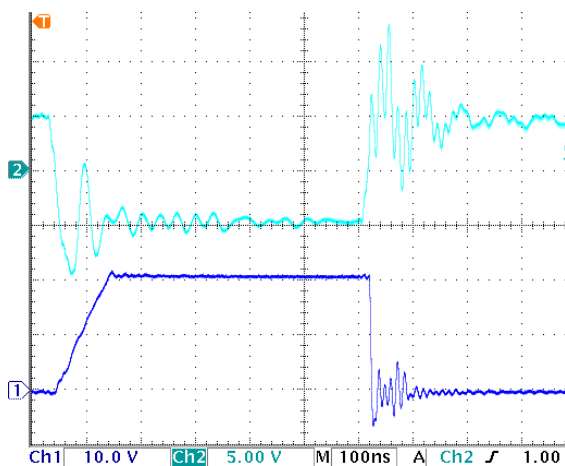


Figure 167 : Résultats expérimentaux du montage Buck avec une tension d'entrée de 20V et un courant d'entrée de 0.21A.
Ch2=V_{GS}, Ch1=V_{DS}



Figure 168 : Simulation du montage Buck avec une tension d'entrée de 20V et un courant d'entrée de 0.21A.

Concernant la tension grille source, on retrouve à nouveau en pratique des oscillations haute et basse fréquence, et à nouveau on ne retrouve que la basse fréquence en simulation. Les caractéristiques de basse tension semblent identiques dans les deux cas alors que l'amplitude de la haute tension a nettement augmentée (multiplié par 4 environ).

Pour le signal drain source on a cette fois très peu d'oscillation étant donné que le courant de puissance est faible (charge lente de C_{oss}). On retrouve comme la première fois un phénomène d'auto commutation à cause des oscillations sur la grille.

iv. Discussion

Nous avons ici tenté de prendre en compte les éléments parasites dans le cas d'un circuit simple pour prédire les perturbations et améliorer le routage avant l'étape de prototypage. Les formes d'ondes de V_{GS} étaient proches, même si les phénomènes haute fréquence n'apparaissent pas du tout en simulation. De plus, les pistes du circuit de grille étaient relativement longues ce qui facilite la modélisation des éléments parasites. Les pistes

du circuit de puissance étaient plus courtes, ce qui augmente l'impact des éléments parasites contenus dans les boîtiers et dont on ne connaît pas précisément la valeur (ni la géométrie des conducteurs). Nos résultats sur le circuit de puissance étaient donc très peu précis.

Dans sa thèse, alors que ses simulations étaient bien plus précises que les nôtres, Wim Teulings concluait en disant qu'une meilleure précision des modèles Spice des actifs était souhaitable ainsi qu'une meilleure modélisation des capacités parasites. Or dans notre cas, l'obtention de bons modèles de composants actifs peut s'avérer long alors que la modélisation n'est pas le but premier de cette thèse. Les inductances internes des boîtiers des semi-conducteurs sont inconnues donc en partie responsables des écarts de mesures sans que l'on puisse savoir dans quelles proportions.

Pour ces deux raisons (précisions des modèles Spice d'actif et des inductances parasites dans les boîtiers) notre prise en compte des éléments parasites et des phénomènes de CEM sera qualitative et s'orientera vers des considérations géométriques basées sur des règles de routage simple. Nous nous servirons néanmoins d'InCa3D pour l'évaluation des inductances des circuits de commande et de puissance comme nous l'avons fait précédemment pour le dimensionnement du driver intégré. L'inductance minimale calculable par ce logiciel est de l'ordre du nH avec une précision d'environ 10%. En dessous de cette valeur il devient difficile d'évaluer la précision des calculs en raison de la complexité à réaliser des mesures expérimentales précises pour les vérifier.

B. Minimisation des éléments parasites et des phénomènes CEM

i. Mode différentiel et inductance

Comme nous l'avons vu précédemment, les sources d'émissions de perturbations de mode différentiel sont les boucles de courant et les victimes sont les conducteurs environnants. Les géométries en forme de boucles favoriseront aussi bien l'émission que la réception de perturbations. Pour le design du routage, on limitera donc les boucles formées par les conducteurs. De plus, la réduction des surfaces de boucle favorisera également la réduction des inductances de piste. En effet, l'inductance d'un conducteur est égale à son inductance propre moins sa mutuelle inductance et la mutuelle augmente lorsqu'on réduit la surface de boucle (pour une même valeur d'inductance propre). La réduction des phénomènes de mode différentiel s'accorde donc avec la réduction des inductances de pistes et des oscillations dans les circuits de grille (victime) et de puissance (émission). De plus, les courants de Foucault générés dans le cuivre renforceront cet effet.

L'utilisation de plan écran permettra aussi de réduire les phénomènes de mode différentiel entre les différentes couches. En effet, le cuivre est un matériau diamagnétique il repousse donc les lignes de champ empêchant un côté du plan de polluer l'autre.

a. Effet busbar

La topologie busbar des conducteurs consiste à superposer les conducteurs plutôt qu'à les placer sur une même couche. Ainsi, on minimise la surface de boucle formée par les conducteurs et on augmente la mutuelle entre eux (augmentation des surfaces en regard).

Pour illustrer cet effet, nous allons analyser trois façons de placer la capacité de découplage de puissance dans un montage Buck. Les trois topologies sont affichées sur les Figure 169 et Figure 171 avec des composants eGaN d'EPC.

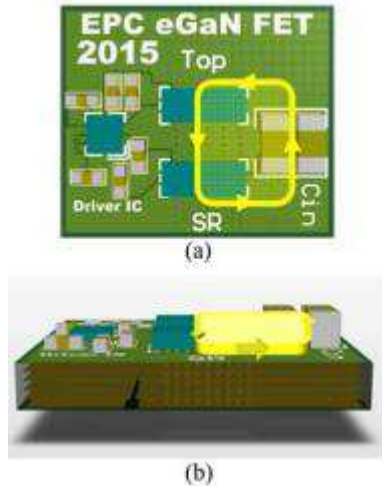


Figure 169 : Boucle de puissance avec placement latéral classique. (a) vue de haut, (b) vue de côté

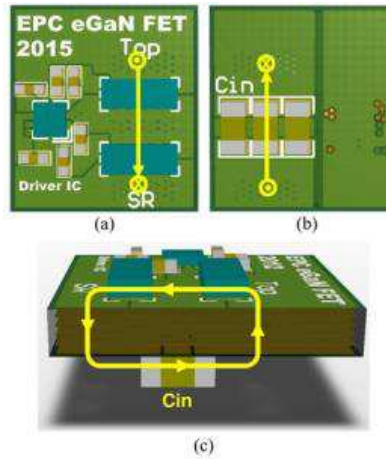


Figure 170 : Boucle de puissance avec placement vertical. (a) vue de haut, (b) vue de dessous, (c) vue de côté

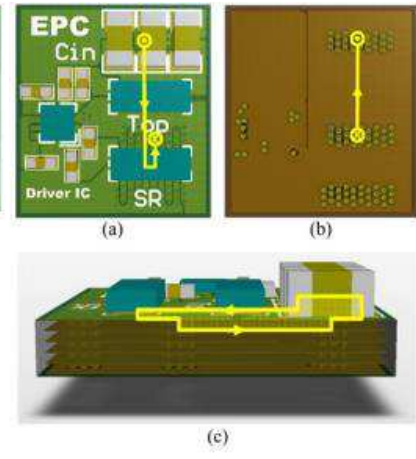


Figure 171 : Boucle de puissance avec placement busbar. (a) vue de haut, (b) vue de dessous, (c) vue de côté

Le placement latéral de la capacité de découplage est le seul pour lequel l'inductance du circuit de puissance ne dépend pas des caractéristiques du PCB. Dans le cas d'un PCB multicouche standard ce sera la topologie ayant la plus forte inductance parasite et la surface de boucle la plus importante. La topologie verticale offre une amélioration par rapport à la précédente, néanmoins le courant est obligé de traverser tout le PCB, alors qu'avec la dernière, le courant ne traverse qu'une seule couche (la valeur de l'inductance est donc dépendante de la géométrie du PCB). De plus, dans le cas où on peut utiliser des capacités plus petites, cela réduirait l'inductance du circuit busbar, mais pas celle des deux autres. Pour minimiser au maximum l'inductance du circuit, on pourra placer des capacités de faibles valeurs (et de petite taille) en busbar et placer une capacité plus importante verticalement. Les forts di/dt génèrent peu de champ (surface de boucle très faible avec la topologie busbar), l'inductance du circuit sera minimisée et la fonction découplage assurée correctement.

La réduction de l'inductance de la boucle de puissance permet d'établir ou de couper plus rapidement le courant de puissance (dans le cas d'un montage buck) et donc d'obtenir des commutations plus rapides. Dans EPC montre l'impact de cette inductance sur la vitesse de commutation et le rendement d'un convertisseur buck.

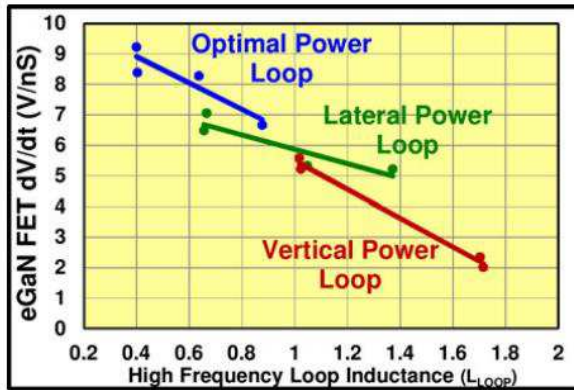


Figure 172 : Impact de l'inductance du circuit de puissance sur les dv/dt pour un montage buck. La topologie "optimale" est la busbar.

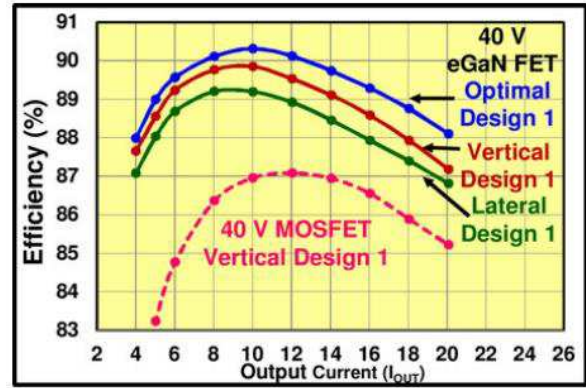


Figure 173 : Impact du placement de la capacité de découplage sur le rendement d'un convertisseur buck. La topologie "optimale" est la busbar.

b. Placement des conducteurs

On vient de voir le cas d'une boucle de conducteur où l'on a deux conducteurs avec un sens de passage du courant opposé. La thèse de Jérémie Aimé propose de calculer le champ généré par quatre conducteurs passant à proximité les uns des autres (Tableau 13).

	Config 1	Config 2	Config 3

Tableau 13 : Configurations testées dans

Le champ est calculé dans les trois plans de l'espace (Figure 174 et 176). La configuration 1 est celle qui génère le moins de champ loin devant les deux autres. Cela est prédictible car c'est la topologie qui maximise les mutuelles entre conducteurs. Les deux autres configurations pourraient être assimilées à deux conducteurs conduisant dans des sens opposés et placés soit l'un au-dessus de l'autre (config 2) soit l'un à côté de l'autre (config 3). Auquel cas, la surface en vis-à-vis étant plus importante dans la configuration 2, on aura une mutuelle plus importante et un champ rayonné moins important que dans la configuration 3.

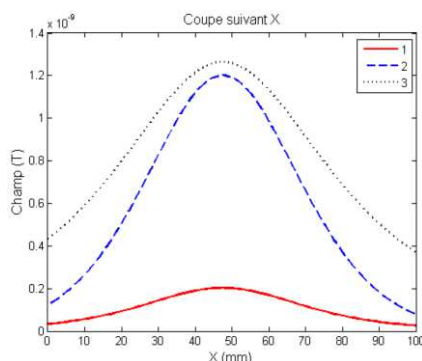


Figure 174 : Plan XY

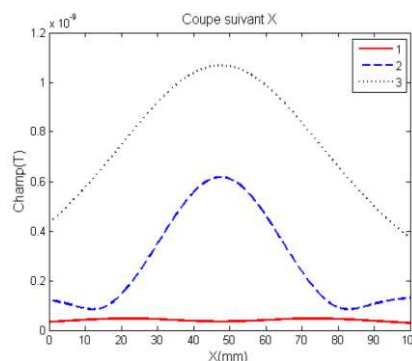


Figure 175 : Plan XZ

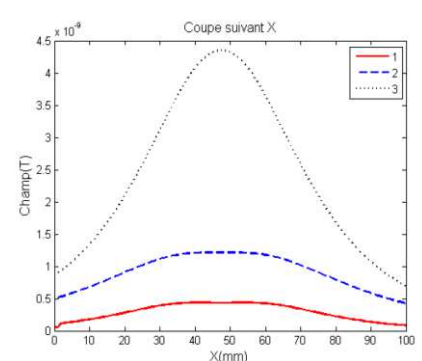


Figure 176 : Plan YZ

Dans le cas où on aurait deux conducteurs conduisant un courant dans le même sens, on peut se servir d'un plan écran. En effet, par application du théorème des images, la configuration de la Figure 177 permet de se ramener à la configuration 1 vue précédemment. Ainsi même avec deux conducteurs conduisant dans le même sens, on peut arriver à réduire la pollution générée.

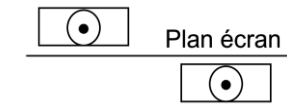


Figure 177 : Conducteurs et plan écran

ii. Mode commun

a. *Plan écran*

On l'a vu précédemment, les fort dV/dt auxquels sont soumis certains conducteurs sont à l'origine des perturbations de mode commun. Ces phénomènes électriques vont alors générer, via les capacités parasites, des courants se rebouclant alors dans le convertisseur par un autre appareil électrique qui lui est relié ou par la terre. Ces courants pourront perturber directement un composant et générer, à cause de leur circulation, du mode différentiel. De plus, la boucle dans laquelle ils circuleront (courant de mode commun) sera totalement différente dans le cas où ils sont recyclés dans le convertisseur ou non. Le fait de confiner le mode commun dans le convertisseur évitera qu'il remonte à l'alimentation et créer du rayonnement. (Figure 178).

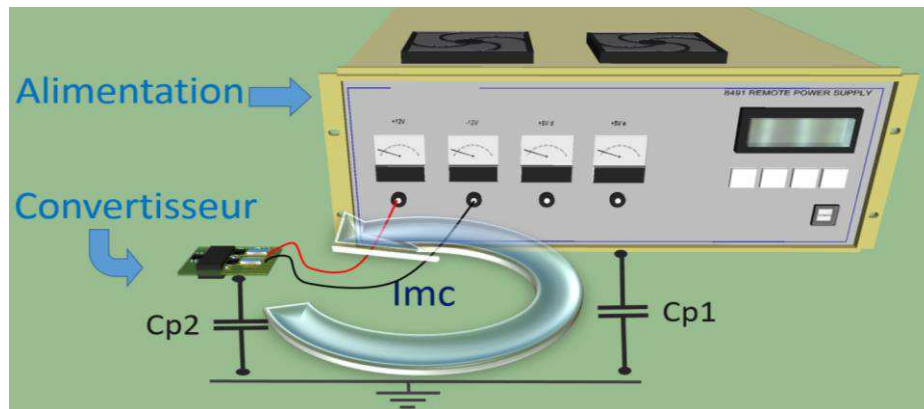


Figure 178 : Illustration du rebouclage du courant de mode commun à travers la terre et l'alimentation. $Cp1$ et $Cp2$ sont les capacités parasites entre les appareils et la terre

Pour confiner le mode commun, on peut utiliser des plans conducteurs dans le PCB. Ils formeront avec les différentes pistes du circuit des capacités parasites, ils capteront donc les courants de mode commun qui circuleront dedans et pourront, via d'autres capacités parasites, remonter vers d'autres pistes et perturber certains composants du circuit. Pour éviter cela, il faut proposer à ces courants des chemins de propagation privilégiés.

Pour recycler les courants circulant dans le plan écran, on va les guider vers un endroit qu'ils ne pourront pas perturber. Les capacités de découplage servent à stabiliser les potentiels fixes du circuit (alim DC) de plus, elles sont de très fortes valeurs en comparaison des capacités parasites (les capacités parasites sont de l'ordre du pF ou de la dizaine de pF alors que les capacités de découplage sont de l'ordre du μF pour la commande et de quelques dizaines de μF pour la puissance on a donc dans notre cas 6 ordres de grandeur entre les

deux), c'est donc dans ces capacités que nous recyclerons les courants de mode commun (pour cela, le bon comportement haute fréquence des capacités céramiques sera un atout). Nous scinderons le plan écran en deux pour cloisonner la commande et la puissance. Maintenant, pour que ces courants se dirigent vers la capacité de découplage et non vers une autre capacité parasite, il faut que le chemin source-capacité de découplage soit de plus faible impédance que le chemin source-victime. On va donc relier directement la capacité de découplage au plan et maximiser la surface du plan pour minimiser l'inductance et la résistance vues par le courant le traversant.

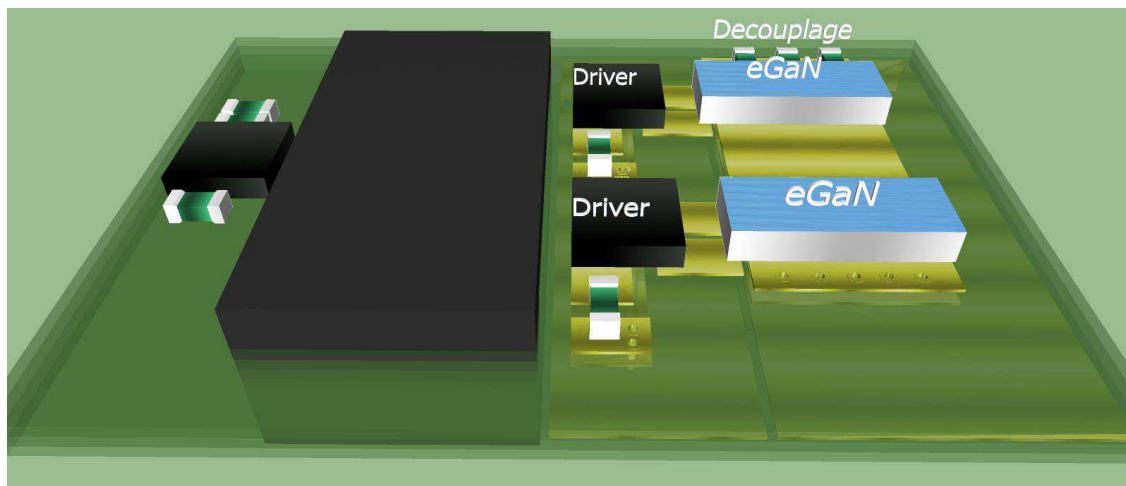


Figure 179 : Représentation 3D simplifiée d'un montage buck synchrone. Dans cet exemple les pistes soumises à des dV/dt importants sont les pistes de commande et la piste située entre les deux eGaN

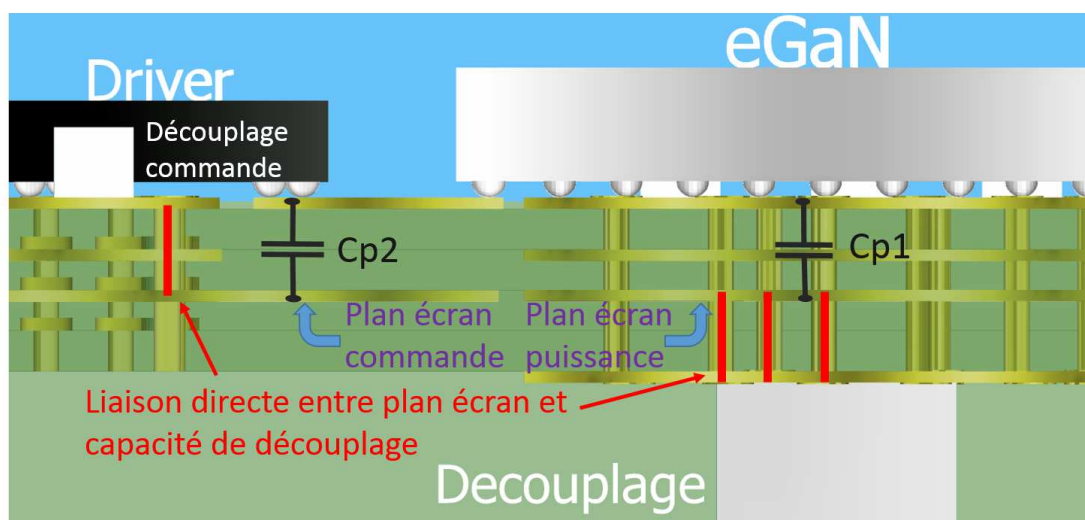


Figure 180 : Illustration de l'orientation des courants de mode commun dans le convertisseur

Pour illustrer le placement des plans écran, nous allons utiliser un convertisseur buck dont la représentation 3D est donnée sur la Figure 179. Dans cet exemple, nous avons placé des capacités de découplage routées en busbar et une autre plus importante placée en

dessous de la carte. La Figure 180 montre la répartition des couches dans le PCB et plus particulièrement le routage des plans écrans. On a aussi représenté les capacités parasites (C_{p1} et C_{p2}) sous les pistes dont le potentiel varie de façon importante. La séparation du plan en deux avec une partie commande et une partie puissance permet d'empêcher les courants de mode commun générés par la puissance de venir perturber la commande.

b. Substrat métallique isolé

Les substrats métalliques isolés ou SMI jouent le même rôle que le PCB à la différence près que le support mécanique des couches de cuivre n'est pas un matériau diélectrique mais un matériau conducteur. Dans notre cas, les supports SMI que nous avions étaient constitués d'une couche de cuivre de $35\mu\text{m}$ d'épaisseur, d'un isolant de $65\mu\text{m}$ d'épaisseur et d'un substrat en aluminium d'environ 1.5mm d'épaisseur.

La grande proximité entre le plan d'aluminium et le cuivre permettra, comme on l'a vu précédemment, de réduire le champ dû au mode différentiel et les inductances de piste mais aussi d'améliorer la thermique en améliorant l'extraction de la chaleur par-dessous et en la diffusant dans la carte. Néanmoins, le multicouche est très peu présent pour ce genre de carte et la grande proximité entre aluminium et cuivre favorisera les couplages de mode commun. En effet, l'isolant étant fin (plusieurs dizaine de μm) et la plaque d'aluminium servant de support à l'ensemble du routage, cela favorisera la circulation de courants de mode commun. Il sera aussi nécessaire de relier électriquement cette plaque à un potentiel à travers l'isolant. De plus l'interaction entre le cuivre et l'aluminium réduira les effets de proximité, on aura donc une meilleur répartition du courant dans les conducteurs (réduction de l'effet de peau) et donc moins de pertes joules dans ces derniers.

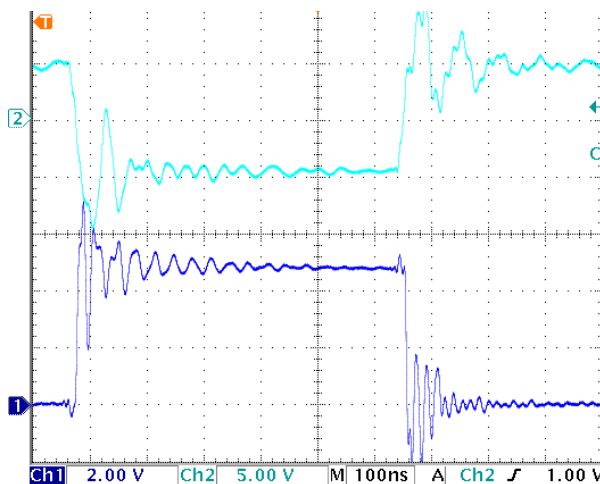


Figure 181 : PCB classique, $\text{Ch1}=V_{DS}$, $\text{Ch2}=V_{GS}$

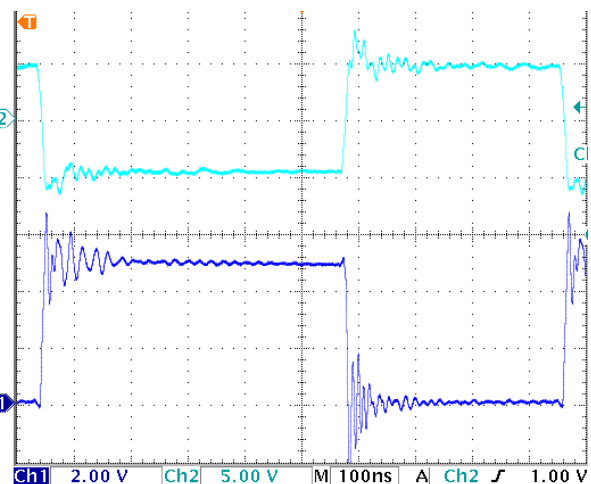


Figure 182 : SMI, $\text{Ch1}=V_{DS}$, $\text{Ch2}=V_{GS}$

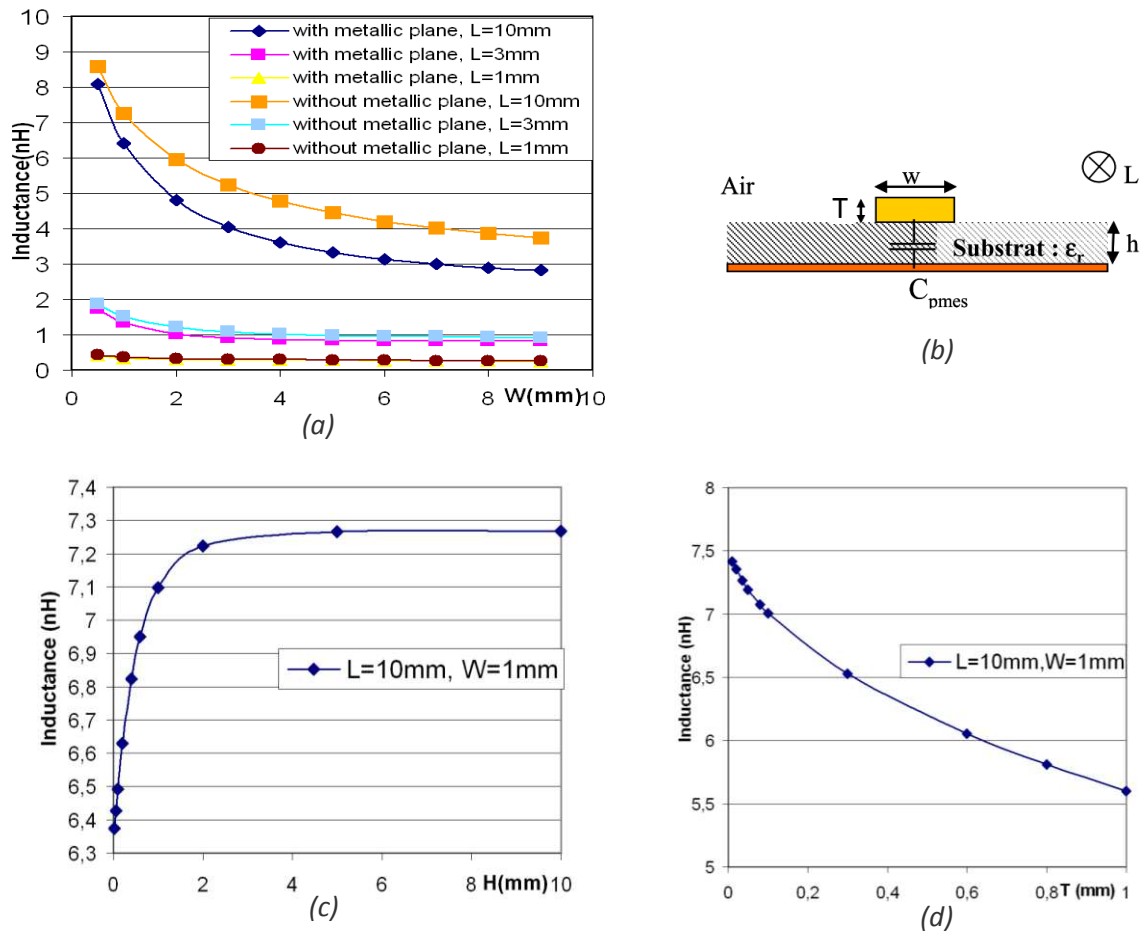


Figure 183 : Influence des paramètres géométriques des pistes sur leur inductance. (a) : Influence de L et W avec et sans plan écran (b) : géométrie d'une piste type micro ruban (c) : influence de H (d) : influence de T

Pendant nos premiers essais avec des convertisseurs buck nous avons comparé un circuit réalisé avec un PCB classique et le même circuit avec un SMI (montage buck présenté dans le chapitre 2 partie 3). Les formes d'ondes résultant de ces deux montages sont affichées sur les Figure 181 et 182. Les oscillations ont une amplitude plus faible et sont mieux amorties lorsqu'on utilise le SMI. Cela est dû à la réduction des inductances de piste.

	L	W	H	T
Impact	+++	--	++	-

Tableau 14 : Influence qualitative des paramètres géométriques sur l'inductance des conducteurs dans le cas de l'utilisation d'un plan écran

Intéressons-nous maintenant à l'influence qu'ont les paramètres géométriques sur la valeur de l'inductance des pistes. Pour cela nous allons reprendre les paramètres géométriques d'une piste de type micro ruban (piste passant au-dessus d'une plaque

conductrice bien plus large avec un diélectrique entre les deux). La Figure 183 rappelle la géométrie micro ruban et montre l'impact qu'ont les différents paramètres géométriques. Le plan écran permet de réduire les inductances parasites d'autant plus qu'il est proche (H) des conducteurs. La largeur des conducteurs (W) a un impact significatif jusqu'à atteindre environ la longueur du conducteur divisée par deux (jusqu'à $L/2$). L'épaisseur du conducteur est presque négligeable quand on considère qu'en pratique l'épaisseur des conducteurs reste de l'ordre de plusieurs dizaine de μm . L'impact des paramètres géométriques est résumé dans le Tableau 14.

iii. Conclusion sur l'utilisation des plans écran

Dans le but de conclure sur l'utilisation des plans écran on peut synthétiser leur impact avec les points suivants :

- Limitation du mode différentiel
- Recyclage du mode commun
- Diminution des effets de proximité dans les conducteurs (et donc des pertes)
- Réduction des inductances parasites de piste
- Amélioration de la thermique (meilleur épanouissement de la chaleur)

Le SMI, quant à lui, présente des avantages d'un point de vu réduction des inductances parasites mais favorise trop le mode commun et représente une contrainte assez forte sur le nombre de couches autorisé.

3. MESURES

Les mesures, que ce soit de tension ou de courant, sont délicates dans le contexte des composants GaN. Si l'on s'intéresse à la mesure de tension, l'introduction d'une sonde dans le circuit va modifier les caractéristiques de ce dernier en rajoutant la capacité équivalente de l'oscilloscope et de la sonde dans le circuit et en offrant un nouveau chemin de passage pour le courant. De plus, sans prendre en compte le caractère intrusif de la sonde dans le montage, comment être sûr que ce qu'on visualise sur l'oscilloscope correspond bien à ce qu'il y a dans le circuit. La mesure de courant est encore plus intrusive, car, pour ces mesures, on utilise généralement des sondes de courant, qui nécessitent un fil pour pouvoir passer la sonde ou alors on peut aussi utiliser une sonde de tension avec un shunt, mais il faudra placer le shunt dans le circuit. Or, du fait des importantes vitesses de commutation, on cherche à minimiser les longueurs des pistes dans les circuits de commutations (commande et puissance). Par ailleurs, la mesure fidèle de ces signaux nécessite des systèmes à bandes passantes élevées.

La résolution des problèmes de mesure est complexe, nous n'avons donc pas essayé d'étudier dans tous les détails ces aspects dans le but de les résoudre, néanmoins nous les avons pris en compte pour être sûr de la fiabilité de nos mesures, de ne pas pénaliser les performances du convertisseur et d'éviter d'introduire des éléments parasites qui pourraient mener à un dysfonctionnement de celui-ci.

A. Mesures de courant et de tension

Plusieurs méthodes existent pour réaliser les mesures de tension et de courant. Pour les mesures de tension on peut utiliser des sondes actives ou passives et lorsque la mesure requiert une isolation on peut utiliser des sondes différentielles. Les capteurs de courant utilisent les principes de la loi d'Ohm, la relation de Maxwell-Ampère (conversion du courant en induction magnétique), de Maxwell-Faraday (variation d'induction magnétique) ou enfin les trois en même temps lors de l'utilisation d'un transformateur de courant.

Que ce soit pour les mesures de tension ou de courant, on retrouvera les mêmes problématiques :

- Limitation de la bande passante du système de mesure,
- Impact de la mesure sur le circuit,
- Impact du circuit sur la mesure.

On va donc s'attarder sur chacun de ses trois points en s'appuyant sur et pour mieux comprendre les difficultés de mesure.

B. Bande passante

Les oscilloscopes et leurs sondes (tension ou courant) ainsi que les différents capteurs de courant (shunt ou à induction) possèdent une bande passante. Pour que la bande passante du système de mesure n'ait pas d'impact, il faut qu'elle soit très grande devant la fréquence équivalente du signal mesuré. Pour estimer la fréquence équivalente (f_m) du signal à partir du temps de montée (t_m) on utilise la relation $f_m = 0.35/t_m$. A titre d'exemple, un système de mesure ayant une bande passante de 1GHz aura une valeur de t_m égale à 350ps, il pourra mesurer, sans que sa bande passante n'ait d'influence négative, des signaux avec un temps de montée très supérieur à 0.35ns.

Les sondes de tension possèdent leur bande passante propre, de plus elles ont une tension maximale. On trouve des sondes actives et des sondes passives, elles se distinguent par leur bande passante et la tension maximale supportée. On voit donc apparaître, avec ces deux types de sondes, un ratio entre bande passante et tension mesurable.

Les capteurs de courant possèdent des bandes passantes plus limitées que les sondes de tension. Les capteurs fonctionnant sur le principe de l'induction sont limités à des fréquences de l'ordre du MHz ou quelques dizaines de MHz pour les systèmes passifs. Les shunts présentent des bandes passantes plus élevées, notamment les shunts coaxiaux, dont la bande passante peut monter jusqu'au GHz ou quelque GHz pour des calibres en courant de plusieurs ampères voir quelque dizaines d'ampères. Néanmoins ces derniers sont encombrants. La Figure 184 montre un exemple de montage avec un shunt coaxial placé à côté de composants en boîtiers TO-220.

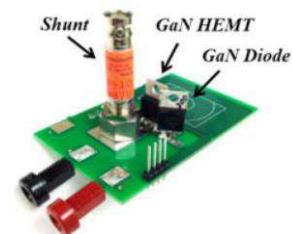


Figure 184 : Exemple de shunt coaxial SSDN-10

C. Influence de la mesure sur le circuit

i. Capacité du système de mesure

De façon classique le système sonde + oscilloscope peut être représenté par le schéma de la Figure 112. En haute fréquence la capacité du système de mesure joue un rôle important, car elle diminue l'impédance d'entrée, la bande passante, le temps de décalage et augmente le temps de montée. Lors des mesures des tensions V_{GS} et V_{DS} , cette capacité vient directement se rajouter aux capacités C_{GS} et C_{DS} ralentissant ainsi l'évolution de ces tensions. Il est donc préférable de choisir un système de mesure avec une capacité faible.

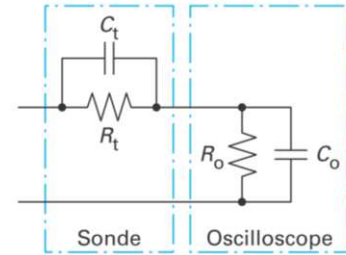


Figure 185 : Schéma équivalent de l'oscilloscope et de la sonde

Plus l'atténuation des sondes est importante, plus leur capacité est faible. Les sondes actives ont des capacités inférieures, mais la plage d'amplitude maximale est réduite.

ii. Influence des shunts

Le placement de shunt dans nos circuits aux fréquences où nous travaillons n'est pas anodin. En effet, cela représente une résistance mais également une inductance supplémentaire. Cette dernière pourra être la source d'oscillations, de ralentissement des commutations ou des charges de grille. Le simple fait de placer un shunt dans le circuit ou l'on veut mesurer un courant modifiera le comportement de ce dernier. Du fait des importantes vitesses de commutation, leur utilisation n'est pas possible.

iii. Mode commun

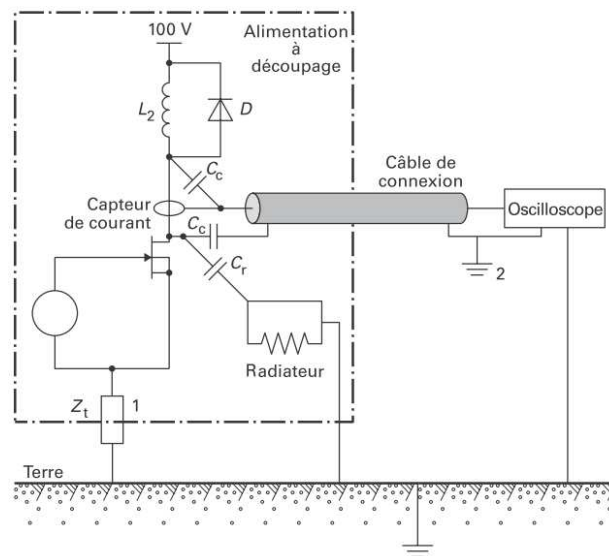


Figure 186 : Illustration d'une mesure de courant et couplages parasites

La liaison de l'oscilloscope à la terre constitue un chemin de circulation des courants de mode commun (Figure 186). Pour limiter ces courants, on peut placer un tore de mode commun sur le câble de la sonde au plus près de l'oscilloscope et placer le blindage du capteur de courant (dans le cas d'une mesure de courant) à la terre. L'impédance du câble en mode commun augmente fortement et limite les perturbations. De plus il est préférable d'effectuer les mesures à partir d'un potentiel fixe .

Une autre solution pour éviter ces couplages de mode commun est de supprimer la liaison de l'oscilloscope à la terre, ce qui pose un problème de sécurité. On peut imaginer un câble sans terre, mais la meilleure solution est une alimentation sur batterie.

iv. Influence du circuit sur la mesure

Nous avons vu précédemment que la mesure peut perturber le circuit, mais l'inverse est aussi possible. Les forts di/dt des cellules de commutation peuvent venir perturber les mesures par mode conduit, d'autant plus lorsqu'on essaye de mesurer ces variations de courant (dans les cellules de commutation) et que l'on place capteurs et sondes au plus proche. Les champs rayonnés par le circuit de puissance peuvent également perturber l'électronique des capteurs de courant ainsi que les sondes de tension, qui, entre la pointe de la tête de sonde et le retour de masse, forment une boucle.

Cela se ressent particulièrement lors des mesures de tension aux bornes des shunts. En effet, pour éviter de perturber le montage, on fait en sorte que la tension aux bornes de la résistance reste faible, ce qui rend la mesure bien plus sensible aux perturbations.

D. Conclusion

Pour avoir des mesures correctes et limiter les interactions entre le système de mesure et le circuit on essaiera de respecter les points suivants :

- Utiliser un système de mesure avec une bande passante supérieure au GHz et une capacité négligeable devant celle aux bornes desquelles on fait des mesures ;
- Réduire l'intrusivité des mesures de courant ;
- Choisir des sondes adaptées aux fréquences auxquelles on travaille et avec des boucles de retour de masse courtes ;
- Réduire le mode commun dû au branchement à la terre de l'oscilloscope.

Dans la pratique, on a donc utilisé un oscilloscope Tektronix MSO 5204 avec une bande passante de 2GHz et des sondes passives adaptées avec une bande passante de 1GHz. C'est la bande passante la plus élevée pour des sondes passives et les sondes actives ont des tensions maximales trop faibles. Les pinces ont été retirées des sondes pour minimiser la boucle formée par le retour de masse. Des tores de mode commun ont été placés sur les sondes pour minimiser le mode commun.

Il a été choisi de ne pas faire de mesure de courant dans les boucles de commutation pour ne pas perturber nos circuits. Les distances entre les composants étant très faibles, l'inductance introduite par un shunt, même de faible taille, n'est pas négligeable. De plus, les quelques mesures qui ont été faites pendant les commutations étaient très perturbées.

D'après ce qu'on a dit précédemment et de façon générale, on voit apparaître deux points critiques concernant les mesures :

- Concernant les mesures de tension, on a avec les composants grand gap des commutations rapides avec des amplitudes de plusieurs dizaines de volts. Les sondes actives sont donc difficilement utilisables, mais d'un autre côté les bandes passantes des sondes passives sont trop limitées.

- Concernant les mesures de courant cette fois, les fortes contraintes d'intégration posent un sérieux problème pour réaliser des mesures, d'autant plus avec des circuits présentant des forts di/dt . A notre niveau d'intégration, la visualisation des courants dans les boucles de commutation est déjà extrêmement difficile.

4. ASPECTS THERMIQUES

A. Au niveau du PCB

Les composants GaN d'EPC étant de petite taille (entre 2mm et 4mm de long pour 1,5mm de large) les densités de pertes seront importantes. Néanmoins leurs boîtiers, à la différence de certains boîtiers de MOSFET, ne sont pas recouverts de plastique. Très peu d'éléments sont rajoutés autour de la puce pour le boîtier. Sur la face supérieure on a donc accès, presque directement, au substrat silicium dont la conductivité thermique est meilleure que celle du plastique. Sur la face inférieure les bumps d'étain sont connectés au PCB, on peut donc évacuer une partie des pertes par le PCB. La Figure 187 montre un exemple de refroidissement des composants d'EPC où les pertes sont extraites via les deux faces.

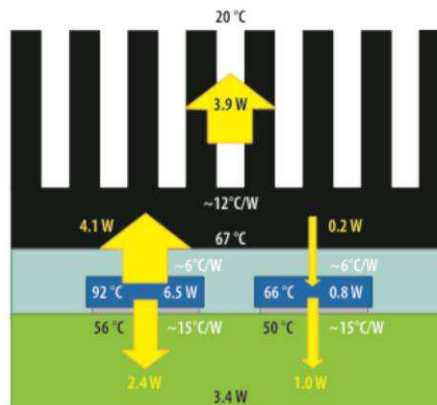


Figure 187 : Estimation des flux thermiques dans le cas d'une carte de démonstration EPC 9006 d'EPC avec un refroidisseur sur la face supérieure.

Pour faciliter l'extraction des pertes on pourra utiliser un spreader et une semelle sur la face supérieure. Du côté du PCB on pourra mettre des vias dans toute la périphérie des composants à refroidir et les boucher avec de l'étain, on aura alors une meilleure conductivité thermique du PCB (Figure 188).

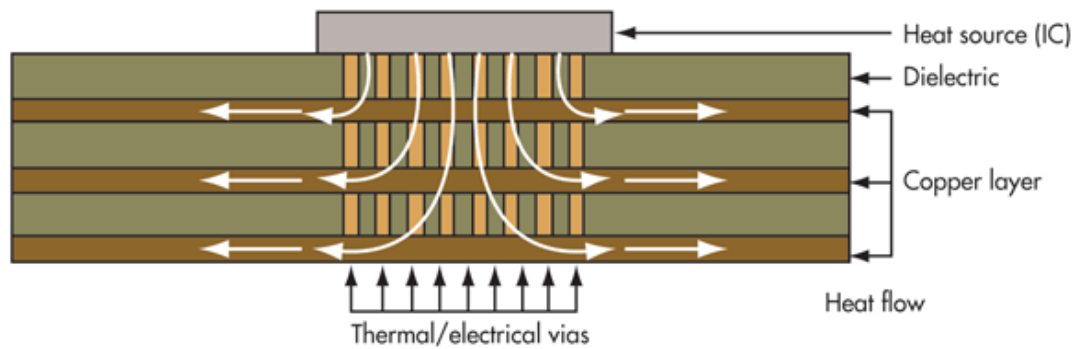


Figure 188 : Illustration de l'utilisation de vias thermiques

B. Au niveau de l'épitaxie

Si on se focalise sur le composant en lui-même, les fabricants pourraient réduire la résistance thermique en changeant de substrat. Le substrat utilisé par EPC est en silicium (1.5W/K.cm) mais on pourrait envisager dans un avenir proche d'utiliser du SiC (4W/K.cm) voire dans un avenir plus lointain du diamant (20W/K.cm). Dans , l'auteur prévoit l'utilisation de substrats diamant (démonstration fonctionnelle) dans cinq ans. L'amélioration des interfaces entre le GaN et son substrat peut aussi permettre de réduire la résistance thermique du composant. La Figure 189 montre les principaux types de défauts présents dans l'interface et pouvant freiner le transfert thermique. Le changement de substrat ainsi que l'amélioration de l'interface pourrait donc améliorer la conductivité thermique d'un coefficient supérieur à 13.

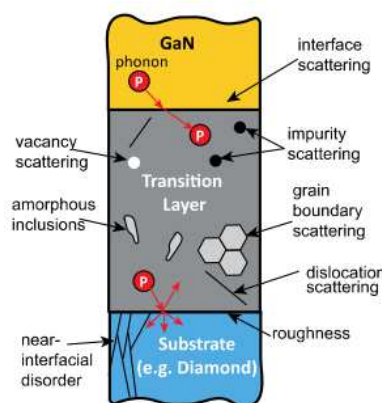


Figure 189 : Mécanismes ayant un impact sur la résistance thermique à l'interface.

Toujours dans , des méthodes sont décrites pour améliorer l'échange thermique entre le transistor et son refroidisseur en utilisant des micro-canaux ou des nanostructures ainsi qu'en utilisant le changement de phase des fluides calorifiques.

C. Au niveau de la puce

Dans , l'auteur réalise des transistors GaN pour des applications RF fonctionnant en impulsionnel. Le substrat Si utilisé est alors creusé pour être rempli d'un matériau à changement de phase (PCM en anglais) dont la température de changement de phase se situe aux environs de 118°C. Lorsque la température de la puce augmentera le changement de phase du CMP ralentira son élévation pendant l'impulsion. Les Figure 190 et 191 montrent une illustration et des résultats pratiques.

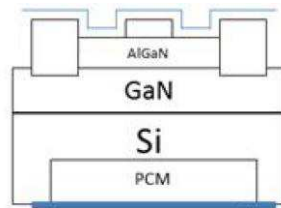


Figure 190 : Transistor GaN avec CPM

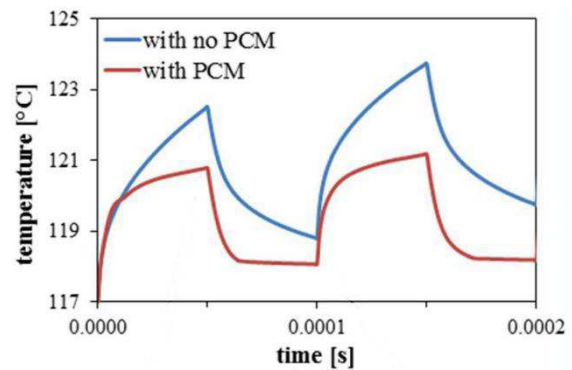


Figure 191 : Résultats de la puce avec CPM

Dans notre convertisseur nous nous servirons d'un refroidisseur passif constitué d'une semelle et nous profiterons aussi des couches de cuivre contenues dans le PCB pour dissiper les pertes par-dessous.

5. CONCLUSION

Dans ce chapitre nous avons vu les principaux problèmes liés à la montée en fréquence :

- Mauvaise répartition des courants dans les conducteurs dus aux effets de proximité. Ces effets peuvent être réduits en travaillant sur le routage.
- Les commutations plus rapides favoriseront les perturbations de mode commun et de mode différentiel, on aura alors recours à des plans écran pour atténuer ces perturbations.
- La limitation des inductances dans les circuits de commande ou de puissance impliquera de réduire les longueurs des pistes et de soigner le routage.
- La montée en fréquence compliquera les mesures. Les mesures de courant sont rendues très compliquées en raison de leur caractère intrusif, de leur faible précision, voire à cause des limites de bande passante des appareils de mesure. Les mesures de tension nécessiteront l'utilisation d'appareils avec des bandes passantes élevées, avec des sondes adaptées.

Le principal intérêt de la montée en fréquence est de réduire la taille des convertisseurs, or on a vu que cette logique pouvait être limitée par les normes ou par les limites des matériaux magnétiques.

Concernant la thermique des composants, des progrès importants peuvent encore être faits par les fabricants pour réduire la résistance thermique des transistors. Pour notre application nous utiliserons une semelle en aluminium placée au-dessus des eGaN.

La compréhension des phénomènes présentés dans ce chapitre nous permettra de concevoir des circuits plus performants et moins sensibles aux perturbations. Le chapitre qui suit présente les structures de puissance envisagées et le dernier les mettra en application.

BIBLIOGRAPHIE CHAPITRE 3

- [97] X.Margueron, «Elaboration sans prototypage du circuit équivalent de transformateurs de type planar,» *These de l'université Joseph Fourier*, 2006.
- [98] F.Robert, «Modélisation et simulation de transformateurs pour alimentations à découpage,» *Thèse de Docteur en Sciences Appliquées, Université Libre de Bruxelles*, 1999.
- [99] Rubycon, «CHIP ALUMINUM ELECTROLYTIC CAPACITORS TKV 105°C Low ESR».
- [100] A. RF, «Hi-Q® High RF Power MLC Surface Mount Capacitors For 600V to 7200V Applications».
- [101] AVX, «X7R dielectric General specifications,» pp. 17-20.
- [102] J.P.Ferrieux et F.Forest, Alimentation à découpage convertisseurs à résonance, Dunod, 2006.
- [103] Ferrocube, «Design of planar power transformers,» *Application note*.
- [104] Ferroxcube, «3F5 material specification,» 2008.
- [105] Ferroxcube, «3F5 material specification,» 2008.
- [106] W. Teulings, «Prise en compte du câblage dans le conception et la simulation des convertisseurs de puissance: performances CEM,» *These INPG*.
- [107] T. D. Oliveira, «Optimisation du routage d'un filtre CEM,» *These G2Elab*, 2012.
- [108] T. Meynard, «Impact of WBG power semiconductors on tomorrow's converters : the need for integration technologies to take advantage of these devices,» *Laboratoire Laplace*.
- [109] W.Teulings, «Prise en compte du cablage dans la conception et la simulation des convertisseurs de puissance : Performances CEM,» *These INPG*, 1997.
- [110] M.Besacier, «Adaptation de la méthode PEEC à la representation electrique des structures d'electronique de puissance.,» *Thèse*, 2001.
- [111] T.Sakurai et K.Tamaru, «Simple formulas for two- and three-dimensional capacitances,» *IEEE transaction electron devices*, vol. 30, n° 12, pp. 183-185, 1983.
- [112] EPC, D. Reusch et J. Strydom, «Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter,» *IEEE transactions*, vol. 29, n° 14, pp. 2008-2015, 2014.

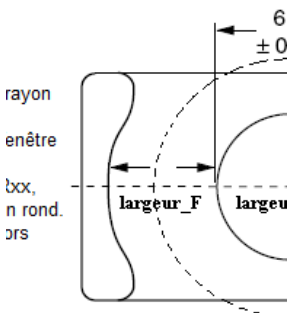
- [113] J.Aime, «Rayonnement des convertisseurs statiques. Application à la variation de vitesse.,» *These G2Elab*, 2009.
- [114] F. COSTA et P. POULICHET, «Sondes pour la mesure de courant en électronique de puissance,» *Technique de l'ingenieur*, 2005.
- [115] K. AMMOUS, «Méthodologie de mesure avec les sondes de tension,» *Technique de l'ingenieur*, 2006.
- [116] Z.Liu, X.Huang, F.C.Lee et Q.Li, «Package Parasitic Inductance Extraction and Simulation Model Development for the High-Voltage Cascode GaN HEMT,» *IEEE TRANSACTIONS ON POWER ELECTRONICS*, vol. 29, n° 14, 2014.
- [117] T&M, «Coaxial Shunts T&M RESEARCH PRODUCTS, Inc. SDN - 414 Series,» 2013.
- [118] EPC, J.Strydom, M. D. Rooij et A.Lidow, «Gallium Nitride Transistor Packaging Advances and Thermal Modeling,» *EDN China*, 2012.
- [119] Y.Won, J.Cho, D.Agonafar, M.Asheghi et K.E.Goodson, «Cooling Limits for GaN HEMT Technology,» *IEEE*, 2013.
- [120] T.G.Desai, D.Piedra, R.Bonner et T.Palacios, «Novel Junction Level Cooling in Pulsed GaN Devices,» *IEEE*, 2012.

CHAPITRE IV

pour se faire une idée des couran

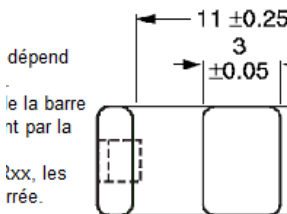
llèle_p,i,nsc,clear) := Section_pist

llèle_p,1,nbspires_couche,clear_)

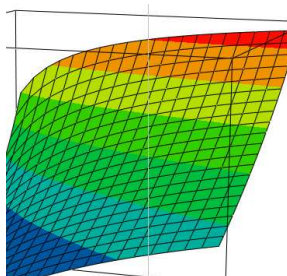


$$\frac{\text{cur_F(i)}}{2} + \frac{\text{largeur_barre(i)}}{2} \cdot 2 \cdot \pi \cdot N$$

5-mm



$$F(i) + \text{Retrait_Cu} + (\text{nbspires_couc} \\ \text{cur_F(i)} + \text{Retrait_Cu} + (\text{nbspires_c} \\ \text{ar_F(i)} + \text{largeur_barre(i)} \cdot 2N]$$



STRUCTURE DE PUISSANCE

1. Généralité	146
2. Structure DAB	146
A. Introduction	146
B. Les structures DAB monophasées	147
C. Commande en déphasage	149
D. Commutations ZVS et ZCS	154
E. Cas du redressement à diode	159
3. Inductance variable	162
4. Dimensionnement du convertisseur	165
A. Semi-conducteur (MOSFET)	165
B. Passifs	166
C. Courbes de rendements	170
D. Conclusion	177

1. GENERALITE

Avant de commencer l'étude des convertisseurs nous allons faire un rappel du cahier des charges de notre alimentation :

- $V_{in} = 42V$ DC
- $V_{out} = 12V$ DC
- Alimentation régulée et isolée
- $P_{out} = 100W$ permanent / $150W$ crête Rendement objectif de 93% minimum
- Ondulation tension de sortie de $10mV$
- Température en fonctionnement – $40^{\circ}C$ / $+90^{\circ}C$
- Environnement avionique
- Densité de puissance $3,5$ kW/L
- Fréquence $> 1MHz$ (contraintes radars)

D'après notre cahier des charges, nous allons donc chercher une structure de convertisseur isolée permettant d'obtenir une densité de puissance importante avec le rendement le plus élevé possible en travaillant à haute fréquence avec une puissance de sortie de l'ordre de la centaine de W. Nous nous orienterons donc vers une structure isolée symétrique (minimisation de la taille du transformateur). Avec une fréquence supérieure au MHz, des commutations douces seront privilégiées pour atteindre les exigences de rendement, de plus la structure devra être simple.

Pour que les interrupteurs fonctionnent en commutation douce on pourra utiliser une structure à résonance ou une structure à accumulation inductive avec une commande à déphasage (nous développerons le cas de ces structures plus loin dans ce chapitre). Le cas des structures à résonance ne sera pas abordé dans cette thèse, néanmoins la thèse de Florian Krismer résume brièvement les intérêts et les inconvénients des structures résonantes série, parallèle et série-parallèle et fournit plusieurs sources. Dans notre cas nous allons nous concentrer sur les structures DAB (Dual Active Bridge) avec une commande à déphasage.

2. STRUCTURE DAB

A. Introduction

On trouve dans la littérature de nombreux exemples où le Dual Active Bridge (DAB) est utilisé . La plupart de ces applications ont des tensions de sortie faibles et des rendements assez importants (justifiant le redressement synchrone) ou alors c'est le caractère bidirectionnel qui est recherché.

La structure DAB monophasée contient un onduleur et un redresseur avec un transformateur. L'inductance de fuite du transformateur est utilisée voire augmentée dans le but d'avoir un fonctionnement en courant (de type source de courant). Sa topologie symétrique rend le convertisseur bidirectionnel en courant, de plus les courants sont répartis de façon égale entre les différents interrupteurs de chaque côté du transformateur.

On peut ensuite utiliser la structure DAB monophasée pour créer des convertisseurs plus complexes et faire des associations séries, parallèles, multi phase et multivoie. Nous commencerons par voir la structure monophasée et nous présenterons brièvement des structures plus complexes.

B. Les structures DAB monophasées

Comme nous l'avons vu précédemment, cette structure est composée d'un onduleur, d'un redresseur ainsi que de passifs (Figure 192). On retrouve principalement trois structures différentes qui peuvent être utilisées pour le redresseur ou l'onduleur :

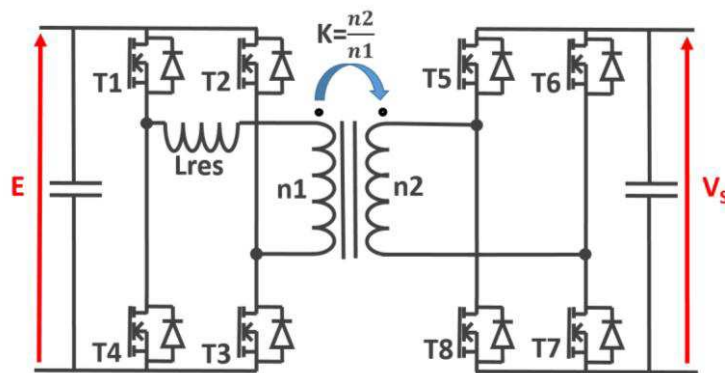
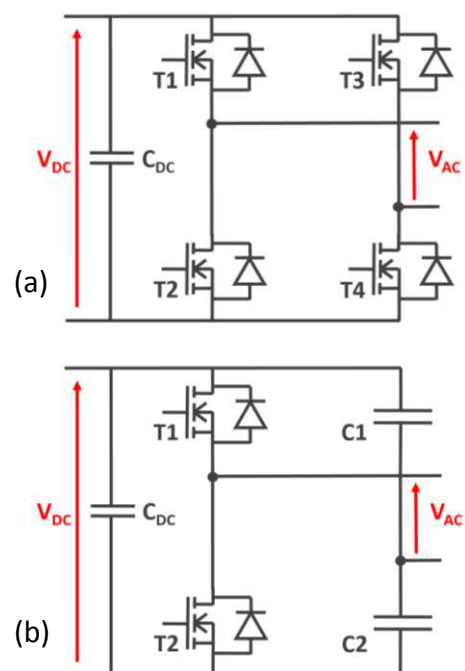


Figure 192 : Structure DAB avec pont complet au primaire et au secondaire

La structure pont complet (a) présentée ci-contre contient quatre interrupteurs et aucun passif (à l'exception de la capacité de filtrage/découplage C_{DC}). Cette topologie est la seule permettant d'appliquer une tension nulle aux bornes du transformateur. Pour une puissance donnée le stress en tension sera V_{DC} et le courant dans les interrupteurs I (Valeur normalisée du courant pour comparer les trois topologies).

Le demi-pont capacitif (b) contient deux interrupteurs et deux condensateurs, ces derniers créant un potentiel intermédiaire. L'amplitude de V_{AC} est réduite de moitié par comparaison avec la structure précédente en pont complet, donc à puissance égale, le courant entrant dans le transformateur est doublée tout comme celui traversant les interrupteurs ($2I$). Le stress en tension des interrupteurs reste égal à V_{DC} .



La structure push-pull (c) impose un deuxième enroulement dans le transformateur, néanmoins, elle contient uniquement deux interrupteurs sans passif. Le stress en tension est égal à $2V_{DC}$, auquel il faut rajouter les surtensions de commutation liées aux inductances de fuites, et le courant passant dans les interrupteurs est égal à I . De plus, les deux transistors sont référencés à la masse de l'alimentation DC ce qui simplifie les commandes.

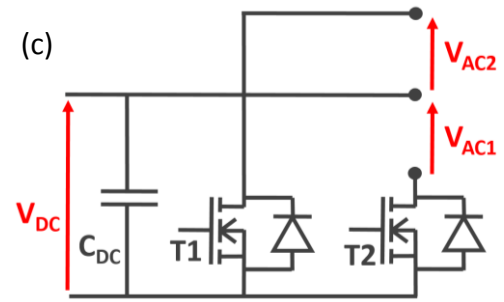


Figure 193 : Différentes structures utilisables pour le DAB

Les principales caractéristiques des trois topologies présentées sont résumées dans le Tableau 15. On trouve un indice de pertes simplifiées en conduction (pertes joules), cet indice est calculé en faisant le produit entre le carré du courant passant dans les interrupteurs et la résistance d'état passant totale (somme des R_{DSon}) vue par le courant, notée R . Les pertes en commutation sont comparées sur la base du produit entre le stress en courant, le stress en tension et le nombre d'interrupteurs. Les valeurs des stress en tension (V_{DC}) et en courant (I) des interrupteurs sont normalisées par rapport à ceux du pont complet.

	Nombre d'actifs	Nombre de passif	Nombre bobinage	Stress en tension	Stress en courant	Pertes Joules	Pertes commut
PC	4	0	1	V_{DC}	I	$R.I^2$	$I.V_{DC}$
DPC	2	2	1	V_{DC}	$2I$	$2.R.I^2$	$I.V_{DC}$
PP	2	0	2	$2V_{DC}$	I	$\frac{1}{2}.R.I^2$ *	$I.V_{DC}$

Tableau 15 : Résumé des principales topologies pour le DAB. * l'Etat passant peut être moins bon en raison d'un stress en tension plus important

Le demi-pont capacitif présente des pertes plus importantes que les deux autres structures, néanmoins elle est plus simple que le pont complet car elle ne nécessite que deux commandes, elle n'a besoin que d'un seul enroulement et pourra être préférée dans les cas où on veut baisser (respectivement augmenter) le niveau de tension en mode onduleur (respectivement en mode redresseur). Avec la montée en fréquence il sera possible de trouver des cas où l'économie de deux commandes justifiera le surplus de perte en conduction par rapport au pont complet.

Le push pull est la topologie qui présente le moins de pertes (il faut néanmoins relativiser les pertes en conduction, car un calibre en tension plus élevé pourra s'accompagner d'une résistance d'état passant plus élevée), néanmoins le transformateur est rendu plus complexe, ce qui peut être à l'origine de pertes supplémentaires. De plus l'inductance permettant le stockage inductif côté alternatif (et qui sera à l'origine des commutations douces comme on le verra plus loin) ne peut pas être placée du côté du push pull (que celui-ci soit au primaire ou au secondaire) et devra donc être placée du côté opposé

au push-pull, où on utilisera une autre topologie (demi-pont capacitif ou pont complet). La raison est simple, si on place l'inductance du côté du push pull, lorsque l'interrupteur qui conduit s'ouvrira, l'inductance ne pourra pas imposer la circulation du courant dans la diode antiparallèle d'un des deux interrupteurs. On verra juste apparaître aux bornes de l'interrupteur qui conduisait une forte surtension. De la même façon, les inductances de fuite du transformateur auront le même effet et les capacités C_{oss} des transistors pourront résonner avec les inductances de fuite.

Avec une tension d'entrée de 42V et une tension de sortie de 12V on préférera le demi pont capacitif pour l'onduleur afin de diviser la tension par deux (la tension pourrait aussi être abaissée avec le transformateur, néanmoins, dans le but d'améliorer la répartition des courants dans ce dernier, on préfère garder un rapport de transformation proche de 1) et un push pull pour le redresseur (qui impliquera plus d'enroulement et donc plus de pertes dans le transformateur) afin de limiter les pertes en conduction dans les interrupteurs. Le stress en tension du redresseur sera plus élevé ; néanmoins, le calibre en tension le plus bas pour les composants d'EPC est de 40V ce qui est suffisant pour travailler sous 24V.

C. Commande en déphasage

Ce paragraphe est dédié à l'étude de la commande à déphasage (ou phase shift en anglais) pour démontrer la relation fondamentale entre le déphasage δ et le courant de sortie moyen I_{OUT} . On désignera par I_1 le courant dans l'enroulement primaire. Nous utiliserons la structure et les notations de la Figure 194 utilisant un pont complet pour le primaire et le secondaire.

On définira ici le déphasage comme une fraction de la période (si le déphasage est d'un quart de période, $\delta=0.25$) séparant les commutations des interrupteurs secondaire par rapport à ceux du primaire en considérant le primaire en avance. Pour un déphasage nul, les interrupteurs désignés par un chiffre impair (respectivement pair) commuteront en même temps. L'inductance L_{res} désigne la somme des inductances de fuite et de celles qui ont été volontairement rajoutées. Le courant magnétisant étant nul en moyenne il n'intervient pas dans la relation recherchée, on ne prendra donc pas en compte l'inductance magnétisante, de plus, dans nos calculs on considèrera que le convertisseur est sans perte.

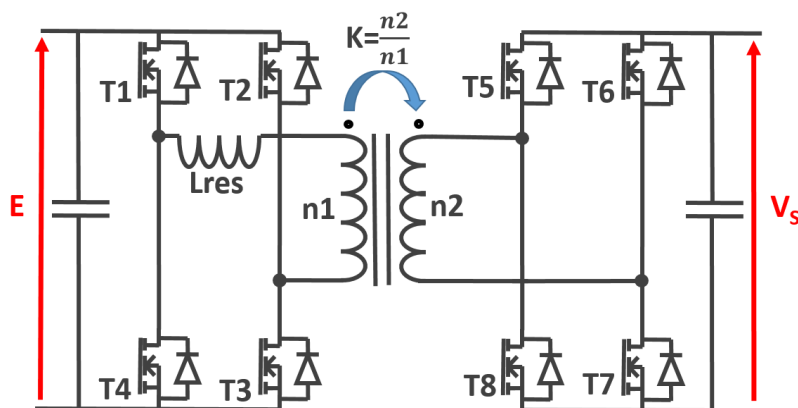


Figure 194 : Figure et notations utilisées pour décrire la structure.

Les interrupteurs seront commandés avec un rapport cyclique de 0.5 fixe et de façon complémentaire pour ceux situés sur un même bras. On divisera le fonctionnement du convertisseur en quatre phases :

- Phase 1 : T1, 3, 6, 8 ON et T2, 4, 5, 7 OFF
- Phase 2 : T1, 3, 5, 7 ON et T2, 4, 6, 8 OFF
- Phase 3 : T2, 4, 5, 7 ON et T1, 3, 6, 8 OFF
- Phase 4 : T2, 4, 6, 8 ON et T1, 3, 5, 7 OFF

Le chronogramme des tensions des transistors et les différentes phases sont représentés sur la Figure 195.

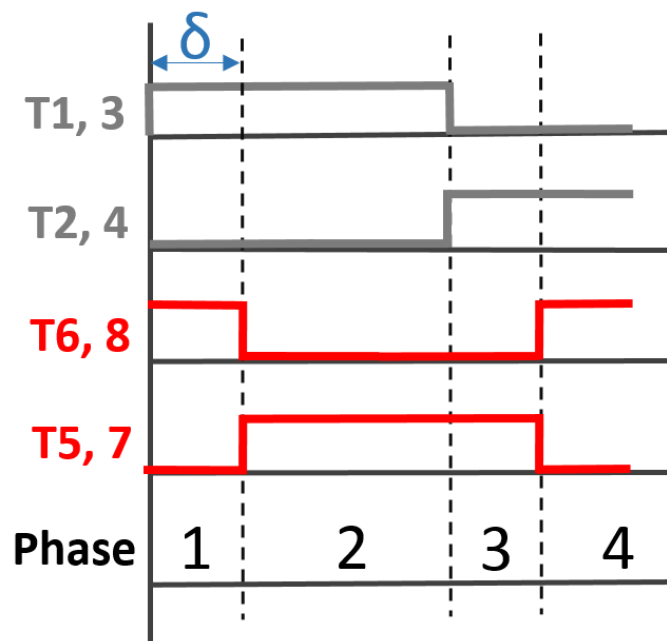
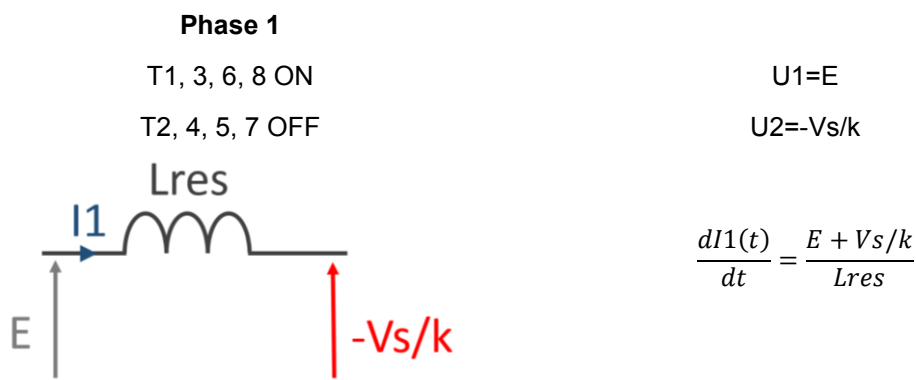


Figure 195 : Phases de fonctionnement et commandes des transistors

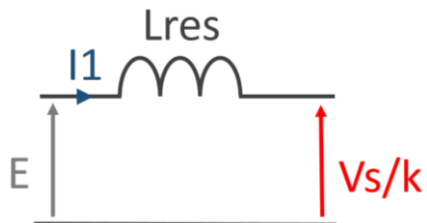
Nous allons maintenant voir les quatre phases en détail et expliciter les tensions d'entrée et sortie du transformateur ainsi que le courant I_1 . On désignera par U_1 et U_2 les tensions respectives en sortie de l'onduleur et en entrée du redresseur.



Phase 2

T1, 3, 5, 7 ON

T2, 4, 6, 8 OFF



$$U_1 = E$$

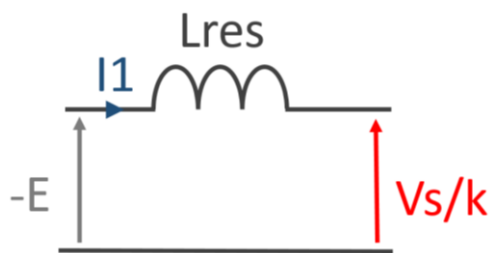
$$U_2 = V_s/k$$

$$\frac{dI_1(t)}{dt} = \frac{E - V_s/k}{L_{res}}$$

Phase 3

T2, 4, 5, 7 ON

T1, 3, 6, 8 OFF



$$U_1 = -E$$

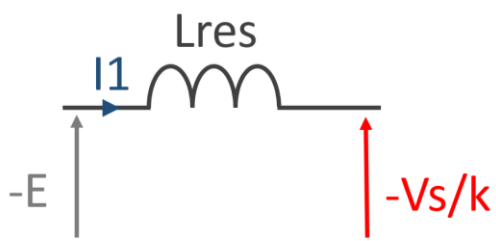
$$U_2 = V_s/k$$

$$\frac{dI_1(t)}{dt} = \frac{-E - V_s/k}{L_{res}}$$

Phase 4

T2, 4, 6, 8 ON

T1, 3, 5, 7 OFF



$$U_1 = -E$$

$$U_2 = -V_s/k$$

$$\frac{dI_1(t)}{dt} = \frac{-E + V_s/k}{L_{res}}$$

$$0 \text{ sec} \leq t < \delta \cdot T \quad \text{Phase 1}$$

$$\delta \cdot T \leq t < \frac{T}{2} \quad \text{Phase 2}$$

$$\frac{T}{2} \leq t < \left(\frac{1}{2} + \delta\right) \cdot T \quad \text{Phase 3}$$

$$\left(\frac{1}{2} + \delta\right) \cdot T \leq t < T \quad \text{Phase 4}$$

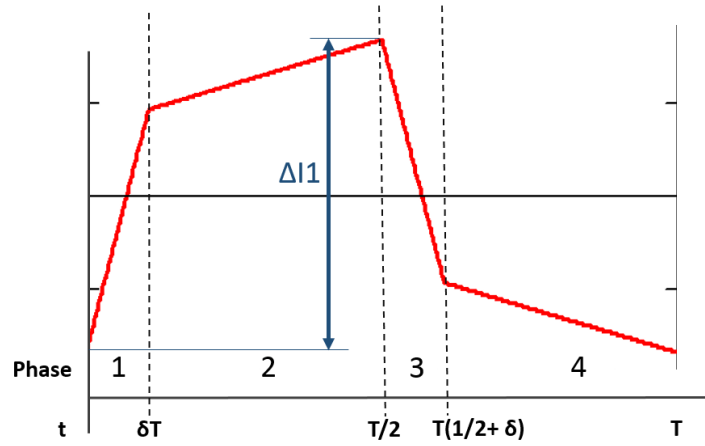


Figure 196 : Forme d'onde théorique du courant I1

En considérant l'enchainement des phases comme suit et $k < E/V_s$, on obtiendra la forme d'onde en courant représentée sur la Figure 196.

On exprime le courant I1 pendant la phase 1 avec l'Eq. 15 et pendant la phase 2 avec l'Eq. 16. On en déduit alors l'amplitude du courant durant ces deux phases (Eq. 17 et Eq. 18) et l'amplitude de I1 (Eq. 19). T désigne la période de fonctionnement.

$$\text{Phase 1} \quad I1(t) = \frac{E + V_s/k}{L_{res}} \cdot t - \frac{\Delta I1}{2} \quad \text{Eq. 15}$$

$$\text{Phase 2} \quad I1(t) = \frac{E - V_s/k}{L_{res}} \cdot t + I0 \quad \text{Eq. 16}$$

$$\text{Phase 1} \quad \Delta I1_{p1} = \frac{E + V_s/k}{L_{res}} \cdot \delta T \quad \text{Eq. 17}$$

$$\text{Phase 2} \quad \Delta I1_{p2} = \frac{E - \frac{V_s}{k}}{L_{res}} \cdot T \cdot \left(\frac{1}{2} - \delta\right) \quad \text{Eq. 18}$$

$$\Delta I_1 = \frac{T}{L} \left[\frac{V_s}{k} (2\delta - 1/2) + \frac{E}{2} \right] \quad \text{Eq. 19}$$

On cherche maintenant à déterminer le courant de sortie I_{out} . D'après le fonctionnement des interrupteurs on sait que :

$$I_{out} = \frac{I_1}{k} \text{ Pendant les phases 2 et 3}$$

$$I_{out} = \frac{-I_1}{k} \text{ Pendant les phases 1 et 4}$$

La forme d'onde du courant de sortie est celle représentée sur la Figure 197. D'après nos remarques précédentes, le courant I_{out} se calcule avec l'Eq. 20.

$$I_{out} = \frac{1}{T \cdot k} \cdot \left[\int_{\text{phase 2,3}} I_1(t) dt + \int_{\text{phase 1,4}} -I_1(t) dt \right] \quad \text{Eq. 20}$$

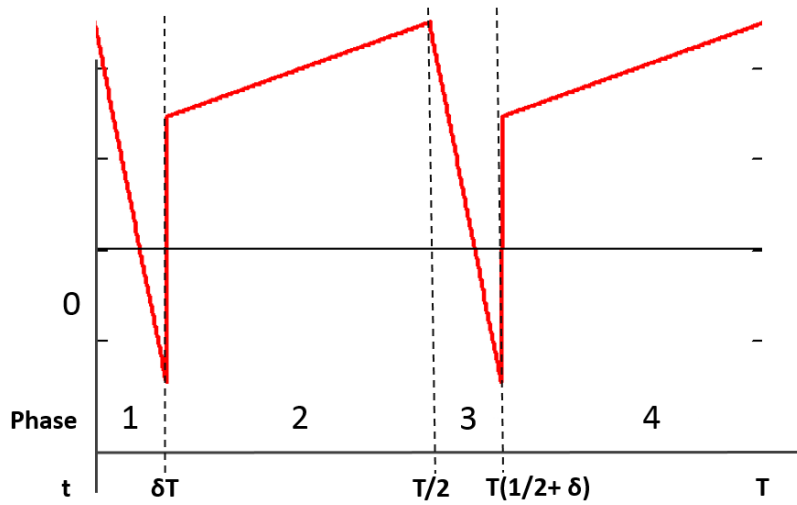


Figure 197 : Forme d'onde du courant de sortie I_{out} .

En injectant alors les équations de I_1 dans le calcul de I_{out} on obtient l'Eq. 21. On obtient donc la relation liant le courant moyen de sortie avec le déphasage δ dans le cas où on utilise un pont complet pour l'onduleur et le redresseur. On voit dans cette relation que la tension de sortie n'intervient pas, la structure se comporte bien comme un générateur de courant.

$$I_{out} = \frac{2 \cdot E \cdot T}{k \cdot L_{res}} \cdot \left(\frac{\delta}{2} - \delta^2 \right) \quad \text{Eq. 21}$$

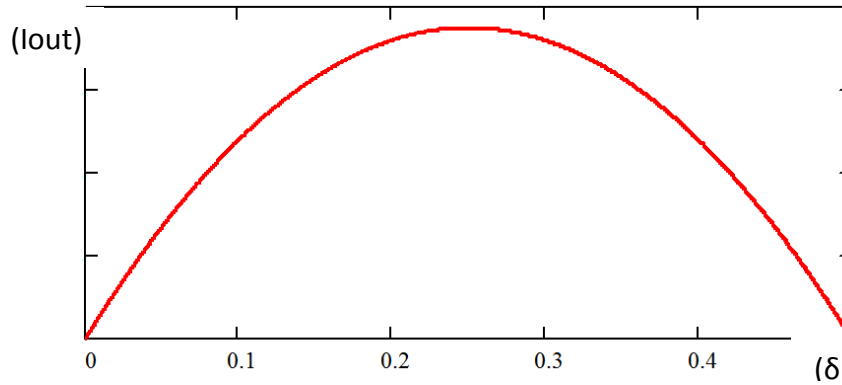


Figure 198 : Evolution du courant de sortie I_{out} (A) en fonction de δ sur le segment $[0; 0,5]$

L'évolution de I_{out} en fonction du déphasage forme une parabole Figure 198. Si le déphasage continue au-delà de 0.5 et descend en dessous de 0 le transfert de puissance sera inversé, l'évolution décrira toujours une parabole mais pour des valeurs de I_{out} négatives.

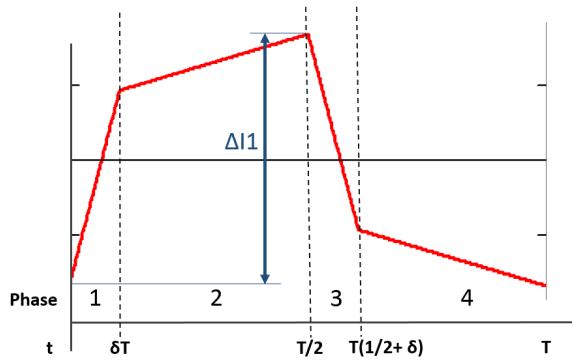
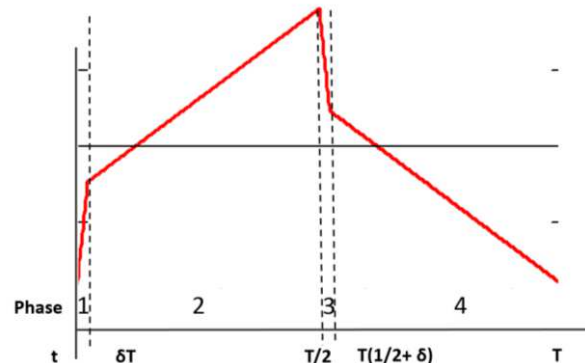
Il existe dans la littérature des exemples de commandes à double déphasages dont le principe est rappelé en annexe.

D. Commutations ZVS et ZCS

Avec des fréquences de commutation importantes et des commutations très rapides, il devient primordial d'être précis sur le calcul des pertes en commutation. Nous allons montrer ici quel type de commutation on rencontre dans notre convertisseur et nous verrons ensuite comment exprimer les pertes.

i. Sens du courant lors des commutations

Les phases 1 et 3 commencent lorsque des interrupteurs commutent au primaire et les phases 2 et 4 lorsque des interrupteurs commutent au secondaire. Le signe du courant au début des phases 1 et 3 est toujours le même mais ce n'est pas le cas au début des phases 2 et 4 où le signe du courant varie en fonction de divers paramètres (niveau de charge, inductance...). Les Figure 200 et 199 montrent le courant I_1 pour deux charges différentes et illustrent ce changement.


Figure 199 : Courant I_1 pour I_{out} nominal

Figure 200 : Courant I_1 pour $0.25 I_{out}$ nominal

On a vu précédemment que la phase 1 commence avec la fermeture de T1 et T3 et l'ouverture de T2 et T4, donc au primaire, quel que soit le courant de sortie, le courant dans les interrupteurs à la fermeture est négatif (le courant passe donc dans les diodes antiparallèles) et il est positif à l'ouverture (Figure 194).

La phase 2 commence avec la fermeture de T5 et T7 et l'ouverture de T6 et T8. A faible puissance, le courant dans les interrupteurs secondaires sera positif à la fermeture et négatif à l'ouverture et à l'inverse pour des puissances plus élevées, le courant sera négatif à la fermeture et positif à l'ouverture.

ii. Commutations douces

On va regarder ce qu'il se passe pendant les temps morts pour comprendre l'origine des commutations douces. On va pour cela s'appuyer sur des structures pont complet. De façon générale, avec des bras de pont, pour éviter les courts-circuits, on commence toujours par ouvrir l'interrupteur fermé avant de fermer l'interrupteur ouvert. Prenons le cas de l'onduleur avec la Figure 201 pendant la fin de la phase 2 (fermeture de T2, T4 et ouverture de T1, T3). On commande l'ouverture de T1 et T3, le courant est alors positif dans ces interrupteurs, la tension à leurs bornes va donc augmenter et celle aux bornes de T2 et T4 va diminuer. Ensuite le courant va être bloqué, or il est imposé par la source de courant qui est l'inductance du circuit. Cette dernière va donc imposer une circulation de courant dans les diodes internes de T2 et T4. Enfin, le temps mort se termine et on commande à la fermeture T2 et T4.

L'ouverture des interrupteurs est une commutation dure avec un croisement entre le courant et la tension. Pendant la fermeture on ne retrouve pas ce croisement étant donné que la tension a diminué avant que le courant n'augmente. De plus ici les charges stockées dans les capacités C_{oss} ne généreront pas de pertes (contrairement au cas des commutations ZCS que nous verrons juste après) car ces capacités se déchargeront dans le sens du courant de puissance. A puissance élevée les commutations dans les interrupteurs du redresseur seront du même type.

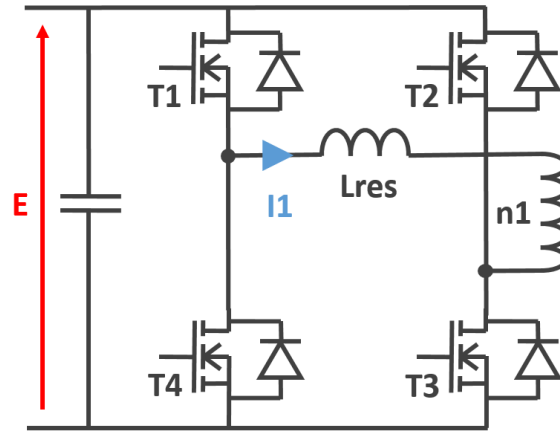


Figure 201 : Onduleur à pont complet

Ces commutations sont de type ZVS (douce à l'amorçage et dure au blocage). Les formes d'ondes schématiques de la tension (V_{DS}) et du courant (I_D) d'un interrupteur pendant le blocage sont représentées sur la Figure 202. L'inductance parasite des pistes fait apparaître des oscillations sur la tension drain source.

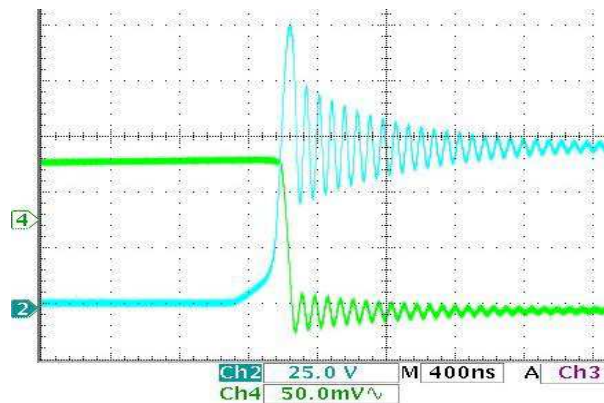


Figure 202 : Exemple de forme d'onde du courant et de la tension d'un transistor pendant le blocage de façon générale.

Les pertes par commutation à l'ouverture seront calculées avec l'Eq. 22, en considérant :

$$P_{off} = f \left(\frac{1}{2} \cdot E \cdot I \cdot (trv + tfi) + \frac{1}{2} L \cdot I^2 \right) \quad \text{Eq. 22}$$

E : La tension commutée par l'interrupteur

I : Le courant commuté

trv et tfi : respectivement le temps de commutation de E et I

L : l'inductance parasite du circuit

Dans le cas du redresseur avec une puissance de sortie faible, le courant est cette fois positif à la fermeture (cas de la fermeture de T8 et T6 sur la Figure 203 en considérant I_2 positif). C'est donc dans la diode antiparallèle du transistor qui se bloque que l'inductance va imposer le passage du courant pendant le temps mort, cette commutation est donc douce (pendant que le courant diminue, la tension aux bornes de cet interrupteur est égale à la tension de seuil de la diode antiparallèle, donc cette commutation génère très peu de pertes). A la fin du temps mort l'interrupteur complémentaire se ferme, il va donc conduire le courant de puissance et permettre

à la tension de monter aux bornes du transistor qui vient de se bloquer (recouvrement de la diode body et charge C_{OSS}). Au moment de sa fermeture l'interrupteur conduit le courant de puissance plus le courant de décharge de sa capacité C_{OSS} plus le courant de charge de la capacité C_{OUT} du transistor qui s'ouvre et le courant de recouvrement du même transistor. Cette commutation est dure et de plus le courant durant la commutation peut être très important suivant sa rapidité (plus les capacités C_{OSS} se chargent et se déchargent vite plus le courant est élevé, de même pour le courant de recouvrement).

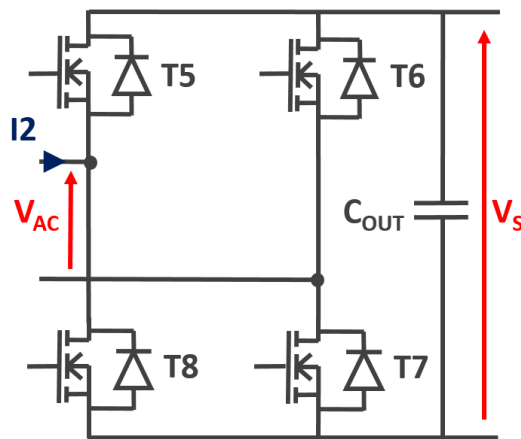


Figure 203 : Schéma du redresseur

En s'appuyant sur la Figure 204 on peut décomposer la commutation du transistor qui se ferme comme suit (en considérant non pas un cas général mais le fonctionnement dans le convertisseur avec l'image du courant I_1 au secondaire) :

- Phase t_1 : A cet instant le transistor est commandé à l'état passant : on voit alors la tension évoluer un peu (effet des inductances de piste) et le courant de puissance s'établit. Le courant dans la diode de l'interrupteur complémentaire diminue jusqu'à devenir nul.
- Phase t_2 : Au début de la phase t_2 le courant de puissance passe dans le transistor et la barrière de la diode du transistor complémentaire se reconstitue. On voit alors le courant I_{RM} (courant de recouvrement) dû à la charge Q_{rr} (charge de recouvrement) passer dans le transistor. Donc au lieu d'observer une trajectoire descendante du courant selon les pointillés, le courant continue d'augmenter pour former un pic. La forme générale de ce pic

est donnée par le courant IRM et le temps trr (temps de recouvrement) avec
$$= \frac{2Q_{rr}}{trr}.$$

- Phase t3 : La dernière phase commence lorsque Qrr est évacuée. L'interrupteur complémentaire peut alors supporter la tension qui commence à monter à ses bornes. Sur notre transistor on voit donc par complémentarité la tension chuter. Pendant cette phase le courant dû aux capacités Coss apparaît. En effet, l'interrupteur dont la diode conduisait voit maintenant sa capacité se charger, et l'autre voit sa capacité se décharger. De même que précédemment on va alors détecter un pic sur la forme d'onde en courant.

A la fin de la phase t3, le courant rejoint la trajectoire initiale et on ne voit plus que le courant de puissance.

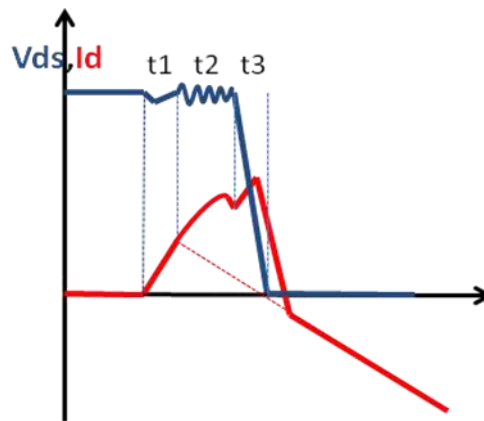


Figure 204 : Schéma des formes d'ondes du transistor qui se ferme dans le cas du redresseur du DAB

Pour le calcul des pertes à la fermeture nous utiliserons l'Eq. 23 où l'effet des inductances est négligé . On prend en compte les charges de recouvrement et les capacités Coss.

$$P_{on} = \frac{1}{2} \cdot E \cdot \left(I + \frac{2 \cdot Q_{rr}}{trr} \right) \cdot tri \cdot f + \frac{1}{2} \cdot (2 \cdot C_{oss}) \cdot E^2 \cdot f \cdot \left(1 + \frac{4}{3} \cdot \sqrt{\frac{2 \cdot I^2}{C_{oss} \cdot E \cdot \frac{dI}{dt}}} \right) \quad \text{Eq. 23}$$

E : La tension commutée par l'interrupteur

I : Le courant commuté

tri : le temps de commutation de I

E. Cas du redressement à diode

i. Structure et commande

Le redressement synchrone permet de réduire les pertes par conduction que l'on aurait dans un redresseur à diodes et de rendre le convertisseur réversible. En contrepartie, on a des pertes par commutation dans les interrupteurs, des pertes dans leurs commandes et la nécessité d'avoir ces commandes. De plus si on commande uniquement l'onduleur, on n'aura plus la nécessité d'isoler ces commandes (tout le circuit de commande serait référencé au primaire), ce qui supprimera les pertes dans leurs ferrites et réduira l'encombrement.

Concernant les diodes, on trouve des diodes schottky silicium basse tension avec des tensions de seuil faibles, de plus leur mise en parallèle fera décroître leur résistance équivalente. On pourra citer la PMEG3050 (diode 30V) dont la tension de seuil à 85°C et 3A est de 0.25V.

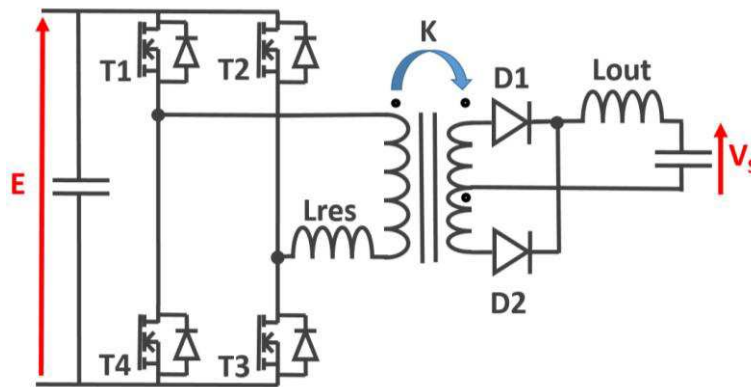


Figure 205 : Structure DC/DC avec redresseur à diode

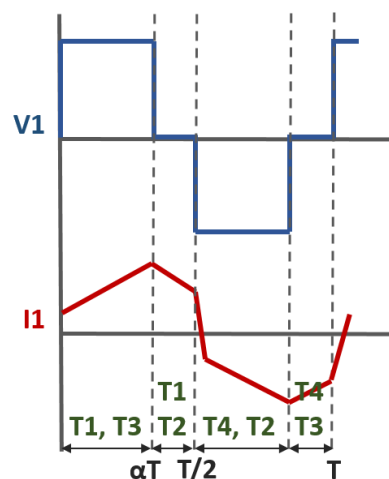


Figure 206 : Formes d'ondes de la tension en sortie de l'onduleur (V_1) et courant au primaire du transformateur (I_1)

L'utilisation de la commande en phase shift comme décrit précédemment étant impossible, on peut proposer un fonctionnement où l'on pilote la tension de sortie avec un décalage des bras primaires. La structure de puissance est alors celle représentée sur la Figure 205 . Le décalage des bras de pont primaires avec un rapport cyclique fixe à 0.5 donnera un fonctionnement 3 niveaux à l'onduleur et permet d'asservir la tension de sortie uniquement avec ce déphasage.

Les inductances de fuite du transformateur et les inductances des pistes liées au transformateur (appelées ici L_{res}) procureront suffisamment d'inertie au courant rentrant dans le transformateur pour avoir des commutations en ZVS comme décrit précédemment.

Les formes d'ondes de la tension en sortie de l'onduleur et du courant dans le primaire du transformateur sont présentées sur la Figure 206. L'inductance de lissage réduira l'amplitude du courant tandis que L_{res} sera à l'origine d'une réduction de la pente qui apparaît à $T/2$. Si L_{res} est trop faible on n'aura pas de commutation douce si elle est trop forte on modifiera le comportement du convertisseur.

La tension moyenne de sortie pour cette structure est définie par l'Eq. 24.

$$V_s = 2\alpha \cdot K \cdot E$$

Eq. 24

ii. Mise en parallèle de diode

Une fréquence de découpage importante réduit la durée des différents segments de la forme d'onde en courant et on a alors des di/dt plus importants. Cela peut faciliter la mise en parallèle des diodes schottky dans le but de réduire les pertes et d'éviter l'emballement thermique de l'une d'entre elles. En effet le courant choisira de passer par la diode présentant la tension de seuil la moins élevée, cette diode-là aura plus de pertes, chauffera plus et verra sa tension de seuil baisser ... Pour limiter cet effet on peut faire des ponts thermiques entre les diodes pour limiter les écarts de température entre elles. Or ici, on peut aussi utiliser les inductances des pistes pour diminuer l'influence des écarts de tension de seuil entre les diodes (Figure 207). L'expression de la tension V de la Figure 207 est donnée par Eq. 25 et Eq. 26 (V_a avec les inductances et V_{sl} sans les inductances) dans les cas où on considère les inductances L_a et L_b ou non (avec V_{fa} la tension de seuil de D_a et r_a la résistance de D_a). On voit qu'avec les inductances les courants passants dans les diodes peuvent s'équilibrer avec la valeur du courant et de sa dérivée, alors que sans inductance seul le courant jouera.

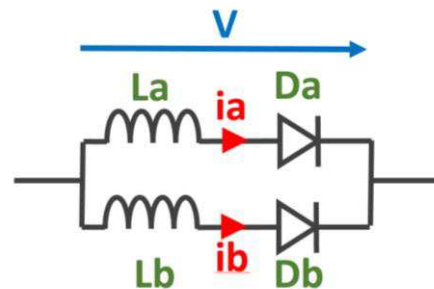


Figure 207 : Schéma de deux diodes en parallèles avec les inductances d'équilibrages des courants

$$V_{al} = L_a \frac{dia}{dt} + V_{fa} + r_a \cdot i_a \quad \text{Eq. 25}$$

$$V_{sl} = V_{fa} + r_a \cdot i_a \quad \text{Eq. 26}$$

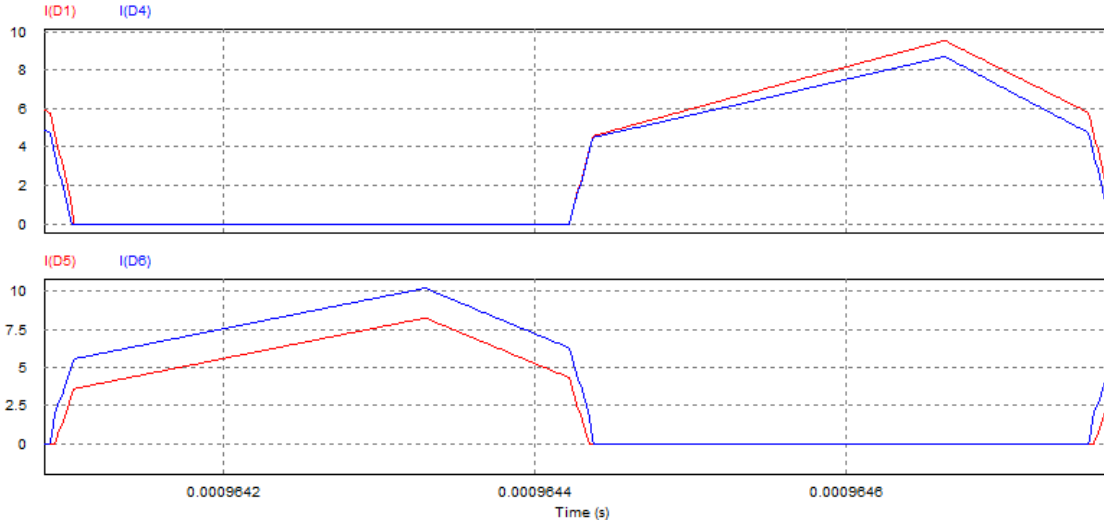


Figure 208 : Courants dans les diodes utilisées pour D1 (au-dessus) et D2 (en dessous)

Pour illustrer ce qui vient d'être dit on va simuler la structure présentée précédemment (Figure 205) en utilisant pour D1 deux diodes en parallèle avec chacune une inductance en série (10nH) et pour D2 deux diodes en parallèle sans inductance. On utilisera les paramètres de la diode PMEG3050 en considérant le déséquilibre maximal indiqué par le constructeur, c'est-à-dire $V_{f1}=0.315V$, $V_{f2}=0.36V$ (paramètre nominal et max donnés pour un courant de 5A) et $r_f=0.023\Omega$ (résistance série). D1 et D2 ayant une diode avec V_{f1} et l'autre avec V_{f2} . Les formes d'ondes des courants traversant les diodes sont présentées sur la Figure 208.

Le déséquilibre des courants efficaces entre les diodes passe de 24% pour D2 à 9% pour D1. Les 10nH utilisés pour la simulation peuvent être obtenus avec le routage des diodes sans rajouter de composants. On voit donc que même dans le pire des cas pour la diode choisie, on peut arriver à améliorer la mise en parallèle des diodes juste en utilisant le routage. De plus, à l'inverse des transistors, les inductances des boîtiers de diodes nous aideront.

iii. Rendement

Le redressement à diode présente peu de pertes en commutation et plus en conduction qu'un redresseur synchrone. Ainsi, en fonction de la fréquence de découpage et de la puissance transférée, l'une de ces deux solutions pourra présenter un meilleur rendement que l'autre.

Le rendement de cette structure pour notre application sera présenté plus loin (partie C de ce chapitre).

3. INDUCTANCE VARIABLE

On l'a vu précédemment, la valeur du courant de sortie est dépendante de l'inductance que l'on a appelée L_{res} . On peut donc agir sur le comportement du convertisseur en jouant sur l'inductance. De façon générale, le convertisseur aura de meilleures performances en basse puissance pour une inductance plus forte et inversement des performances meilleures à forte puissance avec une valeur plus faible.

Ce que l'on propose ici n'est pas d'utiliser l'inductance comme moyen d'asservissement mais plutôt d'avoir deux (ou plus) valeurs différentes d'inductance que l'on puisse choisir sur commande. On pourrait optimiser le rendement sur l'ensemble de la plage d'utilisation et garder une bonne dynamique de fonctionnement.

La Figure 209 montre l'effet de l'inductance sur la courbe de rendement du convertisseur (On verra les détails du calcul de rendement dans la partie 4 de ce chapitre, $I_{out}=12.5A$ représente la puissance maximale de 150W). Faire fonctionner le convertisseur avec une inductance qui passerait de 170nH à 70nH permettrait d'avoir un rendement bien meilleur pour des puissances faibles. La courbe pour $L_{res}=170nH$ s'arrête à cause du courant maximal de la structure.

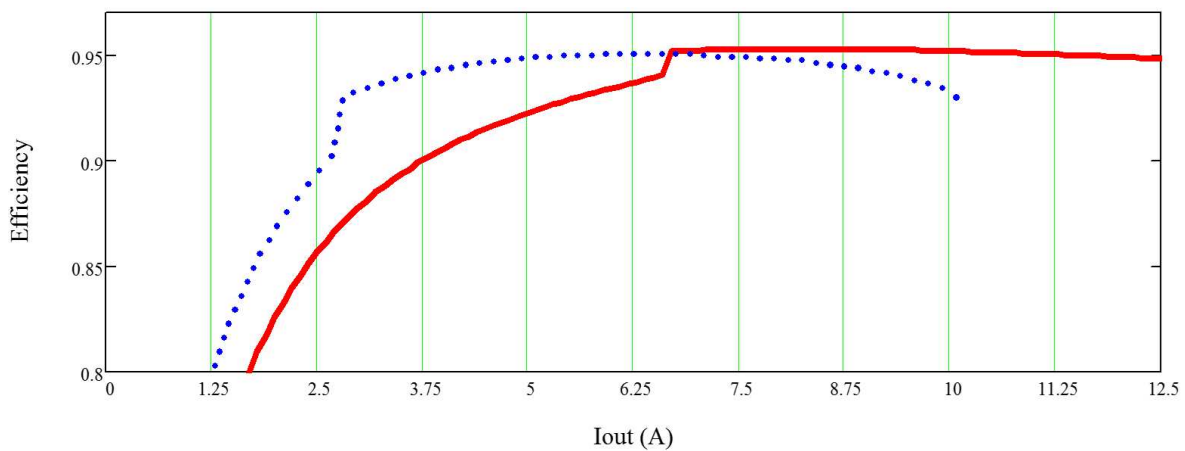


Figure 209 : Courbe de rendement pour deux valeurs de L_{res} différentes (70nH en trait plein et 170nH en pointillés)

Pour réaliser l'inductance variable en pratique on peut utiliser plusieurs méthodes. Dans la littérature on trouve plusieurs exemples d'inductances variables intégrées sur silicium pour fonctionner à des fréquences de l'ordre du GHz. Dans une inductance variable composée de trois inductances à air superposées sur trois couches différentes et mises en série est présentée. Deux MOSFETs sont placés en parallèle de deux des trois inductances pour les court-circuiter et ainsi avoir trois valeurs d'inductance différentes. Le schéma et la topologie de cette inductance sont représentés sur la Figure 210. Cette première solution consiste donc à court-circuiter une partie d'une inductance à air.

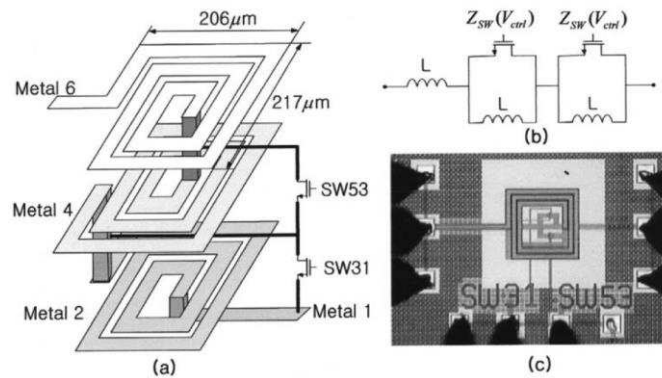


Figure 210 : a=topologie de l'inductance, b=schéma de l'inductance, c=photo de la zone de la puce concernée

On va maintenant voir comment appliquer cette méthode à une inductance avec circuit magnétique. On a représenté sur la Figure 211 deux spires en série (avec un via) formant le bobinage d'une inductance planar avec trois pins numérotées de 1 à 3.

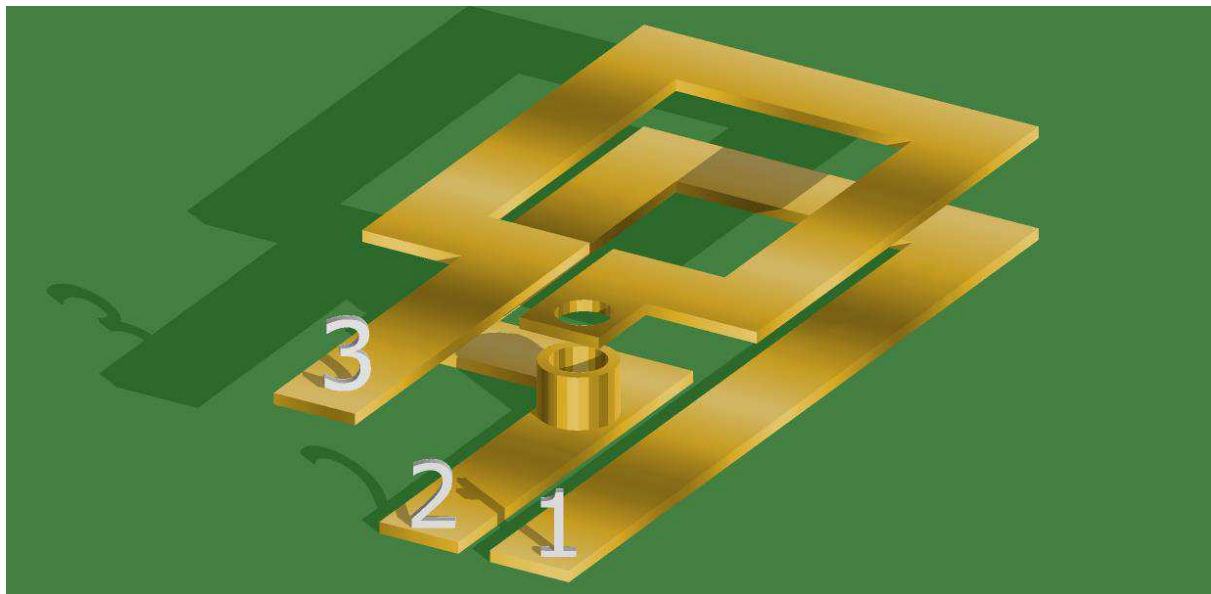


Figure 211 : Schéma de la topologie proposée pour les pistes

On considère la pin 1 comme l'entrée, le courant sort donc par la pin 2 ou 3 (pins qui seront connectées car étant toute deux des sorties). Si on place un interrupteur en sortie de la pin 2 on obtiendra l'effet souhaité car, lorsque la pin 2 sera bloquée le courant passera dans les 2 spires en séries. Inversement, lorsqu'elle sera passante, le courant choisira de sortir par la pin 2 qui présentera un chemin faible impédance. Néanmoins, dans le cas où cet interrupteur serait passant, la spire du bas générerait un champ dans le circuit magnétique et la spire du haut serait en court-circuit. Un courant serait alors généré dans cette

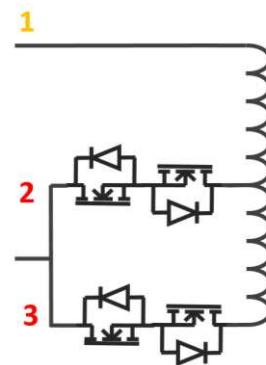


Figure 212 : Schéma électrique de l'inductance variable avec les interrupteurs bidirectionnels

dernière créant des pertes significatives. On rajoute donc un interrupteur sur la pin 3 avant qu'elle rejoigne la pin 2.

Le courant traversant l'inductance étant alternatif, il faut des interrupteurs bidirectionnels en tension et en courant. De plus leur commande devra être isolée. On pourra utiliser pour chaque fonction deux MOSFET placés tête-bêche pour avoir les sources au même potentiel (Figure 212).

Des tests ont été réalisés sur une inductance planar. Les mesures ont été faites avec un pont d'impédance et les résultats sont présentés dans le Tableau 16. Le circuit magnétique était un E18 en 3F3 ce qui explique les valeurs d'inductance élevées. La demi-spire représente ici un simple passage à travers le circuit magnétique et 1.5 spires représente une spire entière plus un simple passage (Figure 213).

SPIRE	INDUCTANCE
0.5	0.8uH
1.5	2uH
2	3.3uH

Tableau 16 : Résultat des tests sur l'inductance variable

Si on considère un schéma reluctant simplifié avec L la valeur d'inductance obtenue pour une spire, on devrait avoir pour 0.5 et 1.5 spire respectivement $3/4L$ et $11/4L$. Le rapport des inductances obtenues pour 0.5 et 1.5 spire est de 2.5, ce qui, en choisissant un meilleur circuit magnétique, pourrait correspondre aux courbes présentées avant avec des valeurs de 70nH et 170nH et dont le rapport était de 2.4. Le rapport de 2.5 obtenu en pratique est relativement éloigné de celui obtenu en théorie (rapport 3.6) en considérant un schéma reluctant simplifié, mais reste cohérent en comparaison de celui (rapport 9) obtenu avec une formule classique de calcul d'inductance proportionnel au carré du nombre de spire.

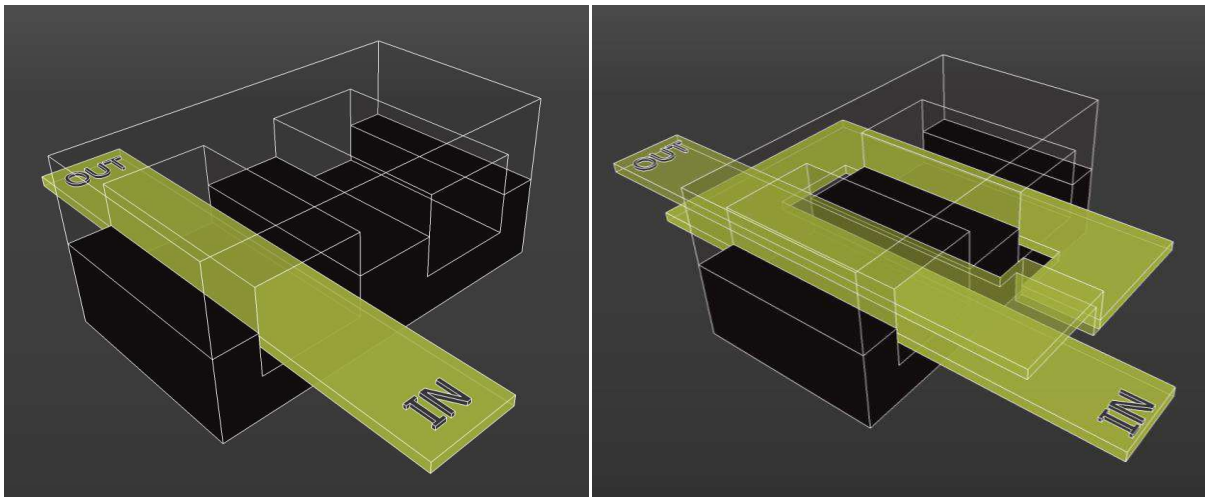


Figure 213 : Schéma des topologies de bobinage 0.5 spire (à gauche) et 1.5 spire (à droite)

Une inductance variable peut augmenter le rendement à basse puissance et comme la commande à double déphasage, réduire la plage où le courant réactif est non nul. De plus, elle pourrait permettre d'adapter le fonctionnement des convertisseurs dans le cas où ils fonctionnent avec des tensions d'entrée variant sur une plage relativement importante.

4. DIMENSIONNEMENT DU CONVERTISSEUR

On détaille ici les expressions utilisées pour le calcul des pertes dans les actifs et les passifs. On présentera ensuite les courbes de rendement pour différentes structures.

Pour l'ensemble des éléments, on a reconstruit les formes d'ondes en courant pour ensuite calculer les courants efficaces et les courants commutés. Tous ces calculs ont été réalisés sous Mathcad.

A. Semi-conducteur (MOSFET)

Les pertes en conduction dans les MOSFETs et eGaN sont calculées en multipliant la résistance à l'état passant par le courant efficace au carré (ce dernier est calculé à partir des formes d'ondes).

Les commutations de puissance sont de type ZVS ou ZCS. Les pertes correspondantes aux commutations dures de ces deux types ont été exprimées précédemment (p156). Pendant les phases de temps mort, ce sont les diodes qui conduisent et qui vont générer des pertes. Le temps mort étant assez faible, on considère pour le calcul des pertes que la diode conduit le courant commuté pendant tout le temps mort. Les pertes pendant le temps mort sont données par l'Eq. 27 avec V_f la tension de seuil de la diode, I_{com} le courant commuté et t_m le temps mort.

$$P_{diode} = V_f \cdot I_{com} \cdot t_m \quad \text{Eq. 27}$$

Pour le calcul des pertes on a besoin des temps de commutation et de la durée du temps mort. On va donc pour les turn on et off déterminer les différents temps de charge des capacités de grille. On commence par le turn off :

Pendant la première phase de décharge de la grille (à travers la résistance de grille R_g) la tension aux bornes de C_{GS} ($C_{ISS}-C_{RSS}$) passe de la tension de commande V_c à la tension de palier V_p (valeurs relevées sur les data sheet). Pendant ce temps de delay (T_d) il n'y a pas de commutation des grandeurs de puissance.

$$T_{doff} = -R_g \cdot C_{gs} \cdot \ln\left(\frac{V_p}{V_c}\right)$$

La deuxième phase correspond à la commutation en tension. Dans le cas général cette phase est pilotée par la grille, cependant dans le cas d'un courant de puissance « faible », la charge de la capacité C_{oss} peut être un facteur limitant. Cela est décrit par les deux temps $trv1$ (pilotage par la grille) et $Trv2$ (limitation par le courant de puissance). La

$$Trv1 = \frac{R_g \cdot E \cdot C_{gd}}{V_p}$$

$$Trv2 = \frac{E \cdot C_{oss}}{I_{off}}$$

capacité grille drain se décharge à travers R_g ($Trv1$). La capacité C_{oss} se charge (chargée par le courant de puissance I_{off}) jusqu'à la tension de puissance E ($Trv2$). Le temps de montée de la tension drain source est égal au plus long des deux.

La dernière phase correspond à la commutation en courant. La capacité C_{GS} se décharge, de la tension de palier à la tension de seuil V_{Gsth} , à travers la résistance de grille.

$$T_{fi} = -R_g \cdot C_{gs} \cdot \ln\left(\frac{V_{gsth}}{V_p}\right)$$

Pour le turn on les formules sont légèrement différentes :

Le temps de delay correspond à la charge de C_{GS} de 0V à V_{Gsth} .

$$T_{don} = -R_g \cdot C_{gs} \cdot \ln\left(1 - \frac{V_{gsth}}{V_c}\right)$$

La deuxième phase (Tri) correspond à la commutation en courant et donc à la charge de C_{GS} de V_{Gsth} à V_p .

$$T1 = -R_g \cdot C_{gs} \cdot \ln\left(1 - \frac{V_p}{V_c}\right)$$

$$T_{fi} = T_{don} - T1$$

La dernière phase correspond à la commutation en tension. La capacité C_{GD} se charge, de la tension V_p à E .

$$T_{fv} = \frac{R_g \cdot E \cdot C_{gd}}{V_p}$$

Le temps de conduction de la diode de structure des interrupteurs est défini par t_d (DT = temps mort).

$$t_d = DT - T_{doff} + T_{don} - Trv$$

Les différents temps présentés ici ne prennent pas en compte les inductances parasites, néanmoins on a vu précédemment qu'elles avaient un rôle important. La modélisation du routage sous InCa3D pour déterminer chaque inductance de chacun des drivers de chaque prototype aurait été assez longue. La gamme de composants d'EPC pour une tension de claquage donnée ne contient que deux composants. Ces formules nous permettrons donc tout de même de faire un choix cohérent sur les interrupteurs.

B. Passifs

Dans cette partie on va parler des pertes dans les éléments magnétiques et capacitifs. Nous nous servirons encore de Mathcad pour réaliser les calculs de pertes et des courants efficaces.

i. Éléments magnétiques

Le programme Mathcad réalisé calcule le nombre optimal de spires et le circuit magnétique à mettre en œuvre. Les noyaux magnétiques FERROXCUBE, avec toutes leurs caractéristiques (dimensions, volume, surfaces et caractéristiques magnétiques) entrées dans un tableur. Le programme peut donc calculer les pertes fer, cuivre ainsi que le volume pour tous les cas, et proposer sous forme de graphe les solutions. On peut alors choisir parmi un grand nombre de possibilités celle qui nous convient le mieux (compromis encombrement/rendement). Les pertes fer se situent dans le noyau et sont dues au phénomène d'hystérésis et aux courants de Foucault dans le noyau. Les pertes cuivre se produisent dans les conducteurs et comprennent les pertes continues et celles en haute fréquence dues à l'effet de peau et aux effets de proximité.

a. Pertes fer

Pour le calcul des pertes fer nous nous sommes servis du modèle de Steinmetz. Le calcul de ces pertes a été explicité p117 dans la partie concernant la montée en fréquence.

b. Pertes cuivre

Les pertes cuivre ont été calculées avec la méthode de Dowell appliquée à un transformateur planar. Cette méthode commence avec le choix de la géométrie des conducteurs puis par le calcul de la résistance du cuivre et la prise en compte des effets de peau et de proximité.

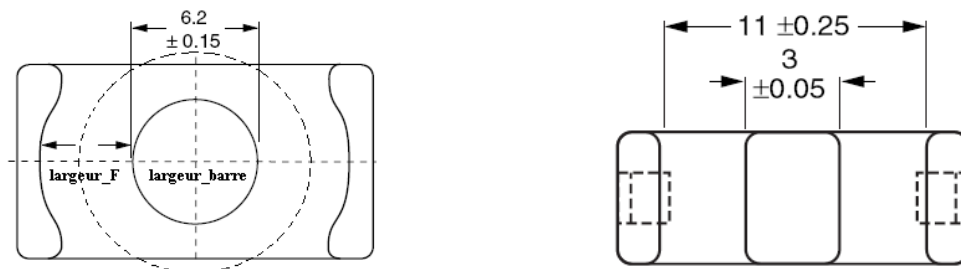


Figure 214 : Géométrie des circuits magnétiques de type ERxx à gauche et Exx à droite

Suivant le type de circuit magnétique, avec une jambe centrale ronde (circuit ERxx) ou rectangulaire (circuit Exx), la longueur des spires ne sera pas la même. Les dimensions générales du circuit auront également un impact.

Les pertes cuivre se décomposent en deux parties, les pertes AC et les pertes DC. Les pertes DC s'exprime à partir de la longueur et de la section de cuivre (respectivement l et S) et de la résistivité du conducteur ρ .

$$P_{dc} = \rho \cdot \frac{l}{S} \cdot I_{eff}^2 \quad \text{Eq. 28}$$

Intéressons-nous maintenant aux pertes AC, la méthode de Dowell permet de prendre en compte les effets de proximité entre les spires. Cumulés à l'effet de peau, ils vont définir

un coefficient de perte AC qui s'ajoutera aux pertes DC. Cette méthode s'applique à des plaques parallèles, ce qui est notre cas.

Le rapport des résistances des enroulements en fréquence et en régime continu est donné par l'Eq. 29, avec $X=h/\delta$ (h l'épaisseur du conducteur, δ l'épaisseur de peau et m le nombre de couche de conducteur)

$$\frac{R_{ac}}{R_{dc}} = X \cdot \frac{\sinh(2X) + \sin(2X)}{\cosh(2X) - \cos(2X)} + \frac{2 \cdot (m^2 - 1)}{3} \cdot \left(\frac{\sinh(X) - \sin(X)}{\cosh(X) + \cos(X)} \right) \quad \text{Eq. 29}$$

L'épaisseur de peau peut être calculée avec Eq. 30. Avec $\mu_c=1$ et $\rho=17 \cdot 10^{-9} \Omega \cdot m$ pour le cuivre.

$$\delta = \sqrt{\frac{\rho}{\pi \cdot \mu_0 \cdot \mu_c \cdot f}} \quad \text{Eq. 30}$$

L'agencement des pistes a une forte influence. Le paramètre m correspond au nombre de couches de conducteur en série (deux enroulements, s'ils sont entrelacés, auront une valeur de paramètre m inférieure). La meilleure configuration pour réduire la valeur de m sera d'entrelacer les conducteurs. Les Figure 215 et 216 illustrent ce qui vient d'être dit.

L'Eq. 29 est issue de la résolution des équations de Maxwell et nécessite plusieurs hypothèses simplificatrices pour être appliquée :

- Les couches conductrices occupent toute la largeur b de la fenêtre de bobinage. En pratique, les fabricants de PCB imposeront un écart, mais qui restera faible par rapport à la largeur des pistes (0.2mm contre 4 mm dans une ferrite ER18). Dans la thèse de Xavier Margueron , on voit que la largeur des conducteurs joue un rôle important dans la circulation des lignes de flux. Des pistes larges par rapport à la fenêtre de bobinage (comme dans notre cas) orienteront les lignes de flux parallèlement aux conducteurs.
- L'épaisseur d'une couche est plus petite que le rayon de courbure de cette couche.
- La perméabilité de la ferrite sur les côtés de la fenêtre est considérée comme infinie.
- Toutes les couches d'un même enroulement possèdent la même épaisseur.
- Le champ magnétique est nul d'un côté d'une portion d'enroulement et maximal de l'autre côté.

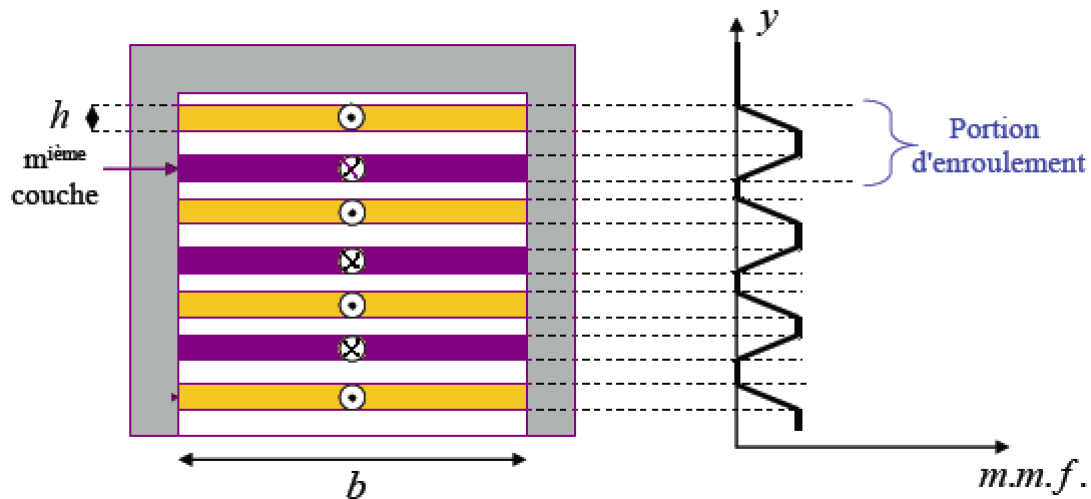


Figure 215 : Champ dans la fenêtre du transformateur, avec entrelacement des spires

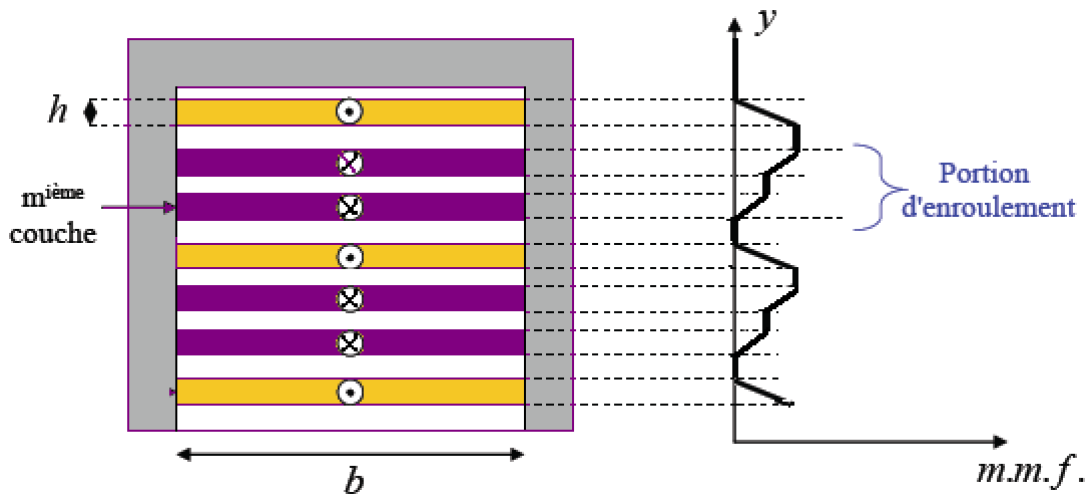


Figure 216 : Champ dans la fenêtre du transformateur, avec entrelacement des spires sur de multiples secondaires

Cette méthode mise au point par Dowell en 1966 est adaptée aux structures planar, mais à l'origine elle permettait de transformer des conducteurs quelconques en plaques équivalentes.

ii. Capacités

Les capacités de puissance (celles du demi pont capacitif et celle de sortie) voient passer des courants efficaces importants. Or, leur ESR n'est pas négligeable. Nous avons utilisé des MHV13C226MAT2A (condensateur céramique d'AVX) dont l'impédance et l'ESR sont tracés en fonction de la fréquence sur la Figure 217.

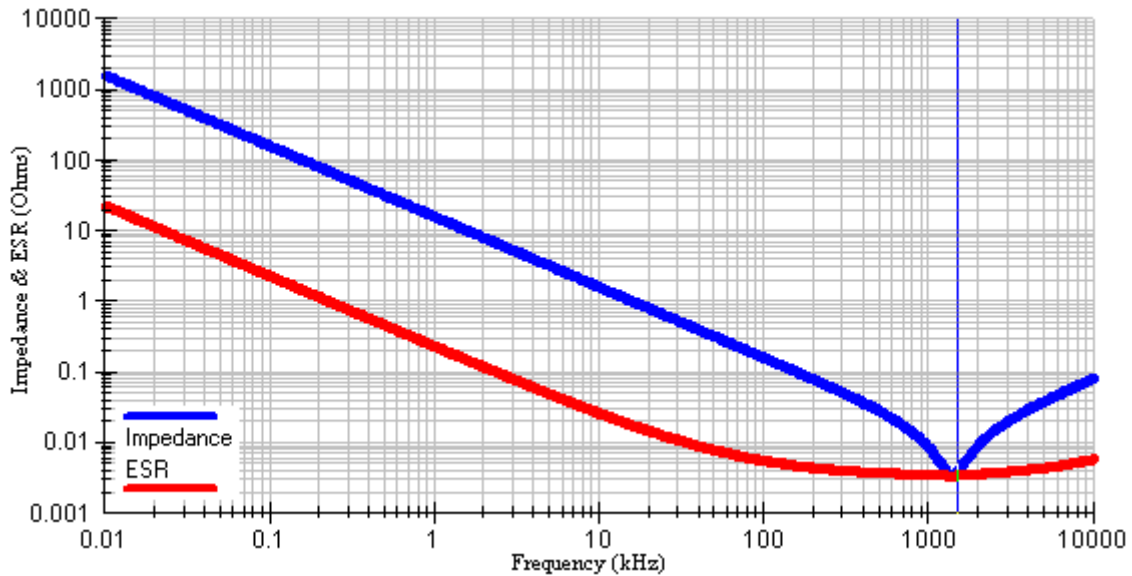


Figure 217 : Impédance et ESR des capacités MHV13C226MAT2A en fonction de la fréquence

L'ESR des capacités utilisées est d'environ $3\text{m}\Omega$ pour des fréquences de l'ordre du MHz, ce qui est proche de l'état passant de nos interrupteurs de sortie ($4\text{m}\Omega$). On prendra en compte les pertes par conduction dans ces capacités de la même façon que dans nos interrupteurs de puissance.

C. Courbes de rendements

A partir des formulations de pertes décrites précédemment nous avons cherché un optimum dans le dimensionnement du convertisseur. Les courbes de rendements de trois topologies sont présentées ici :

- La première est un DAB avec un demi-pont capacitif au primaire et un push pull au secondaire
- La deuxième est un DAB aussi mais avec un pont complet au secondaire.
- La troisième est constituée d'un pont complet au primaire et d'un redresseur à diode au secondaire avec une commande par déphasage des deux bras primaire.

On va commencer par présenter les courbes de rendement théorique (calculées à partir des formulations précédentes) sans commande avant de détailler la répartition des pertes pour les trois structures. La Figure 218 montre les courbes de rendement théorique pour chacune des topologies.

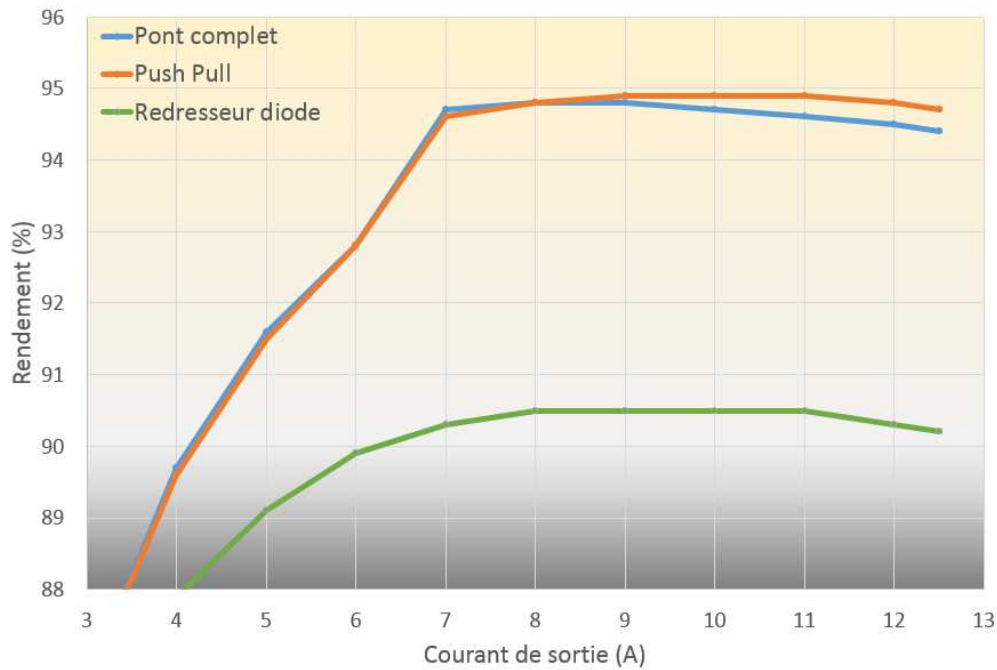


Figure 218 : Courbe de rendement théorique des trois structures sans prise en compte de la commande

Ces premiers résultats montrent une grosse différence entre les structures synchrones et celle avec le redresseur à diode (4,25%). La différence entre les deux structures synchrones est faible (0,25%) et est due à des pertes par conduction supplémentaires dans le pont complet.

i. Pont complet

Regardons maintenant la répartition des pertes dans la structure avec le pont complet au secondaire à la puissance nominale (100W, 8,3A, Figure 219). Il est important de noter qu'à cette puissance le courant commuté au secondaire est faible. En effet on a vu précédemment que le courant commuté au secondaire est négatif à faible puissance de sortie, puis devient positif, il y a donc une plage pendant laquelle il est proche de zéro. Cela explique le faible niveau de perte en commutation dans les interrupteurs secondaires. Dans la répartition présentée sur la Figure 219 nous nous trouvons dans le cas particulier où les interrupteurs secondaires commutent un courant pratiquement nul.

La moitié des pertes dans le convertisseur sont dues aux deux interrupteurs primaires. Le courant qu'ils conduisent est faible mais ils commutent la tension d'entrée de 42V. Les capacités ne représentent que 4% des pertes totales et les éléments magnétiques (transformateur et inductance) 37% avec une répartition à peu près égale entre pertes cuivre et pertes fer. L'inductance représente un tiers des pertes des éléments magnétiques.

Les calculs ont été faits avec une inductance de 70nH placée au secondaire, un rapport de transformation de 3/2 (3 spires primaires et 2 secondaires) et des circuits magnétiques ER18. Les interrupteurs utilisés sont des EPC2001 et EPC2015.

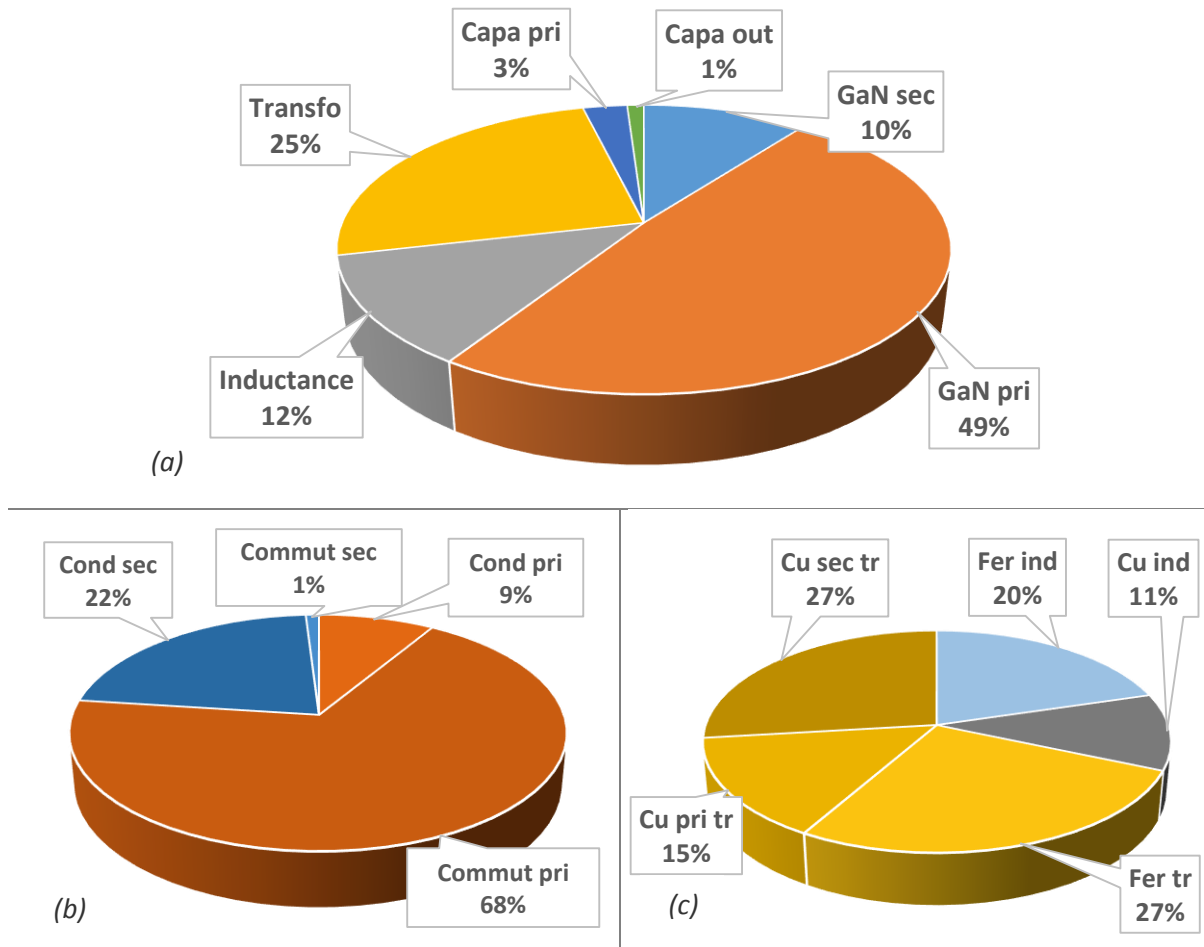


Figure 219 : Répartition des pertes dans les différents éléments du montage à puissance de sortie nominale : a) répartition globale, b) répartition des pertes dans les semi-conducteurs, c) répartition dans les éléments magnétiques. Tr=transformateur, ind=inductance, cond=conduction

ii. Push pull

Le cas du push pull est très similaire à celui pont complet, on ne présentera donc pas de graphique. Ici, on n'a que deux interrupteurs au secondaire qui voient passer autant de courant mais qui tiennent une tension deux fois plus grande. Une tension multipliée par deux provoque plus de pertes par commutation, mais un nombre moins important d'interrupteurs les réduit. En revanche, concernant les pertes par conduction, il n'y a qu'un seul interrupteur qui conduit le courant ici alors qu'il y en a deux dans le cas du pont complet. La résistance équivalente série est donc ici deux fois moins grande et donc les pertes par conduction deux fois moins élevées (à transistor donné).

iii. Redresseur à diode

Cette fois le convertisseur (Figure 205) a un comportement complètement différent. En effet, la tension au primaire du transformateur est multipliée par deux par rapport aux cas précédents (car on a un pont complet et non plus un demi-pont capacitif) et la valeur de l'inductance de sortie est bien plus grande que celle utilisée pour les redresseurs synchrones.

Le pont complet utilisé pour cette structure de puissance implique une tension deux fois plus grande au primaire du transformateur et donc une induction plus élevée. Pour éviter

que les pertes fer ne deviennent trop importantes, on peut augmenter le nombre de spires, néanmoins, les effets de proximité sont importants aux fréquences de commutations auxquelles on fait travailler le convertisseur. L'autre solution est d'augmenter la taille du circuit magnétique. Les calculs de pertes réalisés nous ont conduits à choisir pour cette topologie, un bobinage avec un nombre de spire minimum et un circuit magnétique de volume plus important (EQ25) que pour les structures DAB.

Concernant l'inductance de sortie, il y a un compromis à trouver. Les ondulations de courant étant fixées par cette inductance, si elle est faible on aura des courants efficaces plus élevés et des pertes en commutation plus importantes. Si on augmente sa valeur, l'induction augmentera et causera plus de pertes fer. De même que pour le transformateur, si on rajoute des spires on fera croître rapidement les pertes cuivre. Les calculs de pertes nous ont conduit à augmenter la taille du noyau.

La répartition des pertes est représentée sur la Figure 220. La répartition globale des pertes est sensiblement la même que dans le cas du pont complet avec environ 60% des pertes dans les actifs et le reste dans les passifs. 75% des pertes dans les actifs sont dus aux eGaN au primaire et les pertes dans les éléments magnétiques se répartissent équitablement.

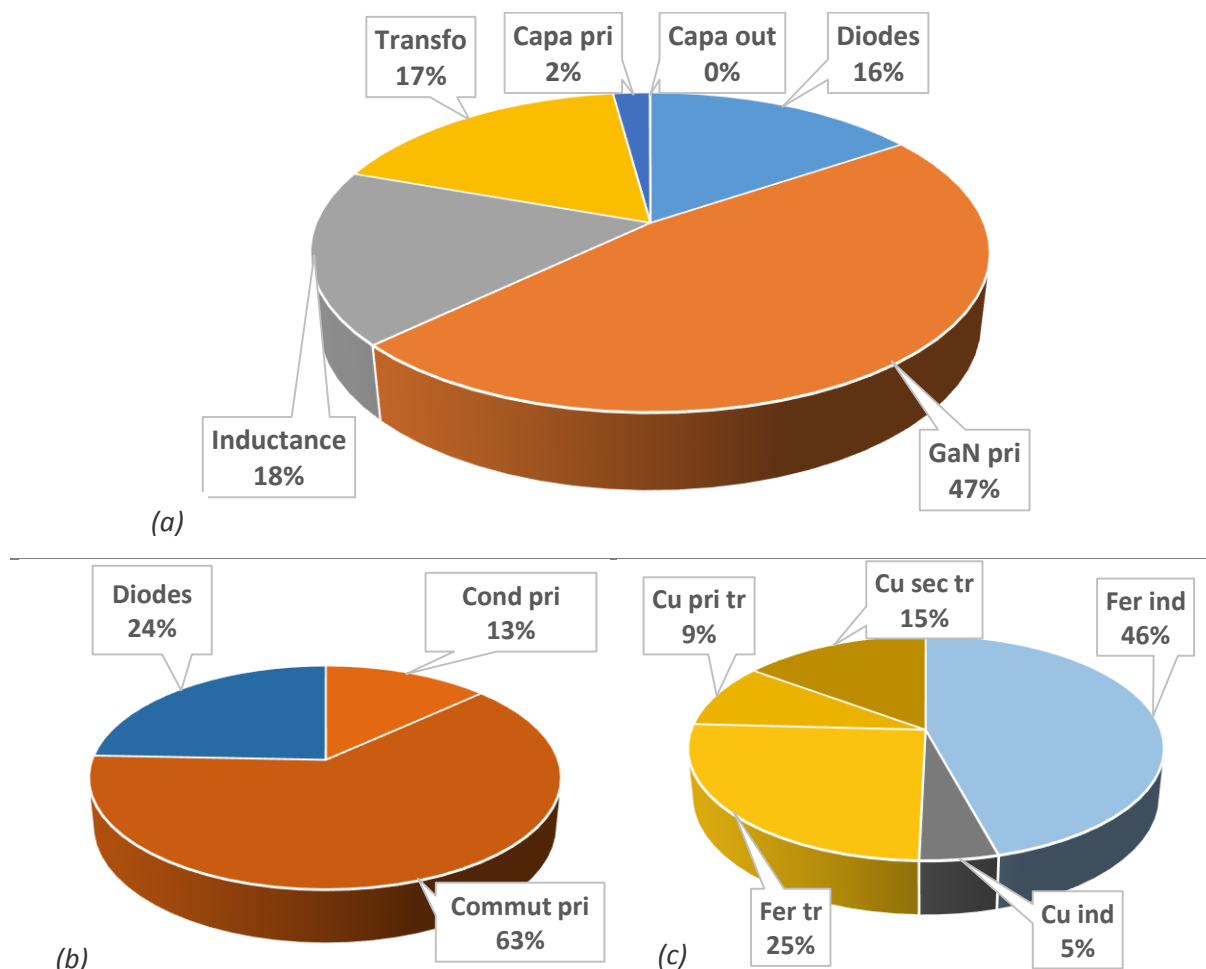


Figure 220 : Répartition des pertes dans les différents éléments du montage à puissance de sortie nominale : a) répartition globale, b) répartition dans les semi-conducteurs, c) répartition dans les éléments magnétiques. Tr=transformateur, ind=inductance, cond=conduction

Les calculs ont été faits avec une inductance de 1uH, un rapport de transformation de 3/4 (3 spires primaires et 4 secondaires). Le circuit magnétique du transformateur est un EQ25 et celui de l'inductance un ER32. Les interrupteurs primaires sont des EPC2001 et les diodes des PMEG3050 (4 en parallèle pour chaque fonction diode).

iv. GaN Vs Si

a. Comparatif

Depuis le début on parle des intérêts des composants GaN, il convient donc ici de les faire apparaître. Notre dernier point de comparaison concerne donc les transistors, on va comparer ici une même structure avec des composants GaN ou des composants Si.

	eGaN		MOS même BV		MOS BV libre	
Transistor	EPC2001	EPC2015	PSMN012-100	PSMN2R6-40	PSMN8R5-60	PSMN1R2-25
BV (V)	100	40	100	40	60	25
R _{ON} (mΩ)	7	4	12.5	2	8	1.3
Q _G (nC)	8.3	10.5	37	63	39	66

Tableau 17 : Composants utilisés pour la comparaison

On se sert des calculs de rendement de la structure DAB avec le pont complet au secondaire, qu'on a présenté précédemment (et donc sans prise en compte de la commande). On va comparer les courbes de rendement obtenues avec les eGaN et des MOSFETs Si ayant le même calibre en tension que les eGaN et enfin des MOSFETs Si où on a ajusté le calibre en tension à notre application. La raison de cette distinction sur les calibres en tension des MOSFETs vient du fait que chez EPC on trouve des composants en 40V puis en 100V (rien en dessous et rien entre les deux). Le 40V semble surdimensionné pour le 12V en sortie, de même que le 100V pour le 42V présent en entrée. Les catalogues des composants MOSFET présentent beaucoup plus de choix, c'est pourquoi on choisira une gamme de composants pour obtenir le meilleur rendement possible et une autre pour comparer, à tension de claquage égale, les performances.

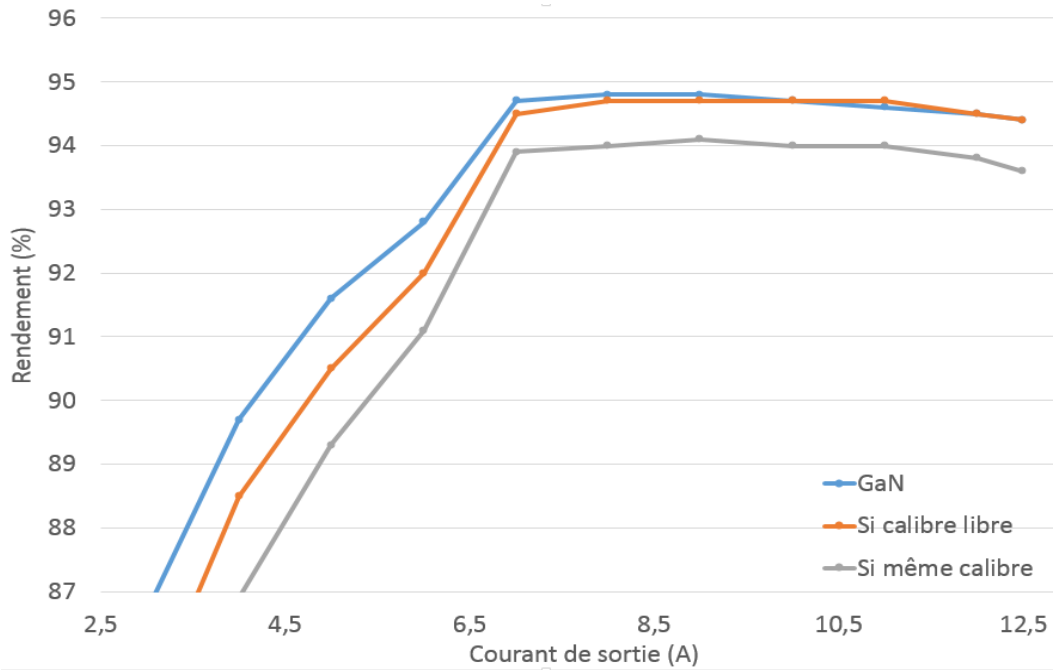


Figure 221 : Comparaison du rendement du DAB avec pont complet secondaire avec plusieurs transistors différents.

Le comparatif des trois courbes de rendement se situe sur la Figure 221. Les composants GaN utilisés sont les EPC2001 et 2015, les MOSFETs avec la même tension de claquage (BV) sont les PSMN2R6-40YS et PSMN012-100YS et ceux avec des tensions de claquage plus faibles PSMN8R5-60 et PSMN1R2-25. Ces composants sont résumés dans le Tableau 17.

Pour les MOSFETs secondaires, on choisit des composants avec un état passant meilleur que celui du GaN pour améliorer les performances à fort courant. Les performances du convertisseur dans la deuxième moitié de la plage de fonctionnement sont donc assez bonnes, néanmoins cela se fait au prix de capacités parasites plus fortes ce qui se ressent dans la première partie de la plage de fonctionnement (le courant commuté au secondaire étant faible aux alentours de la puissance nominale).

Pour les transistors primaires on utilise des composants avec un état passant un peu moins bon que ceux des eGaN pour limiter les pertes par commutations qui sont importantes.

b. Résultats

Pour des tensions de claquage identiques, on voit que les composants GaN permettent une amélioration de 0.7% sur le rendement à forte puissance (au-delà de 7A) et de 2.3% à basse puissance.

Lorsqu'on baisse la tension de claquage des MOSFETs l'écart à forte puissance devient presque nulle mais il y a toujours un gain 1% à basse puissance.

Pour voir plus précisément le gain de performances permis par les eGaN, on représente chaque foyer de pertes pour les trois paires de transistors (Figure 222). Deux graphiques sont présentés, le premier avec un courant de sortie égal au courant nominal et le deuxième avec un courant de sortie égal à la moitié du courant nominal.

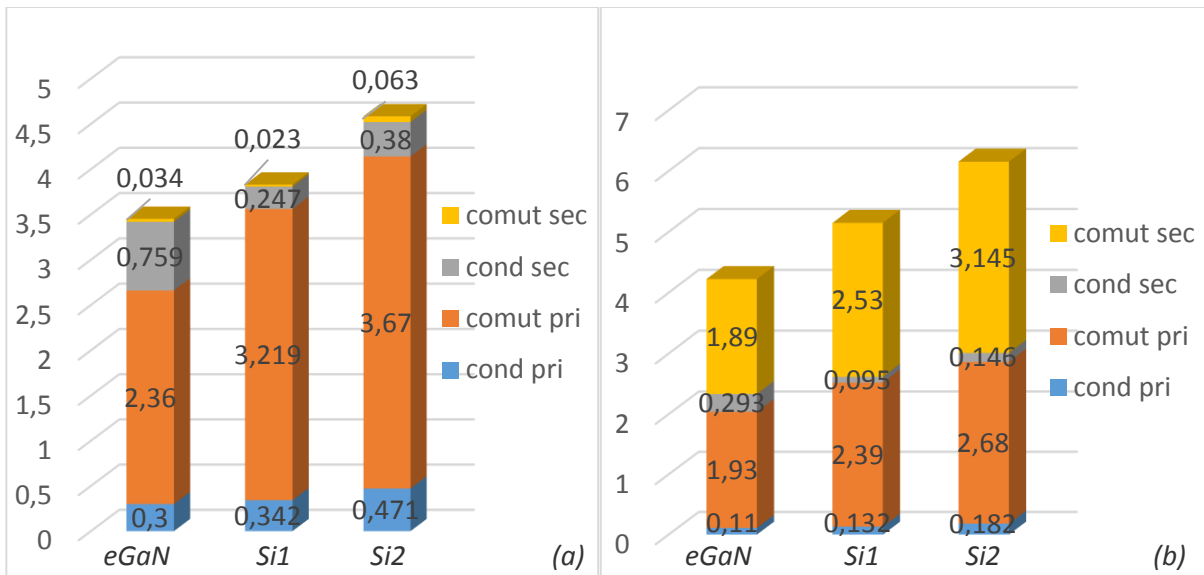


Figure 222 : Comparaison des niveaux de pertes dans les interrupteurs pour les trois paires de composants cités précédemment. Si1=MOSFET 25V et 60V, Si2=MOSFET 40V et 100V. a) Courant nominal, b) Courant nominal divisé par deux

Si on normalise les pertes à celles obtenues avec les MOSFETs en 40V et 60V, on obtient :

- A courant nominal les pertes sont de 0.75 pour les eGaN et 0.83 pour les MOSFETs 25V et 60V
- A la moitié du courant nominal les pertes sont de 0.68 pour les eGaN et 0.83 pour les MOSFETs 25V et 60V

Pour résumer les bénéfices apportés par le GaN concernant le rendement (sans prise en compte du gate driver) à même tension de claquage :

Gain sur les pertes globales	Fort courant	21%
	Faible courant	12%
Gain sur les pertes des semi-conducteurs	Fort courant	32%
	Faible courant	25%

c. Discussion

Nous venons de montrer l'intérêt des eGaN pour améliorer le rendement, néanmoins certains autres aspects méritent d'être discutés :

- Pour commencer, nous n'avons pas inclu les pertes des commandes dans nos graphiques de rendement car ces pertes dépendent beaucoup du type de driver utilisé. Ainsi nous n'avons pris en compte que les composants de puissance. Or, lorsque l'on voit la différence des valeurs de Q_G entre les eGaN et les MOSFETs (rapport 5 environ) il doit être souligné qu'à nos fréquences de fonctionnement cela aura un impact sur le rendement (à l'avantage du GaN).

- L'autre élément qui doit être mis en évidence concerne la taille des boîtiers. Nous avons déjà discuté de l'importance des géométries des boîtiers, et les MOSFETs choisis ici ont des boîtiers de type LFPAK dont les dimensions sont 5mmx6.2mm. Celles des composants GaN sont 1.6mmx4.1mm, on a donc un rapport de 4.7 entre les dimensions des MOSFETs et celle des eGaN (Figure 223). Cette différence dans la taille des boîtiers jouera aussi sur les inductances parasites impactant à son tour sur les temps de commutation et les oscillations.

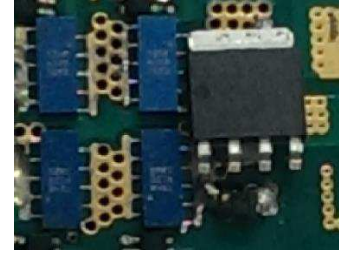


Figure 223 : Comparaison d'un pont complet d'EPC2015 et d'un MOSFET LFPAK

D. Conclusion

Nous avons présenté les calculs de pertes dans le convertisseur. Les pertes se répartissent à 40% dans les passifs et 60% dans les actifs. Nous avons également mis en évidence les gains en performance des eGaN par rapport à des MOSFETs de même tension de claquage. Concernant la structure de puissance, le DAB avec un demi-pont capacitif en entrée et un push-pull ou un pont complet au secondaire permet d'obtenir en théorie le rendement souhaité.

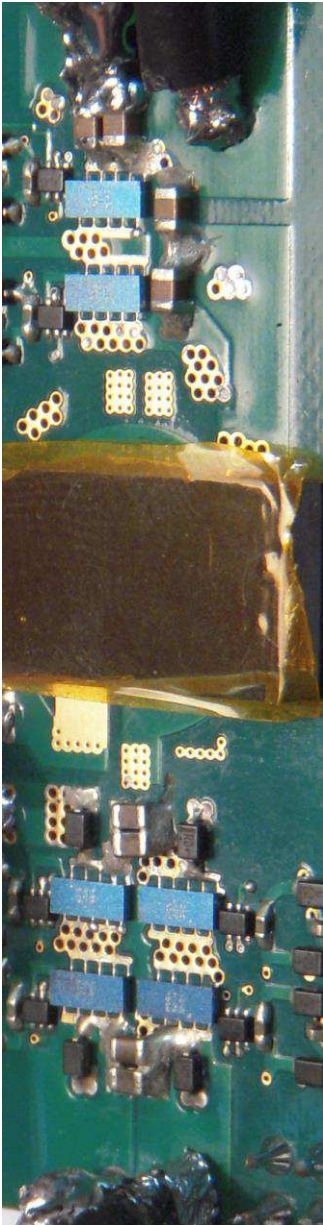
Nous allons voir dans le prochain chapitre les différents prototypes qui ont été faits.

BIBLIOGRAPHIE CHAPITRE IV

- [121] F.Krismer, «Modeling and Optimization of Bidirectional Dual Active Bridge DC–DC Converter Topologies,» *these de l'ETH Zurich*, n° %119177, 2010.
- [122] G.Guidi, M.Pavlovski, A.Kawamura, T.Imakubo et Y.Sasaki, « Efficiency Optimization of High Power Density Dual Active Bridge DC-DC Converter,» *The 2010 International Power Electronics Conference*, pp. 981-986, 2010.
- [123] D.Costinett, H.Nguyen, R.Zane et D.Maksimovic, «GaN-FET Based Dual Active Bridge DC-DC Converter,» *IEEE*, pp. 1425-1432, 2011.
- [124] G.D.Demetriades et H.P.Nee, «Dynamic Modeling of the Dual-Active Bridge Topology for High-Power Applications,» *IEEE*, pp. 457-464, 2008.
- [125] H.Fan et H.Li, «High Frequency High Efficiency Bidirectional DC-DC Converter Module Design for 10 kVA Solid State Transformer,» *IEEE*, pp. 210-215, 2010.
- [126] P. LETURCQ, «Semi-conducteurs de puissance unipolaires et mixtes (partie 1),» *Techniques de l'ingenieur*, n° %1d3108, 2001.
- [127] P.Park, C.S.Kim, M.Y.Park, S.D.Kim et H.K.Yu, «Variable Inductance Multilayer Inductor With MOSFET Switch Control,» *IEEE ELECTRON DEVICE LETTERS*, vol. 25, n° %13, 2004.
- [128] D.B.Viet, «Conception d'une interface d'électronique de puissance pour Pile à Combustible,» *Thèse de doctorat en génie électrique, Laboratoire d'Electrotechnique de Grenoble*, 2007.

CHAPITRE V

REALISATION



1. Introduction	180
2. Test avec Push pull au secondaire	180
3. Test avec pont complet au secondaire	182
A. Première essai	182
B. Deuxième essai	185
C. Troisième essai	186
D. Discussion	188
E. Influence de la fenêtre de bobinage sur la résistance AC des éléments magnétiques	188
F. Réduction des fenêtres de bobinage sur le troisième essai	189
G. Conclusion	190

1. INTRODUCTION

Dans ce dernier chapitre, nous allons présenter les résultats pratiques obtenus. Au cours des tests, on a mis en évidence des aspects pratiques nécessitant d'être corrigés. Par conséquent plusieurs prototypes, avec des choix techniques différents pour les différents éléments constituant le convertisseur seront présentés.

Pour les mesures de rendement on a utilisé des multimètres de table (Metrix MX579) pour lesquels l'étude de la précision des mesures a été menée et d'un analyseur de puissance (NORMA 5000).

2. TEST AVEC PUSH PULL AU SECONDAIRE

Nous avons commencé par tester le DAB avec un demi-pont capacitif au primaire (Figure 193 a) et un push pull au secondaire (Figure 193 c). Nous avons vu dans le chapitre précédent que cette structure présente le meilleur rendement parmi celle qui ont été présentées.

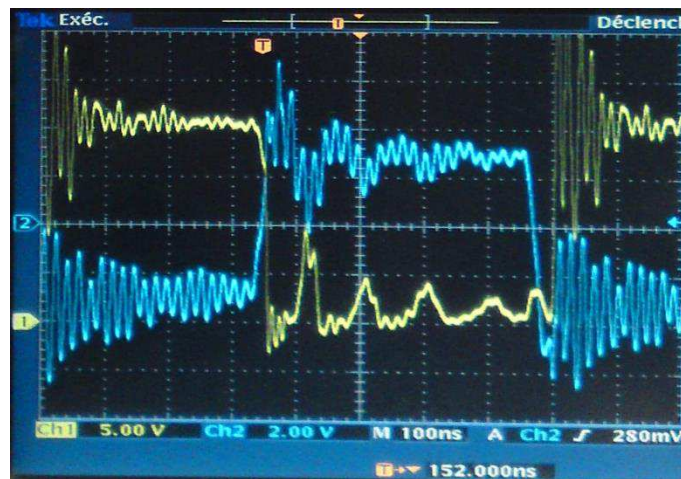


Figure 224 : Forme d'onde de V_{DS} primaire (Ch1 5V/div) et V_{GS} primaire (Ch2 2V/div) du convertisseur SMI

Une première version utilisant un substrat métallique isolé (SMI) a été réalisée au G2Elab afin de simplifier la gestion thermique. Si d'un point de vu thermique et magnétique cette solution est intéressante, d'importantes capacités parasites apparaissent entre les pistes en cuivre et la plaque d'aluminium ce qui est à l'origine d'importants courants de mode commun qui ont perturbé la commande analogique de la carte. La Figure 224 montre les formes d'ondes obtenues au primaire du convertisseur. La tension de grille présente des oscillations basse fréquence qui génèrent des auto commutations des transistors de puissance (pic de tension de V_{DS} lorsque le transistor est passant). Ces perturbations associées

à la contrainte du routage en monocouche nous ont conduit à abandonner l'utilisation du SMI dans la suite de ce travail.

Une deuxième version réalisée par Kevin Guepratte (encadrant industriel de cette thèse) à Thales avec une commande numérique (FPGA) et un PCB multicouche a permis de démontrer le bon fonctionnement de la structure sans les oscillations présentées sur la Figure 224. Les formes d'ondes sont présentées sur la Figure 225. On reconnaît la forme caractéristique du courant circulant dans l'inductance. La tension drain source des interrupteurs secondaires présente de forts pics de tension à l'ouverture qui représentent 60% du stress en tension. Ces pics sont dus à des résonances entre les capacités C_{oss} des transistors et les inductances du circuit (inductances de fuites ou des pistes). En effet, lorsqu'on est en commutation de type ZVS, l'ouverture d'un interrupteur provoque la fermeture de l'autre (ou pour être plus précis, la mise en conduction de sa diode). Si on regarde la Figure 226, on voit que dans cette configuration la capacité C_{oss} du transistor qui s'ouvre se retrouve directement en série avec les inductances de fuite L_{f1} et L_{f2} .

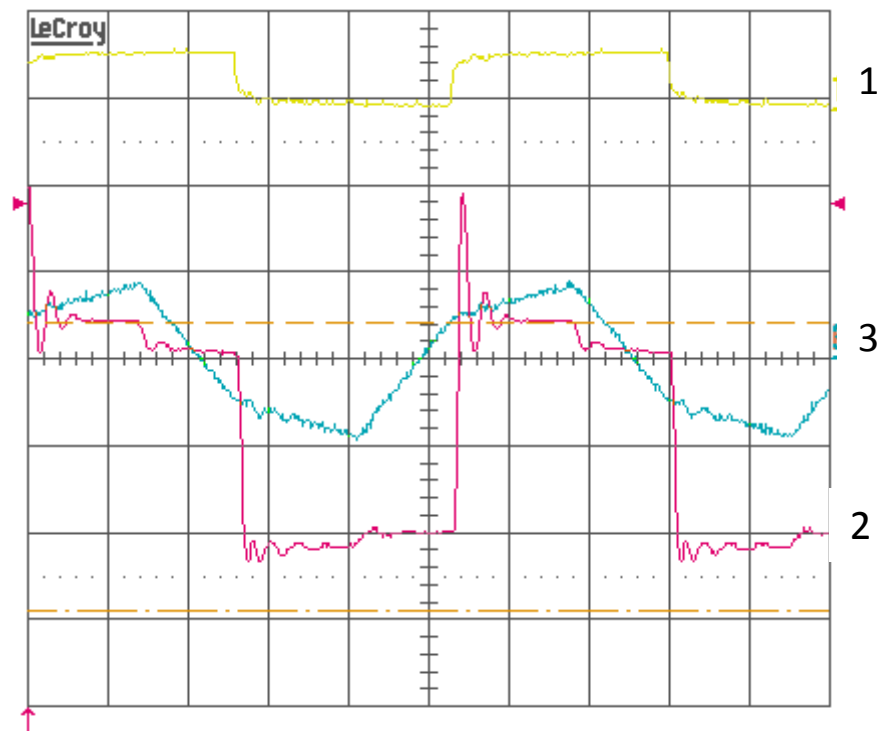


Figure 225 : Formes d'ondes de la deuxième version. 1=horloge de commande, 2=VDS secondaire, 3=courant dans l'inductance

Pour supprimer ces pics on peut utiliser un circuit d'écrtage ; néanmoins, comme on l'a vu dans le cas des commandes rapprochées, un écrtreur à ces fréquences est très dissipatif. Un système actif pourrait aussi être envisagé dans lequel on placerait une capacité de forte valeur (forte devant celle de C_{oss}) qui amortirait les oscillations. Une diode placée entre le transistor et la capacité éviterait une décharge de cette dernière vers le transistor. Ensuite, l'énergie stockée pourrait être renvoyée via un convertisseur intégré vers un endroit où elle serait utile (alim de commande ou sortie du convertisseur).

Pour des raisons de simplicité et à cause de rendement décevants, on a choisi de changer la structure du redresseur et de passer sur un pont complet. Ainsi, le rendement

théorique sera un peu moins bon mais, les capacités C_{oss} ne pourront plus résonner avec les inductances de fuite (la topologie ne présentera pas de boucle résonnante LC) et l'inductance de puissance pourra être placée au secondaire (ce qui permettra de réduire sa taille grâce au rapport de transformation).

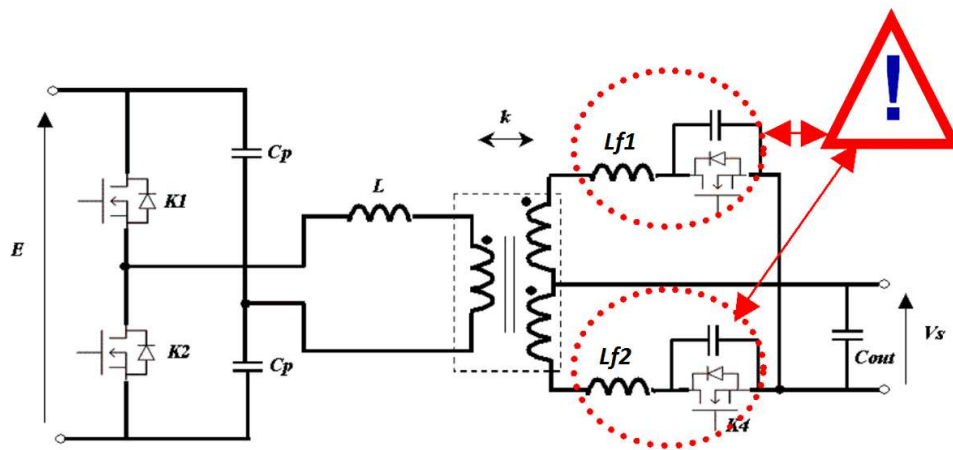


Figure 226 : Illustration des pics de tension aux bornes des transistors secondaires

3. TEST AVEC PONT COMPLET AU SECONDAIRE

Plusieurs prototypes ont été réalisés pendant la thèse avec cette structure pour résoudre des problèmes que nous détaillerons plus loin. Nous allons résumer les différentes solutions utilisées et les problèmes rencontrés.

A. Première essai

Un PCB multicouche a été utilisé pour le circuit et les bobinages ont été faits avec des feuilles de mylar pour permettre une plus grande flexibilité dans les tests. La commande éloignée est conçue avec des composants analogiques discrets et les commandes rapprochées avec des LM5113.

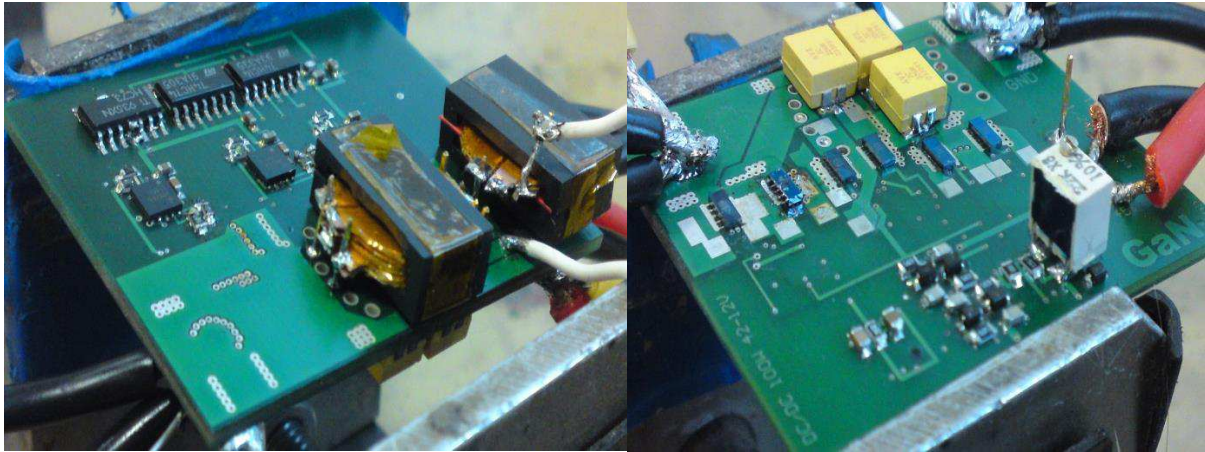


Figure 227 : Première version du convertisseur avec un pont complet au secondaire, dessus et dessous.

Les formes d'ondes des tensions drain source et du courant sont représentées sur la Figure 228. Un filtre HF était appliqué lors des mesures (pour réduire le bruit), néanmoins les oscillations étaient réduites par rapport à la version avec le push pull au secondaire. Les vitesses de commutation des interrupteurs de puissance étaient supérieures à 10ns ce qui est lent dans le cas d'utilisation de composants en GaN de faible calibre en tension (ces faibles vitesses de commutation étaient dus à l'utilisation du LM5113 pour la commande).

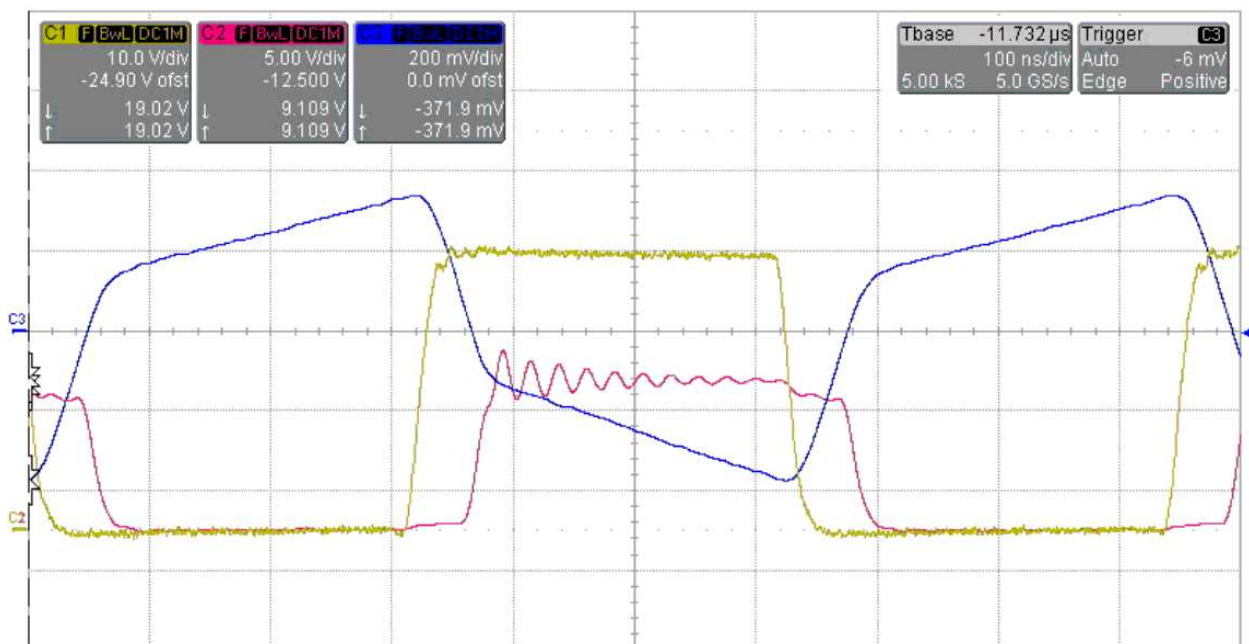


Figure 228 : Formes d'ondes du premier essai, C1 (vert)= V_{DS} sec, C2 (rouge)= V_{DS} pri, C3 (bleu)=courant dans l'inductance

La courbe de rendement du convertisseur (Figure 229) est décalée de la courbe théorique en raison d'une valeur d'inductance différente, néanmoins elle reste cohérente jusqu'à 7A de courant de sortie. Une valeur d'inductance un peu supérieure décalerait la courbe de rendement vers la droite (ce qui justifie l'écart entre théorie et pratique avant 7A) mais la brusque chute qui intervient après 7A est inexpliquée. La rupture de pente de la

courbe théorique un peu après 6A de courant de sortie est due à l'annulation du courant commuté dans les interrupteurs secondaires.

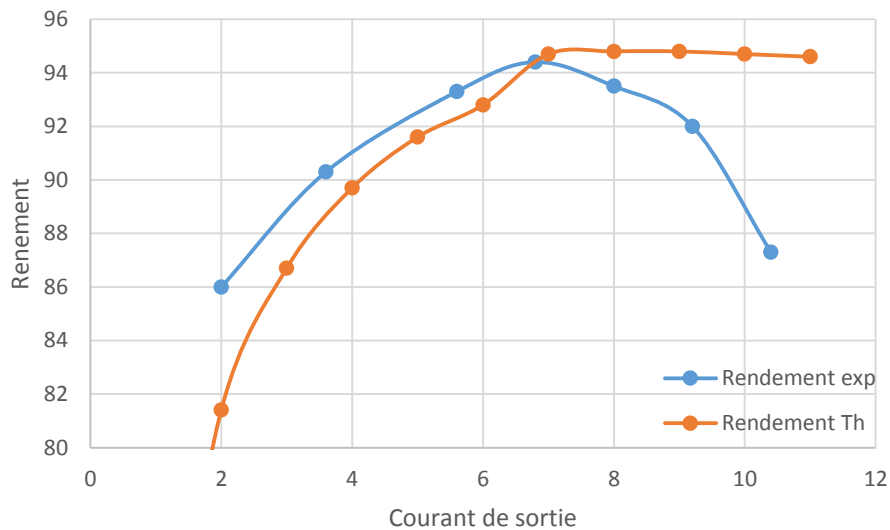


Figure 229 : Comparaison du rendement théorique et pratique du convertisseur sans commande

Comme avec le push-pull au secondaire, le rendement est décevant, on cherche donc à savoir pour quelle raison. Une caméra thermique nous permet de voir que la température des eGaN secondaires monte brusquement lorsque le rendement chute. On commence donc par s'orienter vers les interrupteurs secondaires pour résoudre notre problème de rendement :

- Ne pouvant pas visualiser les courants dans les eGaN lors des commutations, on les remplace par des MOSFETs pour s'affranchir d'un éventuel problème dû à la technologie d'EPC. On constate que la brusque chute de rendement est toujours présente, ce qui laisse à penser que le problème n'est pas lié aux composants en eux même.
- Toutefois, un phénomène d'emballement thermique pourrait expliquer notre problème. Des essais avec différents niveaux de refroidissement ont été menés pour voir l'impact sur le rendement. Avec un refroidissement très important on améliore que très faiblement le rendement. L'amélioration ne peut pas justifier notre écart de rendement.
- Les commutations secondaires étant assez lentes (10ns), on change les drivers secondaires par des LM27222 ce qui améliore les temps de commutation (8ns) mais une fois de plus le rendement chute brusquement.

Mise à part le problème de rendement, le convertisseur fonctionne correctement. Les différents tests réalisés permettent d'écarter l'emballement thermique ou les composants GaN comme source du problème. Après avoir travaillé sur les drivers et les avoir améliorés on décide de refaire un routage en améliorant le design et la commande (les commutations restant lentes durant nos essais).

B. Deuxième essai

Dans ce deuxième essai on a amélioré le routage pour réduire les inductances parasites, les drivers sont des EL7158 avec des transformateurs toroïdaux pour limiter les fuites. La commande éloignée est numérique et utilise un microcontrôleur. L'inductance et le transformateur de puissance sont toujours réalisés avec des pistes en mylar (Figure 230).

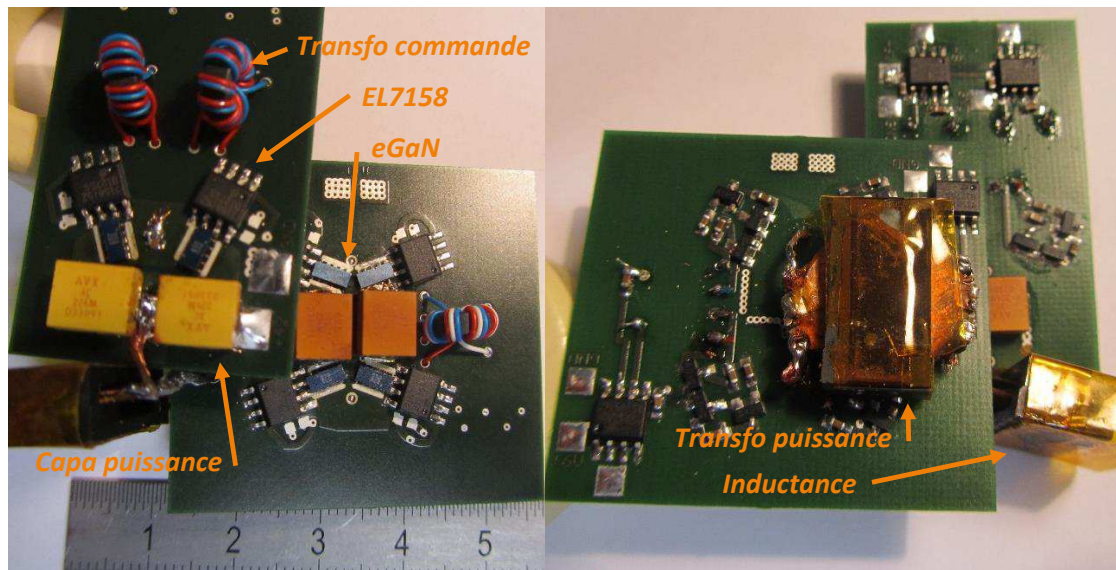


Figure 230 : Vue de dessus et de dessous du convertisseur

Les temps de commutation étaient de 7ns au primaire et de 2ns au secondaire, ce qui est bien plus rapide qu'avec la carte précédente (Figure 231). Les commutations rapides au secondaire font réapparaître des oscillations assez fortes (80% du stress en tension). La fréquence de ces oscillations nous permet d'estimer la valeur de l'inductance responsable (inductance parasite des pistes entre les capacités de découplage et les transistors). Au secondaire elle est estimée à 3.2nH ce qui est environ deux fois inférieur à celle de l'essai 1.

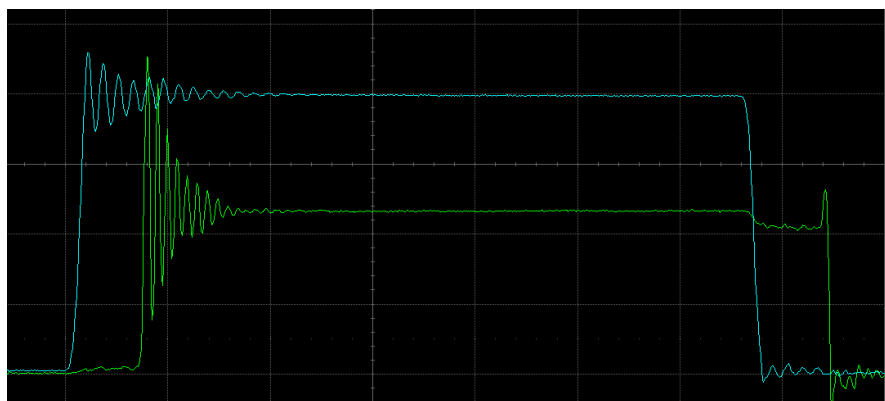


Figure 231 : Tension drain source pour un courant de sortie de 9A. V_{DS} pri en bleu (10V/div) et V_{DS} sec en jaune (5V/div).

La brusque chute de rendement est toujours présente. De même que pour le premier essai, on a fait plusieurs tests pour en isoler l'origine.

- On a testé plusieurs diodes pour réduire les pertes pendant les phases de temps morts, testé plusieurs transistors au secondaire, fait varier la valeur de l'inductance.
- Une capacité de forte valeur a également été ajoutée en série avec le transformateur pour éviter une dissymétrie du courant et donc éviter des pertes supplémentaires dans le convertisseur.

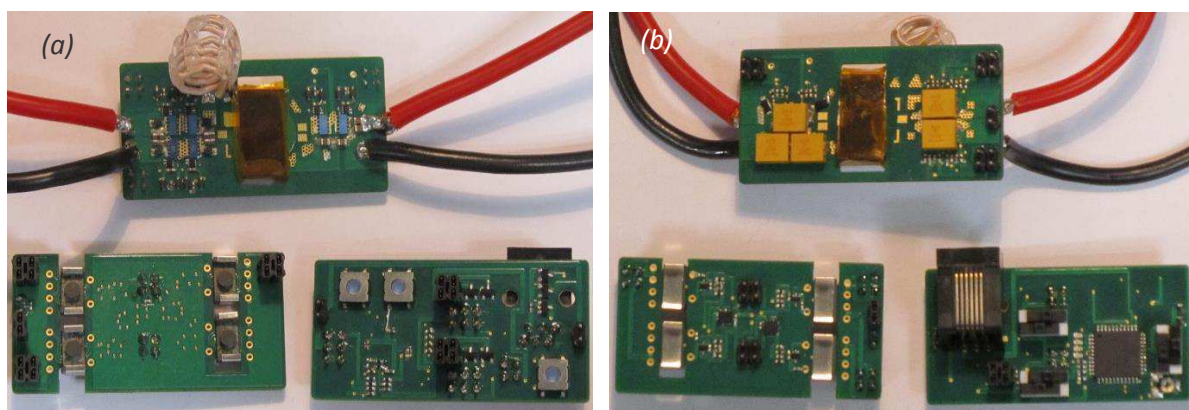
Dans tous les cas, on a retrouvé le même problème de rendement et une montée en température rapide des transistors secondaires.

C. Troisième essai

Dans un dernier essai, on intègre tous les éléments, le microcontrôleur est donc ramené sur la carte (il était précédemment situé sur une carte de type "demo board") et les bobinages des transformateurs sont intégrés dans le PCB. On améliore encore une fois le routage pour réduire les oscillations aux bornes des transistors.

Le convertisseur est divisé en trois cartes différentes disposées en mezzanine (Figure 232).

Des tests ont été faits avec une inductance à air puis avec un circuit magnétique. Les capacités de découplage étaient en face arrière par rapport aux transistors et des capacités de faible taille et de faible valeur ont été placées au plus proche des transistors de façon à réduire l'inductance parasite entre les deux. L'inductance parasite secondaire estimée avec la fréquence des oscillations de V_{DS} est de 1.5nH ce qui est deux fois inférieur à celle estimée pour l'essai précédent. L'amplitude des oscillations a été réduite d'un facteur 2 environ.



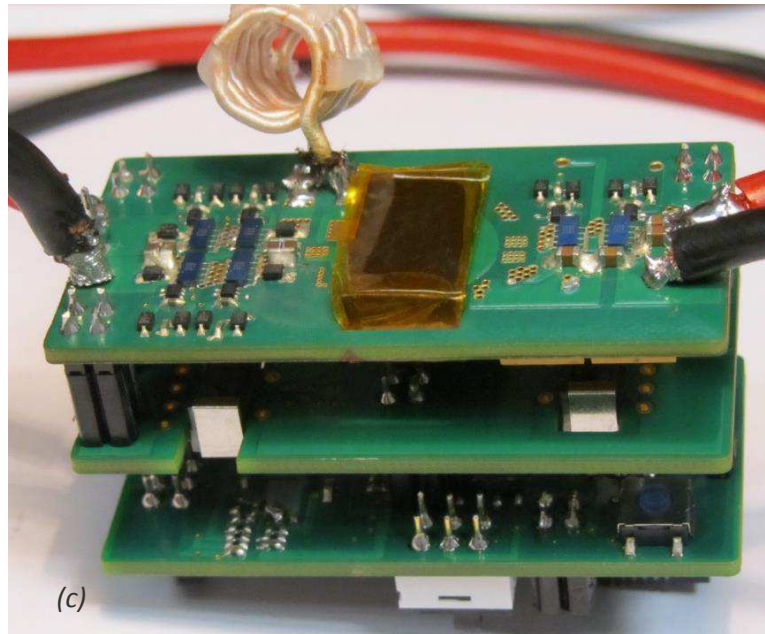


Figure 232 : Photos du convertisseur, concernant a) et b) : respectivement vue de dessus et dessous de chaque carte, la carte du haut contient la puissance et la partie secondaire de la commande rapprochée, la carte en bas à droite contient la commande éloignée et la dernière contient le primaire et les ferrites de la commande rapprochée. Le c) montre le convertisseur assemblé.

On a utilisé la commande rapprochée avec les push pull (décrite dans le chapitre concernant les commandes) aux lieux des EL7158. Les temps de commutation sont de 4ns au secondaire et de 9ns au primaire. Ces temps sont plus longs que ceux obtenus précédemment en raison des capacités d'entrée du push pull (70pF) plus importante que celle de l'EL7158 (3.5pF) et des ferrites, (3F3) qui ont un comportement de type passe bas.

Le convertisseur fonctionne correctement avec un rendement expérimental maximum de 92.2% commande incluse, mais on a toujours la même chute brutale du rendement.

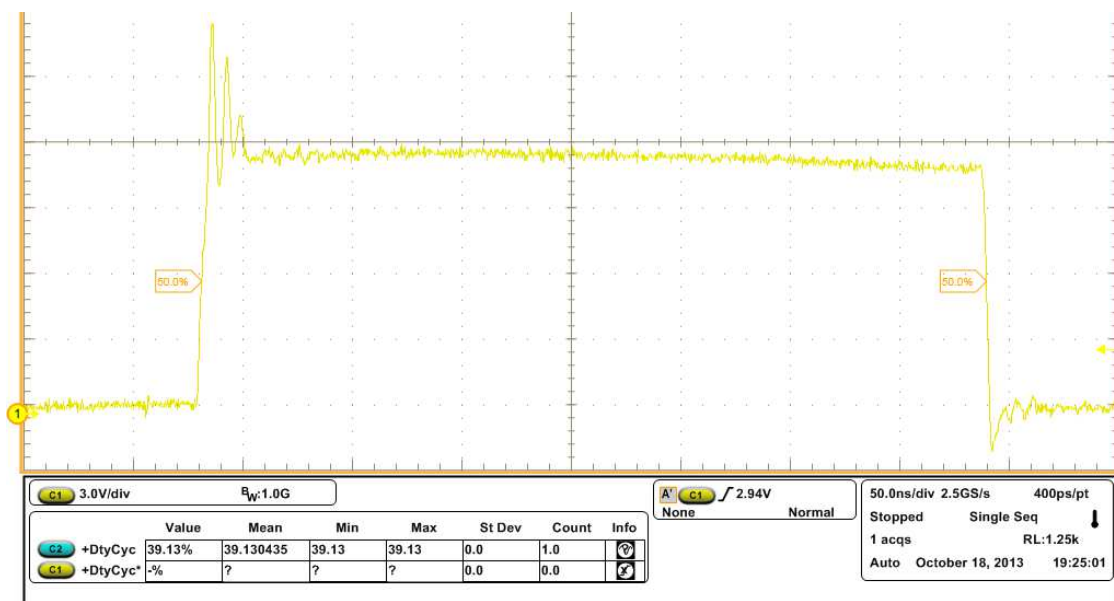


Figure 233 : V_{Ds} secondaire

D. Discussion

Aux cours des différents essais, on a essayé de résoudre les écarts de rendement entre théorie et pratique en changeant plusieurs éléments du circuit pour isoler la cause. L'imagerie thermique nous a mis sur la piste des transistors secondaires, néanmoins, malgré une amélioration des vitesses de commutation et la réduction des oscillations à leurs bornes, les écarts restent les mêmes.

Un convertisseur utilisant la même structure a été réalisé chez Thales mais avec une tension de sortie plus basse. Le rendement présentait la même singularité alors qu'une grande partie des éléments étaient différents. Des essais à fréquence réduite ont permis de montrer que la courbe de rendement reprenait la forme attendue vers 500kHz. Notre attention s'est alors tournée vers des éléments où la fréquence peut avoir une grande importance sur les pertes. Les pertes dans les bobinages des circuits magnétiques sont sensibles à la fréquence (effets de proximité) de plus les spires sont cachées par les circuits magnétiques, elles n'apparaissent donc pas à l'imagerie thermique. Différents matériaux ont été utilisés pour le noyau sans grande différence, on s'intéresse donc aux bobinages en sachant que la fréquence peut avoir une influence sur les pertes dans d'autres éléments.

E. Influence de la fenêtre de bobinage sur la résistance AC des éléments magnétiques

On cherche à savoir si la brusque chute de rendement constatée dans notre convertisseur est due à des pertes dans les bobinages. Pour cela on va mesurer la résistance série d'une inductance réalisée avec un circuit magnétique planar en 3F3 et deux spires. Les spires seront constituées de fils de litz (0.8mm^2 avec des brins de $32\mu\text{m}$ de diamètre) ou des couches de mylar ($50\mu\text{m}$ d'épaisseur, l'épaisseur de peau à 1.5MHz est de $65\mu\text{m}$) pour se rapprocher de la géométrie des pistes de PCB. De plus, le coefficient de foisonnement a un impact dans le calcul du coefficient AC pour le calcul des pertes AC dans les conducteurs sous des logiciels comme FLUX . On va donc aussi modifier la taille de la fenêtre de bobinage (et donc faire varier le coefficient de foisonnement) et voir son influence sur la résistance des conducteurs. Pour cela, on placera les deux ferrites de forme E18 de façon normale (Figure 234) ou en retournant l'une des deux (pour diviser la fenêtre de bobinage par 2 : Figure 235).

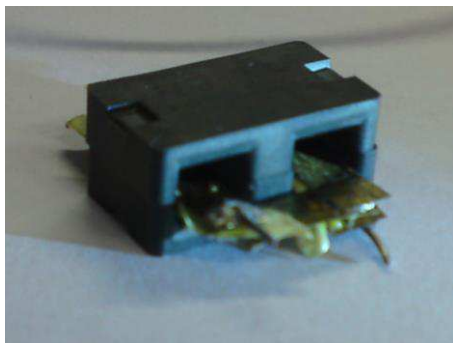


Figure 234 : Inductance avec deux spires en mylar et les ferrites E18 disposées normalement

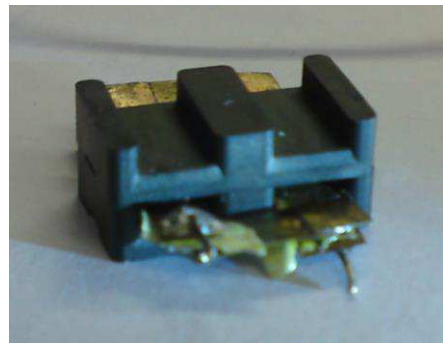


Figure 235 : Inductance avec deux spires en mylar et une des ferrites E18 disposées à l'envers

Les résultats de ces mesures sont présentés sur la Figure 236. On peut faire deux conclusions à partir de ces mesures :

- Premièrement, le fil de Litz est à l'origine d'une résistance plus importante (entre 3 et 5 fois supérieure à 1.5MHz) en comparaison des pistes en mylar.
- Deuxièmement, la réduction de la fenêtre de bobinage permet de réduire la résistance série (entre 3 et 5 fois inférieure à 1.5MHz).

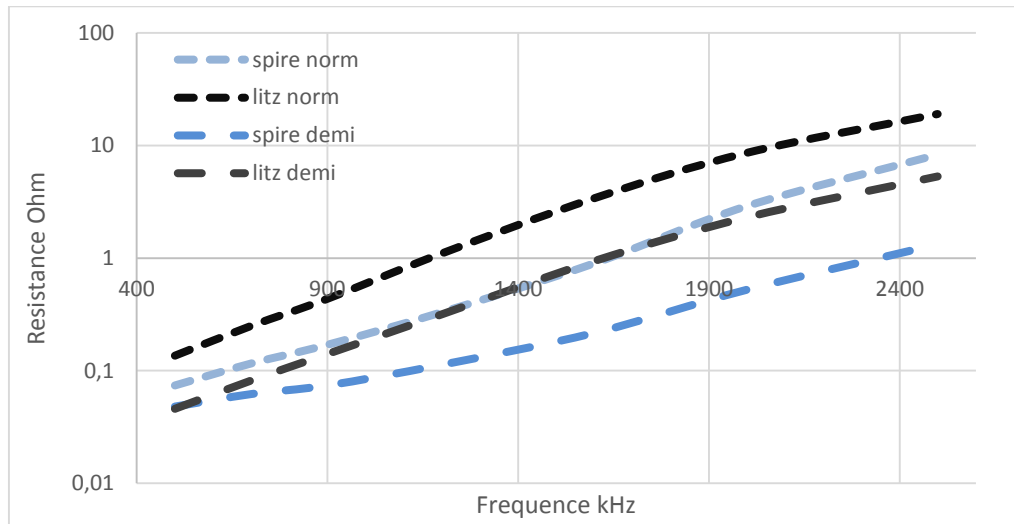


Figure 236 : Résistance série des inductances en fonction de la fréquence. Norm=fenêtre de bobinage normale ; demi=fenêtre de bobinage réduite.

F. Réduction des fenêtres de bobinage sur le troisième essai

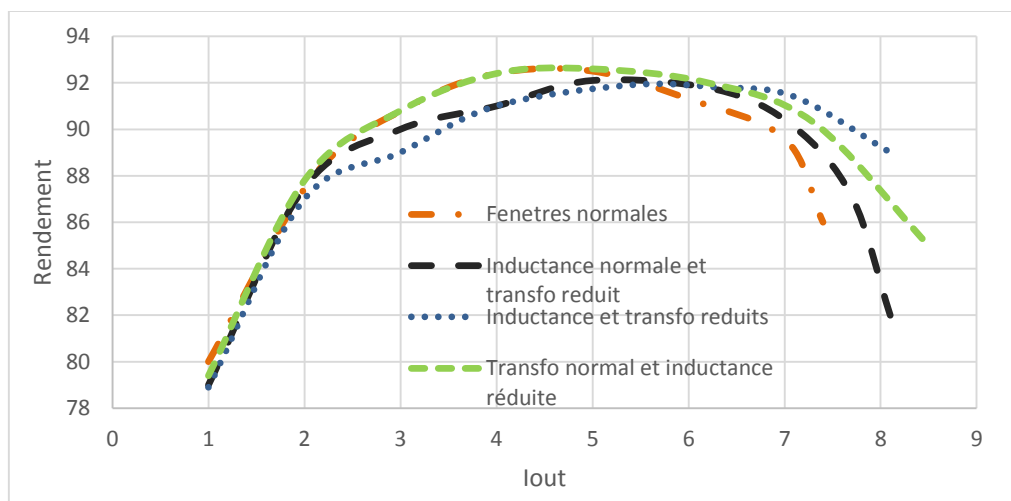


Figure 237 : Nouvelles mesures de rendement avec des fenêtres de bobinage normales ou divisées par deux (réduites)

Partant des constatations précédentes, on réduit les tailles des fenêtres de bobinage de l'inductance et du transformateur présents sur le convertisseur du troisième essai. La

chute du rendement maximal par rapport aux essais précédents est due à une modification de l'inductance. De nouvelles mesures de rendement ont été faites, mais la brusque chute de rendement est toujours présente (Figure 237). La solution consistant à réduire la taille de la fenêtre de bobinage pour réduire la résistance série des éléments magnétiques n'a pas fonctionné.

G. Conclusion

Dans ce chapitre on a présenté les différents prototypes réalisés durant cette thèse pour répondre aux exigences du cahier des charges. Nous allons reprendre ces différentes exigences et regarder si elles ont été respectées. La tension d'entrée est de 42V, celle de sortie de 12V et la fréquence est de 1.5MHz :

- Nous avons réussi à atteindre, avec le convertisseur du troisième essai, un rendement de la partie puissance de 93.3% (pour une puissance de sortie de 96W) et un rendement global (en prenant en compte la commande) de 92.2%. Pour ce convertisseur on utilisait le circuit de commande avec les Push-pull. Or on a vu dans le chapitre dédié aux commandes rapprochées que le circuit de commande, utilisant les puces que nous avons développées, permet de réduire la consommation de la commande et les temps de commutation des interrupteurs de puissance. Si on prend uniquement en compte la baisse de consommation des circuits de commande permise par les puces, on pourrait faire passer le rendement global de 92.2% à 92.7% (la consommation des commandes rapprochées passerait de 0.85W à 0.3W). Le rendement souhaité était de 93%, il nous manque donc 0.3% de rendement pour atteindre cet objectif.
- Toujours concernant le rendement, nous avons mis en évidence un manque de précision sur le calcul des pertes. En effet, nous avons montré qu'à 500kHz les formes des courbes de rendement expérimental et théorique étaient similaires, mais qu'en montant en fréquence on observait une brusque chute du rendement. Les investigations menées tendent à montrer que cela viendrait d'un effet de proximité entre les conducteurs, mais nous n'avons pas réussi à isoler précisément de quels conducteurs il s'agit (transformateur, inductance, pistes, plan écran...).
- Le convertisseur pouvait atteindre une puissance de sortie de 150W sans refroidisseur et à température ambiante (20°C).
- La surface des PCB du convertisseur du troisième essai est de 15cm². De plus dans une version industrielle on pourrait regrouper les éléments sur deux cartes au lieu de trois (comme cela était le cas pour le troisième essai) en utilisant les puces qui sont moins encombrantes. L'épaisseur serait inférieure à 2cm, on aurait donc une densité de puissance supérieur à 3.5kW/L ce qui est l'objectif du cahier des charges.

CONCLUSIONS GENERALES

Les travaux présentés dans ce mémoire ont été effectués au sein du G2Elab à Grenoble en partenariat avec Thales Systèmes Aéroportés. Ils ont porté sur la mise en œuvre des composants grand gap en Nitrure de Gallium du fabricant EPC et sur la réalisation d'un convertisseur à haute fréquence et haut rendement d'une centaine de Watts pour les systèmes embarqués aéronautiques.

Les composants des filières grand gap (SiC et GaN) sont, à l'heure actuelle, émergents. Quelques composants sont vendus en tant que tel chez les fournisseurs (diode ou MOSFET SiC chez Cree, Genesic, Rohm, Semisouth, STMicroelectronics... et HEMT GaN chez EPC) mais certains fabricants préfèrent garder discrètes leurs avancées et ne distribuent leur composants qu'à certains industriels sous couvert de contrats de non divulgation ou intégrés dans des modules de puissance (International Rectifier). On voit donc se distinguer deux stratégies différentes pour conquérir le marché : la collaboration étroite avec des partenaires industriels, ou la diffusion à un large public avec des conseils de mise en œuvre. Ces stratégies ont une grande importance pour les filières grand gap, car il semble évident que pour survivre elles devront arriver à convaincre les fabricants de convertisseurs d'utiliser leurs composants à la place des équivalents en silicium disponibles actuellement.

Si on considère la gamme de tension comprise entre 40V et 1200V, le marché des transistors est actuellement divisé entre les MOSFETs, les MOSFETs super jonction et les IGBTs. Parmi les composants déjà commercialisés, les HEMT GaN se placent sur une gamme de tension entre 40 et 200V (EPC) avec des structures horizontales pour profiter du 2DEG (gaz électronique deux dimensions), les composants SiC quant à eux occupent le 600V et le 1200V (leur état passant en basse tension est pour l'instant pénalisé par des résistances de canal trop importantes). Prochainement de nouveaux acteurs dans la filière GaN devraient commercialiser des composants avec des tensions de claquage plus élevées (600V chez Transphorm et Panasonic et entre 150V et 1200V chez GaN Systems) et EPC devrait également commercialiser des composants 600V. A moyen terme, il est envisagé que le GaN domine le marché de la basse tension et que la haute tension le soit par le SiC avec entre les deux les MOSFETs super jonction qui ont comme avantage d'être issus d'une filière très mature (Si) et bien connue des fabricants de convertisseurs. Concernant la thermique des composants, des progrès importants peuvent encore être faits par les fabricants pour réduire la résistance thermique des transistors (changement de substrat).

Durant cette thèse, nous avons utilisé les HEMT GaN d'EPC car leurs tensions de claquage étaient proches de notre besoin et ensuite parce que c'était les seuls disponibles. Ces composants se comportent à première vue comme des MOSFETs mais avec plus de fuites sur la grille (de l'ordre du mA pour les HEMT contre 10nA pour les MOSFETs silicium de même calibre). De plus, ils n'ont pas de diode de structure, mais leur structure symétrique permet d'avoir une conduction inverse dont le fonctionnement est analogue à celui d'une diode mais

sans recouvrement de charge. Concernant la commande, leur tension de seuil est de 1.4V, la tension de commande recommandée de 5V et une tension maximale de 6V. Néanmoins, on a vu qu'une tension de commande de 4.5V suffit à obtenir une résistance d'état passant proche de la valeur minimale et augmente la marge de sécurité pour éviter de dépasser 6V (destruction du composant). Les boîtiers LGA utilisés par EPC ont une faible résistance et inductance parasite ce qui est bénéfique pour les performances en termes de pertes, d'oscillation et de fonctionnement en commutation rapide. Enfin un autre avantage des composants GaN EPC est leur faible encombrement, avec des empreintes qui occupent environ 5 fois moins de place qu'un boîtier PQFN 5x6 utilisé par Infineon pour des MOSFETs équivalents. D'après les calculs réalisés, dans notre convertisseur, les eGaN d'EPC permettent de réduire entre 25% et 32% des pertes dans les semi-conducteurs (selon le point de fonctionnement) par rapport à des MOSFETs équivalents, ce qui représente entre 12% et 21% de gain sur le rendement global du convertisseur.

Après avoir mis en évidence les propriétés nécessaires pour réaliser un circuit de commande performant pour notre convertisseur, nous avons ensuite investigué plusieurs topologies de commande respectant les critères proposés. Le driver bootstrap LM5113 fabriqué par TI spécialement pour les eGaN a montré des performances assez critiquables ; la diode de bootstrap intégrée a une tension de seuil assez élevée (0.7V) et les temps de charge des grilles sont longs. Le driver EL7158 a démontré de bonnes capacités pour commander les eGaN mais son boîtier SO-8 est trop inductif et génère des oscillations trop importantes. De façon générale, il n'existe pas de driver dans le commerce qui soit assez performant (performances dynamiques) et avec un boîtier adapté (faibles éléments parasites). Pour notre application, les commandes en courant sont plus complexes à mettre en œuvre à cause de la nécessité d'utiliser des ferrites adaptés. En théorie, à consommation égale, ces commandes réduiraient le temps de charge d'un tiers. La difficulté de mise en œuvre de cette commande nous a orienté vers l'utilisation de commandes en tension. Il est possible de concevoir des circuits de commande performants avec des composants discrets, comme nous l'avons fait avec le push-pull. Les boîtiers de petites dimensions ainsi que le large choix dans les performances des MOSFETs permettent de concevoir un circuit respectant au mieux nos critères. Pour améliorer encore notre circuit de commande, nous avons développé un circuit intégré remplaçant le push-pull. Ses performances expérimentales étaient un peu en deçà de ce qui était attendu, mais reste les meilleures obtenues durant cette thèse en terme de vitesse de charge/décharge (6ns), de consommation (0.1W pour commander un bras) et de surtension sur les grilles des eGaN (0.5V). Ces performances pourraient encore être améliorées en retravaillant le design et en corrigeant l'erreur qui avait été faite sur le placement des pads. En prenant du recul sur le travail effectué concernant le circuit de commande, on se rend compte qu'un driver idéal serait un driver intégré avec sa capacité de découplage dans le composant de puissance (ce qui, d'après EPC, est réalisable mais coûteux). Les éléments parasites seraient alors réduits au maximum ce qui permettrait de réduire les temps de charge/décharge ainsi que l'encombrement sur le PCB.

La topologie de puissance qui s'est révélée la mieux adaptée à notre application est un DAB (dual active bridge) avec un demi-pont capacitif au primaire et un pont complet au secondaire. La stratégie de commande est basée sur un phase shift. Le fonctionnement du convertisseur avec stockage inductif nous a permis d'avoir des commutations douces au primaire et au secondaire. Le cahier des charges mentionnait des tensions d'entrée et sortie de 42V et 12V respectivement, une fréquence de 1.5MHz, une puissance nominale de 100W et une densité de puissance supérieure à 3.5kW/L. Le convertisseur réalisé a atteint 150W

sans refroidisseur et à température ambiante avec un rendement maximal de 92.2%. Cette dernière valeur aurait pu atteindre les 93% en remplaçant les push-pull des circuits de commande par une version améliorée des puces que nous avons présentées. La densité de puissance de notre convertisseur dans une version industrielle dépasserait les 3.5kW/L. Des écarts de rendement entre théorie et pratique sont apparues (brusque chute passé un seuil de puissance de sortie), nous avons montré qu'ils venaient d'effets fréquentiels (on soupçonne des effets de proximité dans les bobinages des éléments magnétiques) mais n'avons pas réussi à isoler la source du problème.

La montée en fréquence pose plusieurs problèmes. Pour commencer, le routage doit être optimisé pour réduire les effets de proximité, ce qui améliorera la répartition des courants dans les conducteurs et réduira les pertes par conduction dans les conducteurs. L'amélioration du routage sera également la clef pour réduire les inductances et donc les oscillations dans les circuits de commande et de puissance (de même que pour les circuits de commande, l'intégration des éléments de puissance pourra être une bonne perspective). Ensuite, l'augmentation des vitesses de commutations favorise les perturbations de mode commun et de mode différentiel, qui pourront être réduites avec l'utilisation de plans écrans. Enfin, La montée en fréquence compliquera les mesures ; Les mesures de courant sont rendu très difficiles en raison de leur caractère intrusif, de leur faible précision, voir à cause des limites de bande passante des appareils de mesure. Les mesures de tension nécessitent l'utilisation d'appareil avec des bandes passantes élevées et des sondes adaptées.

Le principal intérêt de la montée en fréquence est de réduire la taille des convertisseurs, or on a vu que cette logique pouvait être limitée par les normes ou par les limites des matériaux magnétiques (La réduction de la taille des éléments magnétiques avec la montée en fréquence devient négligeable aux alentours de 800kHz).

En considérant l'évolution actuelle des semi-conducteurs et des contraintes sur les convertisseurs, on peut dresser quelques perspectives. En effet, si on prend du recul sur ce que nous avons dit précédemment, on se rend compte que les méthodologies de conception des convertisseurs avec des composants discrets ne sont plus en phase avec les performances recherchées, ni avec celles des semi-conducteurs à grand gap qui apparaissent. Les contraintes actuelles sur les convertisseurs tendent vers toujours plus d'intégration et pour cela on augmente les fréquences de découpage et donc les vitesses de commutation. Or, comme on l'a vu dans notre étude, même en utilisant des composants avec des boîtiers de taille réduite, il devient difficile d'obtenir des commutations ou des charges de grille propres. Pour profiter pleinement des bénéfices apportés par les filières GaN et SiC il sera intéressant d'intégrer monolithiquement les transistors avec leurs drivers et les capacités de découplages (commande et puissance) et dans la topologie nécessaire (bras de pont ou pont complet par exemple). Pour les tensions relativement faibles, on pourra envisager, de la même façon que pour le silicium, d'intégrer monolithiquement le convertisseur entier.

ANNEXES

1.	Association du DAB	196
A.	Association série/parallèle	196
B.	Entrelacement	197
C.	Multi-voies	197
2.	Commande à double déphasages pour DAB	198

1. ASSOCIATION DU DAB

La structure DAB se prête bien à différentes associations, on trouve dans la littérature des exemples de mise en série ou en parallèle. On va présenter ici trois exemples d'associations. Pour notre application on préférera les structures simples présentées précédemment.

A. Association série/parallèle

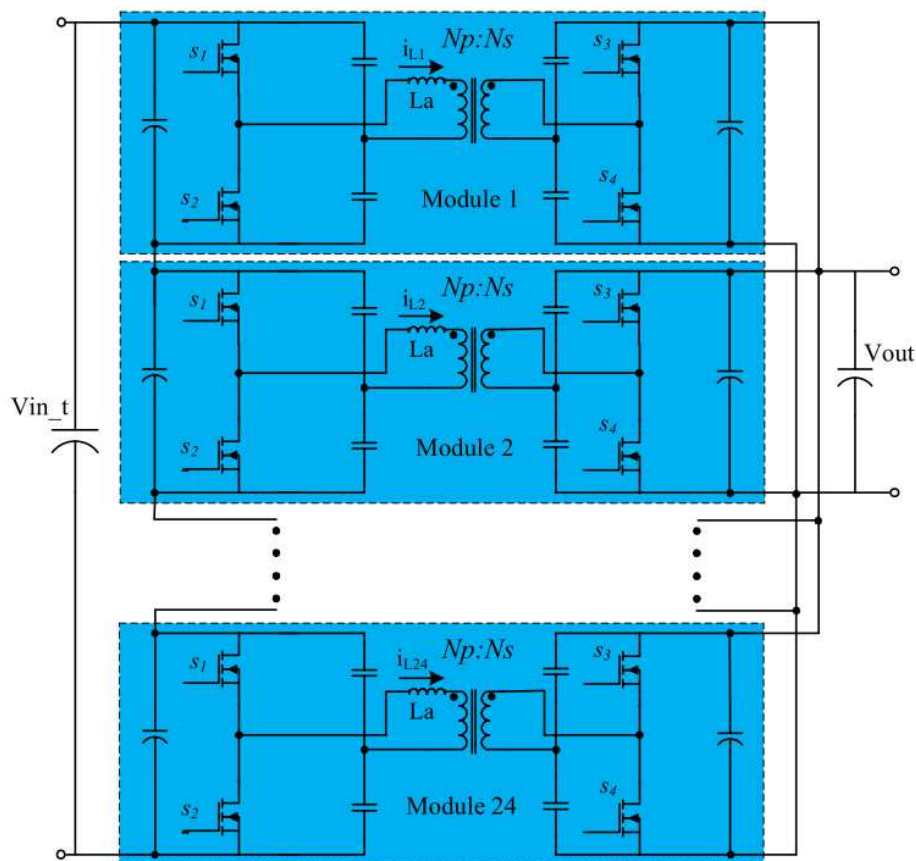


Figure 238 : Association de convertisseur DAB à demi pont capacitifs

Dans l'auteur réalise un convertisseur DC/DC dans lequel il convertit 12kV en 400V. Pour réaliser une conversion avec un écart en tension aussi important il réalise plusieurs convertisseurs DAB identiques avec des demi-ponts capacitifs et place tous les onduleurs en série et tous les redresseurs en parallèle (Figure 238). Cette association permet d'utiliser des composants avec un calibre en tension inférieur.

B. Entrelacement

Dans une version "triphasée" du DAB qui repose sur le principe de l'entrelacement est proposée (Figure 239). Les capacités d'entrée et de sorties sont communes aux différents bras de transistors mais il faut autant d'inductance qu'il y a de bras d'onduleur. Concernant l'isolation, on peut placer plusieurs transformateurs ou un seul avec une géométrie plus complexe. La fréquence apparente de sortie est égale à la fréquence de commutation multipliée par le nombre de bras d'onduleur et chaque bras d'onduleur est déphasé des autres d'un angle égal à 2π divisé par le nombre de bras.

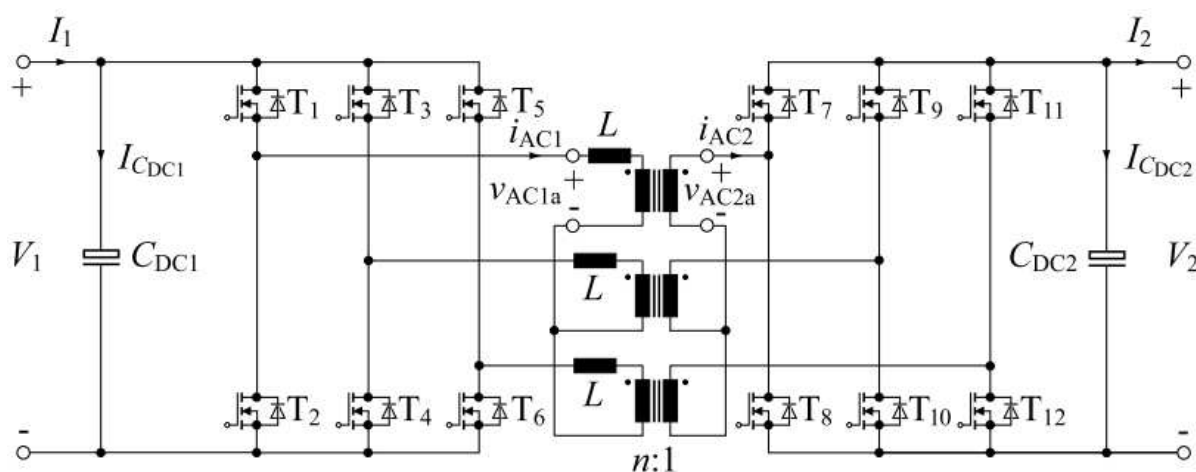


Figure 239 : Structure DAB "triphasée" d'après .

C. Multi-voies

Certaines applications peuvent nécessiter plusieurs tensions isolées avec des niveaux différents. Dans le but d'éviter de mettre en œuvre autant de convertisseur que de tension différentes, il est techniquement et financièrement intéressant d'utiliser un seul convertisseur avec plusieurs sorties. A partir de la structure DAB, il est facilement envisageable de placer plusieurs redresseurs avec plusieurs enroulements sur le transformateur. La régulation étant faite par le déphasage entre les interrupteurs primaire et secondaire, on pourra régler le niveau de tension en sortie de chaque redresseur séparément (Figure 240).

Le circuit primaire fonctionne de la même façon en permanence et les circuits secondaires sont déphasés pour asservir leur tension de sortie. Chaque redresseur a donc son inductance et un nombre de spire propre. En conséquence, on ne pourra pas utiliser de circuit push pull pour le redresseur.

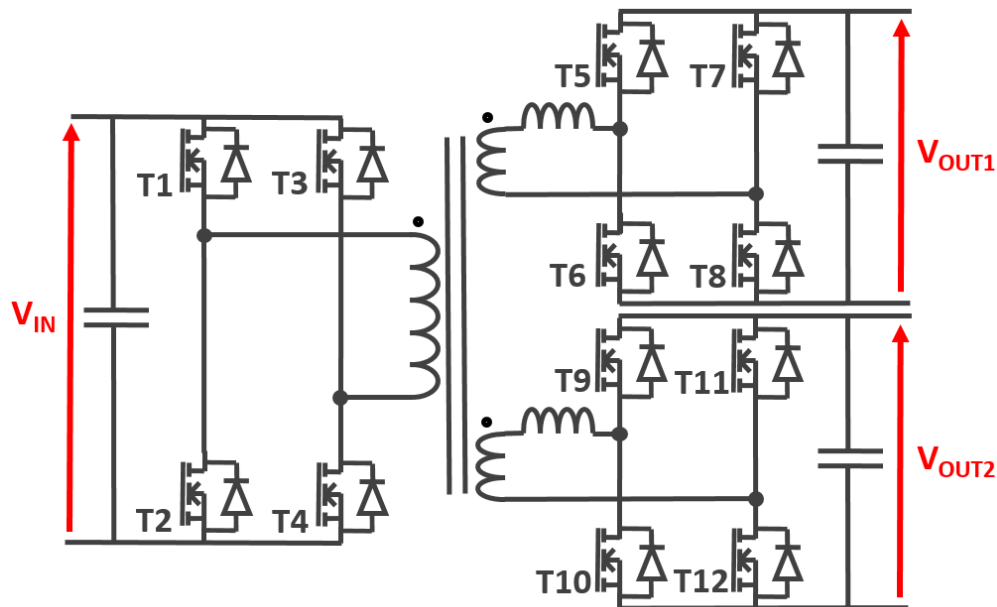


Figure 240 : Exemple de structure multi-voies avec deux tensions de sorties, sur la base du DAB à pont complet

2. COMMANDE A DOUBLE DEPHASAGES POUR DAB

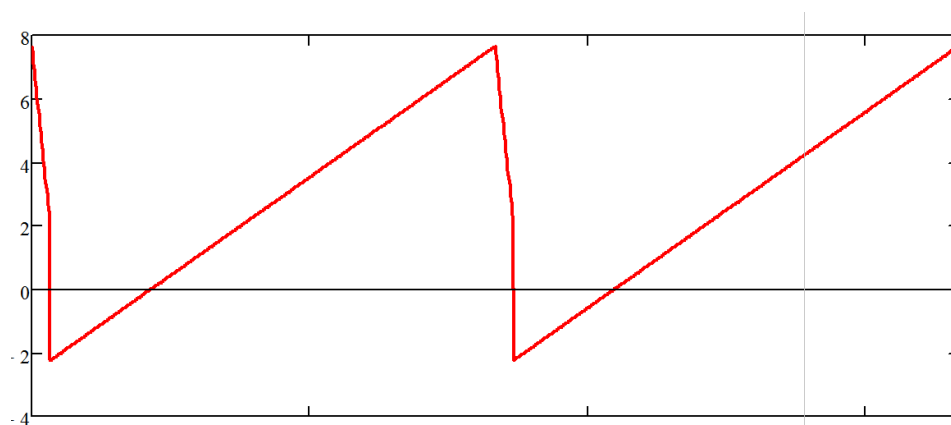


Figure 241 : Forme d'onde du courant de sortie

Lorsqu'on regarde les formes d'ondes du courant de sortie on s'aperçoit que le courant n'est pas toujours positif (Figure 241). Cela veut dire qu'on injecte du courant vers la sortie pour alimenter la charge puis qu'on vide la capacité de sortie pour renvoyer du courant

vers le convertisseur. Ce courant a donc traversé le convertisseur pour finalement repartir en direction de l'entrée créant des pertes dans toutes les différentes parties du convertisseur.

Dans , l'auteur qualifie ce courant de "réactif" et propose une méthode pour l'éliminer. En plus d'utiliser un déphasage primaire/secondaire (D2) sur sa structure DAB à pont complet, il rajoute un déphasage entre les bras de pont (D1). D1 représente donc le décalage entre les bras de chaque pont complet. Cette stratégie de commande permet aussi d'augmenter la puissance de sortie maximum de 33% et de réduire la taille de la capacité de sortie.

Des simulations faites en utilisant la structure DAB avec des ponts complets (et avec des paramètres correspondant à notre application) montre une réduction des courants efficaces en sortie (31%) dans les interrupteurs secondaires (11%) et dans le transformateur (12%).

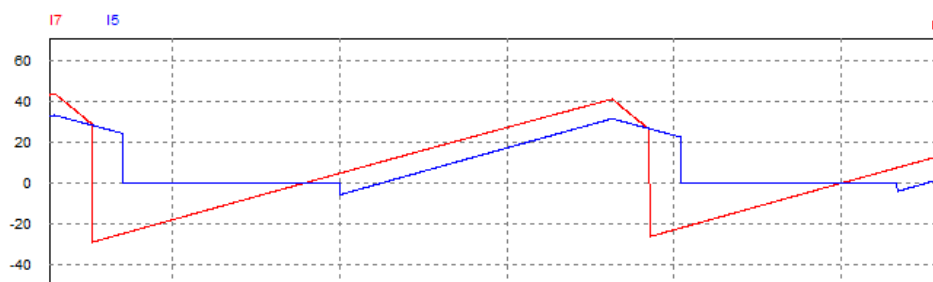


Figure 242 : Simulation des courants de sortie de la structure DAB à ponts complets dans le cas de l'utilisation d'un déphasage (I7) ou deux selon la méthode de (I5)

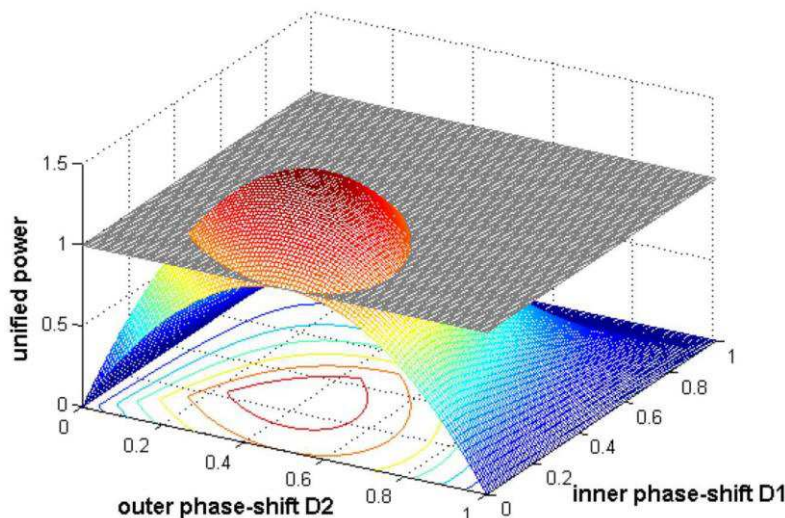


Figure 243 : Puissance de sortie normalisée à la puissance max du phase shift simple ($D1=0$), en fonction des déphasages $D1$ et $D2$. La valeur 1 des angles correspond à une demi-période.

La Figure 242 montre les formes d'ondes simulées des courants de sortie. Le courant qualifié de "réactif" (partie du courant étant inférieur à zéro) est très nettement réduit en utilisant la méthode à deux déphasages.

Cette méthode, bien qu'efficace, améliore les choses pour des valeurs de courant de sortie faible. En effet lorsque l'on monte en puissance, le courant réactif comme défini ici réduit jusqu'à devenir nul.

La Figure 243 montre l'évolution de la puissance de sortie en fonction des deux déphasages.

BIBLIOGRAPHIE

- [1] B. ALLARD, «L'électronique de puissance - Bases, perspectives, guide de lecture,» *techniques de l'ingénieur*, 10/11/2006.
- [2] «motorccycle daily,» 2010. [En ligne]. Available: <http://www.motorcycledaily.com/2010/07/brammo-empulse-electric-bikes-start-to-get-interesting/>.
- [3] O.Langlois, E.Foch, X.Roboam et H.Piquet, «De l'avion plus électrique à l'avion tout électrique : état de l'art et prospective sur les réseaux de bord,» *J3eA*, vol. 4, n° %11, 2005.
- [4] O.Langlois, E.Foch, X.Roboam et H.Piquet, «L'avion plus électrique : vers une nouvelle génération de réseaux de bord,» *La Revue 3EI*, n° %143, decembre 2005.
- [5] Deleage.Olivier, «Conception, realisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC,» *These G2Elab*, 2009.
- [6] H. D. THAI, «RESEAUX DE MICRO-CONVERTISSEURS,» *These*, 2009.
- [7] T. T. Hieu, «Réseaux de micro convertisseurs,,» *These*.
- [8] «An 800mW Fully-Integrated 130nm CMOS DC-DC,» *IEEE*, pp. 978-1-4244-2893-9/09/\$25.00, 2009.
- [9] G. Kevin, «Onduleur triphasé à structure innovante pour applicat aéronautique,» *These G2Elab*, 2011.
- [10] J. Flannery, P. Cheasty, M. Meinhardt, P. McCloskey et C. O'Mathuna, «Present practice of power packaging for DC/DC converters, Integrated Power Packaging,» *IWIPP*, 2000.
- [11] J. M. Jarrousse, «Convertisseur DC-DC à 3MHz pour l'alimentation d'une cellule radar,» *Thes SATIE*, 2008.
- [12] J.-Y. DUBOZ, «Matériaux semi-conducteurs à grand gap III-V à base de GaN,» *Techniques de l'Ingénieur, traité Électronique*, 1995.
- [13] J.Würfl et O.Hilt, «Power Electronic Devices based on GaN: Advantages and Perspectives,» *Automotive Power Electronics*, 2013.
- [14] N. Kaminsky et O.Hilt, «SiC and GaN devices – Competition or coexistence?,» *CIPS*, 2012.
- [15] F.Nallet, «SiC pour l'électronique de puissance,» *Techniques de l'ingénieur*, 2002.

- [16] W. Joachim, «GaN Power Devices (HEMT) : Basics, Advantages and Perspectives,» *Ferdinand-Braun-Institut*.
- [17] B. B. JAYANT, «Power Semiconductor High-Frequency Applications,» *IEEE ELECTRON DEVICE LETTERS*, vol. 10, n° 110, 1989.
- [18] Tastet.P et Garnier.J, «Heavy Ions Sensitivity of Power Mosfets,» *IEEE*, 1992.
- [19] Bazzoli.S, Girard.S, Ferlet-Cavrois.V, Baggio.J, Paillet.P et Duhamel.O, «SEE Sensitivity of a COTS GaN Transistor and Silicon MOSFETs,» *IEEE*, 2007.
- [20] A. Luu, «Méthodologie de prédiction des effets destructifs dus à l'environnement radiatif naturel sur les MOSFETs et IGBTs de puissance,» *These*, 2009.
- [21] Scheick.Leif, «Rad Effects in Emerging GaN FETs,» Jet Propulsion Laboratory, California Institute of Technology, Pasadena, Ca, 2012.
- [22] S. Leif, «Update to Radiation Effects in GaN,» Jet Propulsion Laboratory, California Institute of Technology, Pasadena, Ca, 2013.
- [23] I.Takenaka, K.Ishikura, K.Asano et S.Takahashi, «High efficiency and high power microwave amplifier using GaN on Si FET with improved high temperature operation characteristic,» *Microwave theorie and techniques, IEEE transactions*, vol. PP, n° 199, 2014.
- [24] J-F.Migniotte, D.Tournier, P.Bevilacqua, P.Godignon et D.Planson, «Design of an integrated power converter in wide band gap for harsh environments,» *CIPS*, 2012.
- [25] R. Wang, P. Ning, D. Boroyevich, M. Danilovic, F. Wang et R. Kaushik, «Design of High-Temperature SiC Three-Phase AC-DC Converter for >100°C Ambient Temperature,» *IEEE*, 2010.
- [26] N. Kaminski et O. Hilt, «SiC and GaN devices, competition or coexistence?,» *CIPS*, 2012.
- [27] W.Saito, I.Omura, T.Ogura et H.Ohashi, «Theoretical limit estimation of lateral wide band-gap semiconductor power-switching device,» *Solid state electronic*, 2004.
- [28] E.Zanoni, M.Meneghini et G.Meneghesso, «Reliability of Gallium Nitride HEMTs from Microwave to Power Application,» *ECPE*, 2013.
- [29] D.Doppalapudi, E.Iliopoulos, S.N.Basu et T.D.Moustakas, «Epitaxial growth of gallium nitride thin films on A-plane sapphire by molecular beam epitaxy,» *journal of applied physics*, vol. 85, n° 17, 1999.
- [30] D.Tuo, «Trend of sapphire substrate technology and market overview,» SEMI.

- [31] «Properties and benefits of sapphire,» Saint Gobain/Saphikon.
- [32] G.Gunardi, H.Kersell et D.Daramola, «Gallium nitride (GaN),» PHYS 571.
- [33] N.Killat, M.Montes et J.W.Pomeroy, «Thermal Properties of AlGaN/GaN HFETs on Bulk GaN Substrates,» *IEEE Electron device letters*, 2012.
- [34] J. Vechten, *Phys. Rev. B* 7, p. 1479, 1973.
- [35] J.Karpinski, J.Sun et S.Porowski, «J.Cristal growth,» n° 11, p. 66, 1984.
- [36] J.Karpinski et S.Porowski, «J.Cristal growth,» n° 111, p. 66, 1984.
- [37] V.Avrutin, D.J.Silersmith, Y.Mori, F.Kawamura, Y.Kitaoka et H.Morkoç, «Growth of bulk GaN and AlN : Progress and challenges,» *IEEE proceedings*, vol. 98, n° 17, 2010.
- [38] Pearton.S.J, F.Ren, A. Zhang, G.Dang, X.A.Cao, K.P.Lee, Cho.H., B.P.Gila, J.W.Johnson, C.Monier, C.R.Abernathy, J.Han, Baca.A.G., J-I.Chyi, C.-M.Lee, T.-E.Nee, C.-C.Chuo et Chu.S.N.G., «GaN electronics for high power, high temperature applications,» *Elsevier*, pp. 227-231, 2001.
- [39] N. N.M, Y. Z. zhen, L. Jiawei et X. Y. bou, «GAN HETEROEPITAXIAL GROWTH,» *Journal of Microwaves and Optoelectronics*, vol. 2, n° 13, juillet 2001.
- [40] L. Francois, «Heterostructures AlGaN/GaN et InAlN/GaN pour la realisation de HEMTs de puissance hyperfrequence en bande Ka,» 2012.
- [41] Microsemi PPG, «Gallium nitride (GaN) versus silicon carbide (SiC) the high frequency (RF) and power switching applications».
- [42] Internal rectifier, «"GaNpowIR – An Introduction,» 2010.
- [43] Transphorm, «TPH3006PS,» 2013.
- [44] M.A.Briere, «Progress in silicon based 600V power GaN,» *Power electronics europe*, n° 14, p. 30, 2013.
- [45] G. Haynes, «ECPE Compound semiconductor workshop,» *ECPE*, 2013.
- [46] H. Nakata, «Normally-off 600V GaN power transistor and applications,» *ECPE Workshop : SiC & GaN User Forum*, 2013.
- [47] bodo'power systems, «GaN transistors- Grrr or great?,» 2013.
- [48] T.Uesugi et T.Kashi, «GaN power switching devices for automotive applications,» *MANTECH conference*, 2009.
- [49] M.Sugimoto, H.Ueda et M.Kanechika, «Vertical operation of AlGaN/GaN HEMTs on free-standing n-GaN substrates,» *Power conversion conference*, 2007.

- [50] E. Mitani, H. Haematsu, S. Yokogawa, J. Nikaido et Y. Tateno, «Mass Production of High Voltage GaAs and GaN Devices,» *CS Mantech Conference*, 2006.
- [51] T. Mimura, N. Tokoyama, H. Kusakawa, K. Suyama et M. Fukuta, «GaAs MOSFET for low-power high-speed logic applications,» *the 37th Device Research Conference*, 1979.
- [52] M. A. Khan, J. N. Kuznia et D. T. Olson, *Applied Physics Letters*, vol. 65, n° 19, 1994.
- [53] K.J.Chen, L.Yuan et H.Chen, «AlGaIn/GaN metal 2DEG tunnel junction FETs with normally off operation, high on state current and low off state leakage,» *IEEE*, 2012.
- [54] D.D.Koleske, M.E.Coltrin, S.R.Lee, G.Thaler, K.C.Cross et M.J.Russell, «Understanding GaN nucleation layer evolution on sapphire and its impact on GaN dislocation density,» *Solid state lighting and solar energy technologies, Proceedings of the SPIE*, vol. 6841, 2007.
- [55] Z. e. al, «Effects of the strain relaxation of an AlGaIn barrier layer induced by various cap layers on the transport properties in AlGaIn/GaN heterostructures,» *Chinese physics*, vol. 20, n° 19, 2011.
- [56] A. Nakajima, K. Takao et H. Ohashi, «GaN Power Transistor Modeling for High-Speed Converter Circuit Design,» *EEE*, vol. 60, n° 12, 2013.
- [57] N.Sarazin, «HEMTs à base de nitrure de gallium : evolution vers un nouveau systeme de materiaux, une nouvelle generation de composants,» *These*, 2007.
- [58] O.Hilt, E.B.Treidel, E.Cho, S.Singwald et J.Wurfl, «Impact of buffer composition on the dynamic on-state resistance of high voltage AlGaIn/GaN HEMTs,» *international symposium on power semiconductor devices and IC's*, 2012.
- [59] A.Nakata EPC, «Enhancement Mode GaN Transistor Visual Characterization Guide,» 2011.
- [60] H.King, Y.Dora, A.Chini, S.Heikman, S.Keller et U.K.Mishra, «High breakdown voltage AlGaIn/GaN HEMTs achieved by multiple field plates,» *IEEE electron device letters*, pp. 161-163, 2004.
- [61] M.J.Uren, K.J.Nash, R.S.Balmer, T.Martin, E.Morvan, N.Caillas, S.L.Delage, D.Ducatteau, B.Grimbert et J. Jaeger, «Punch-through in short channel AlGaIn/GaN HFETs,» *IEEE electron devices*, vol. 53, n° 12, pp. 395-398, 2006.
- [62] E.Zanoni, M.Meneghini et G.Meneghesso, «Reliability of Gallium Nitride HEMTs from Microwave to Power Applications,» Munich, 2013.

- [63] Y.Uemoto, M.Hikita, H.Ueno, H.Matsuo, H.Ishida, M.Yanagihara, T.Ueda, T.Tanaka, D.Ueda, T.Tanaka et D.Ueda, «Gate injection transistor GIT a normally off AlGaIn/GaN power transistor using conductivity modulation,» *IEEE*, vol. 54, n° 112, 2007.
- [64] Y.Cai, Y.Zhou, K.J.Chen et K.M.Lau, «High performance enhancement mode AlGaIn/GaN HEMTs using fluoride based plasma treatment,» *IEEE*, vol. 26, n° 17, 2005.
- [65] M.Kuroda, T.Ueda et T.Tanaka, «Nonpolar AlGaIn/GaN metal insulator semiconductor heterojunction field effect transistors with a normally off operation,» *IEEE*, vol. 57, n° 12, 2010.
- [66] I.J.Hwang, J.Oh, H.S.Choi, J.Kim, H.Choi, J.Kim, S.Chong, J.Shin et U.I.Chung, «Source connected P-GaN gate HEMTs for increased threshold voltage,» *IEEE electron device letters*, vol. 34, n° 15, 2013.
- [67] O.Hilt, Brunner.F, Cho.E., A.Knauer, Bahat-Treidel.E et J. Würf, «Normally-off High-Voltage p-GaN Gate GaN HFET with Carbon-Doped Buffer,» *international symposium on power semiconductor devices and IC's IEEE*, 2011.
- [68] M.A.Briere, «GaN Based Power Devices: Cost-Effective Revolution performance,» IR, 2008.
- [69] Yole developement, «Super Junction MOSFET,» 2011.
- [70] EPC; Stephen.L.C; Robert.A.B, «Fundamentals of Gallium Nitride Power Transistors,» 2011.
- [71] E. A. Lidow et J. Strydom, «eGaN FET Drivers and Layout Considerations,» 2012.
- [72] EPC, «eGaN® FETs,» 2013.
- [73] EPC; Alex Lidow, «Is it the End of the Road for Silicon in Power Conversion?,» 2010.
- [74] EPC; Johan Strydom; Michael de Rooij; Alex Lidow, «Gallium Nitride Transistor Packaging Advances and Thermal Modeling,» 2012.
- [75] EPC; Johan Strydom; Alex Lidow, «Driving eGaN TM Transistors for Maximum Performance».
- [76] Y.Xi, M.Chen, K.Nielson et R.Bell, «Optimization of the drive circuit for enhancement mode power GaN FETs in DC-DC converters,» *APEC*, 2012.
- [77] EPC; Yanping Ma, «EPC GaN Transistor Application Readiness: Phase Three Testing,» 2011.
- [78] EPC; Yanping Ma, «EPC GaN Transistor Application Readiness: Phase One Testing,» 2011.

- [79] EPC; Yanping Ma, «EPC GaN Transistor Application Readiness: Phase Two Testing,» 2011.
- [80] EPC; Yanping Ma, «EPC GaN Transistor Application Readiness: Phase Four Testing,» 2011.
- [81] EPC; Yanping Ma, «EPC GaN Transistor Application Readiness: Phase Five Testing,» 2011.
- [82] «Phys.org,» 2009. [En ligne]. Available: <http://www.physorg.com/news179516515.html>.
- [83] X. Ren, J. Key, D. Reusch, S. Ji et Z. Zhang, «Three-level driving method for GaN power transistor in synchronous buck converter,» *ECCE*, pp. 2949 - 2953, 2012.
- [84] N. Mohan, T. Underland et W. Robbins, *Power Electronics – Converters, Applications and Design*, John Wiley & Sons, 1995 second edition.
- [85] Fairchild, «AN-9010 MOSFET basics,» 2000.
- [86] Intersil, «Datasheet EL7158,» 2007.
- [87] W.Eberle, Z.Zhang, Y.F.Liu et P.C.Sen, «A current source gate driver achieving switching loss savings and gate energy recovery at 1MHz,» *IEEE*, vol. 23, n° 12, 2008.
- [88] concept, «datasheet scale driver 2SD315Al,» 2009.
- [89] S. LEFEBVRE et B. MULTON, «MOSFET et IGBT : circuits de commande,» *Technique de l'ingenieur*.
- [90] Y. Ren, M. Xu, Y. Meng et F. C. Lee, «12V VR Efficiency Improvement based on Two-stage Approach and a Novel Gate Driver,» *IEEE*, pp. 2635-2641, 2005.
- [91] K.Yao et F.C.Lee, «A novel resonant gate driver for high frequency synchronous buck converters,» *IEEE*, vol. 17, n° 12, pp. 180-186, 2002.
- [92] H.L.N.Wiegman, «A resonant pulse gate driver for high frequency application,» *APEC*, pp. 738-743, 1992.
- [93] O. Deleage, *Conception, réalisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC*, TEL, 2009.
- [94] B.Wang, M.Riva, J.D.Bakos et A.Monti, «Integrated Circuit Implementation for a GaN HFET Driver Circuit,» *IEEE transactions*, vol. 46, n° 15, 2010.

- [95] L.Lengignon, L.Omnes et F.Voiron, «Ultra low profile silicon capacitors (down to 80um) applied to decoupling applications. Results on ESR/ESL,» *IPDIA*, 2013.
- [96] EPC et D.Reusch, «Optimizing PCB Layout,» *EPC*, 2013.
- [97] X.Margueron, «Elaboration sans prototypage du circuit équivalent de transformateurs de type planar,» *These de l'université Joseph Fourier*, 2006.
- [98] F.Robert, «Modélisation et simulation de transformateurs pour alimentations à découpage,» *Thèse de Docteur en Sciences Appliquées, Université Libre de Bruxelles*, 1999.
- [99] Rubycon, «CHIP ALUMINUM ELECTROLYTIC CAPACITORS TKV 105°C Low ESR».
- [100] A. RF, «Hi-Q® High RF Power MLC Surface Mount Capacitors For 600V to 7200V Applications».
- [101] AVX, «X7R dielectric General specifications,» pp. 17-20.
- [102] J.P.Ferrieux et F.Forest, Alimentation à découpage convertisseurs à résonance, Dunod, 2006.
- [103] Ferrocube, «Design of planar power transformers,» *Application note*.
- [104] Ferroxcube, «3F5 material specification,» 2008.
- [105] Ferroxcube, «3F5 material specification,» 2008.
- [106] W. Teulings, «Prise en compte du câblage dans le conception et la simulation des convertisseurs de puissance: performances CEM,» *These INPG*.
- [107] T. D. Oliveira, «Optimisation du routage d'un filtre CEM,» *These G2Elab*, 2012.
- [108] T. Meynard, «Impact of WBG power semiconductors on tomorrow's converters : the need for integration technologies to take advantage of these devices,» *Laboratoire Laplace*.
- [109] W.Teulings, «Prise en compte du cablage dans la conception et la simulation des convertisseurs de puissance : Performances CEM,» *These INPG*, 1997.
- [110] M.Besacier, «Adaptation de la méthode PEEC à la representation electrique des structures d'electronique de puissance.,» *Thèse*, 2001.
- [111] T.Sakurai et K.Tamaru, «Simple formulas for two- and three-dimensional capacitances,» *IEEE transaction electron devices*, vol. 30, n° 12, pp. 183-185, 1983.

- [112] EPC, D. Reusch et J. Strydom, «Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter,» *IEEE transactions*, vol. 29, n° %14, pp. 2008-2015, 2014.
- [113] J.Aime, «Rayonnement des convertisseurs statiques. Application à la variation de vitesse.,» *These G2Elab*, 2009.
- [114] F. COSTA et P. POULICHET, «Sondes pour la mesure de courant en électronique de puissance,» *Technique de l'ingenieur*, 2005.
- [115] K. AMMOUS, «Méthodologie de mesure avec les sondes de tension,» *Technique de l'ingenieur*, 2006.
- [116] Z.Liu, X.Huang, F.C.Lee et Q.Li, «Package Parasitic Inductance Extraction and Simulation Model Development for the High-Voltage Cascode GaN HEMT,» *IEEE TRANSACTIONS ON POWER ELECTRONICS*, vol. 29, n° %14, 2014.
- [117] T&M, «Coaxial Shunts T&M RESEARCH PRODUCTS, Inc. SDN - 414 Series,» 2013.
- [118] EPC, J.Strydom, M. D. Rooij et A.Lidow, «Gallium Nitride Transistor Packaging Advances and Thermal Modeling,» *EDN China*, 2012.
- [119] Y.Won, J.Cho, D.Agonafar, M.Asheghi et K.E.Goodson, «Cooling Limits for GaN HEMT Technology,» *IEEE*, 2013.
- [120] T.G.Desai, D.Piedra, R.Bonner et T.Palacios, «Novel Junction Level Cooling in Pulsed GaN Devices,» *IEEE*, 2012.
- [121] F.Krismer, «Modeling and Optimization of Bidirectional Dual Active Bridge DC–DC Converter Topologies,» *these de l'ETH Zurich*, n° %119177, 2010.
- [122] G.Guidi, M.Pavlovski, A.Kawamura, T.Imakubo et Y.Sasaki, « Efficiency Optimization of High Power Density Dual Active Bridge DC-DC Converter,» *The 2010 International Power Electronics Conference*, pp. 981-986, 2010.
- [123] D.Costinett, H.Nguyen, R.Zane et D.Maksimovic, «GaN-FET Based Dual Active Bridge DC-DC Converter,» *IEEE*, pp. 1425-1432, 2011.
- [124] G.D.Demetriades et H.P.Nee, «Dynamic Modeling of the Dual-Active Bridge Topology for High-Power Applications,» *IEEE*, pp. 457-464, 2008.
- [125] H.Fan et H.Li, «High Frequency High Efficiency Bidirectional DC-DC Converter Module Design for 10 kVA Solid State Transformer,» *IEEE*, pp. 210-215, 2010.
- [126] P. LETURCQ, «Semi-conducteurs de puissance unipolaires et mixtes (partie 1),» *Techniques de l'ingenieur*, n° %1d3108, 2001.

-
- [127] P.Park, C.S.Kim, M.Y.Park, S.D.Kim et H.K.Yu, «Variable Inductance Multilayer Inductor With MOSFET Switch Control,» *IEEE ELECTRON DEVICE LETTERS*, vol. 25, n° 13, 2004.
 - [128] D.B.Viet, «Conception d'une interface d'électronique de puissance pour Pile à Combustible,» *Thèse de doctorat en génie électrique, Laboratoire d'Electrotechnique de Grenoble*, 2007.
 - [129] E. Matagne, «Modelisation magnétique macroscopique des faisceaux de conducteurs,» *J. Phys. III France* 3, pp. 509-517, 1993.
 - [130] R. W. D. Doncker, D. M. Divan et M. H. Kheraluwala, «A three-phase soft-switched high power density DC/DC converter for high power applications,» *Conf. Rec. of the IEEE Industry Applications Society*, p. 796–805, (IAS 1988).
 - [131] R. W. A. A. D. Doncker, D. M. Divan et M. H. Kheraluwala, «A three-phase soft-switched high-power-density DC/DC converter for high-power applications,» *IEEE Transactions on Industry Applications*, vol. 27, n° 11, p. 63–73, 1991.
 - [132] H.Bai et C.Mi, «Eliminate Reactive Power and Increase System Efficiency of Isolated Bidirectional Dual-Active-Bridge DC–DC Converters Using Novel Dual-Phase-Shift Control,» *IEEE TRANSACTIONS ON POWER ELECTRONICS*, vol. 23, n° 16, Novembre 2008.
 - [133] N.Yoshinobu, A.Igor et O.Hajime, «GaN heteroepitaxial growth on silicon nitride buffer layers formed on Si (111) surfaces by plasma-assisted molecular beam epitaxy,» *Applied physics letters*, vol. 73, n° 16, pp. 827-829, 1998.
 - [134] T.Higashiwaki et T.Matsui, «Barrier thickness dependence of electrical properties and DC device characteristics of AlGaN/GaN heterostructure field effect transistors grown by plasma assisted molecular beam epitaxy,» *Japanese journal of applied physics*, vol. 49, n° 19, 2004.
 - [135] EPC; Michael de Rooij, «Paralleling eGaN FET for efficient power conversion».
 - [136] D.A.Grant et J.Gowar, «Power MOSFETs : theory and applications Chapitre 4,» 1989.
 - [137] P-O.Jeannin, «le transistor MOSFET en commutation : application aux associations série et parallèle de composants à grille isolée,» *Thèse*, 2001.